



高分解能二次元ガス型中性子検出器用
低雑音 ASIC の設計と性能評価

(委託研究)

A Low Noise ASIC for Two Dimensional Neutron Gas Detector
with Performance of High Spatial Resolution
(Contract Research)

山岸 秀志 藤 健太郎 中村 龍也 坂佐井 馨
曾山 和彦

Hideshi YAMAGISHI, Kentaro TOH, Tatsuya NAKAMURA, Kaoru SAKASAI
and Kazuhiko SOYAMA

J-PARC センター
物質・生命科学ディビジョン
Materials and Life Science Division
J-PARC Center

February 2012

本レポートは独立行政法人日本原子力研究開発機構が不定期に発行する成果報告書です。
本レポートの入手並びに著作権利用に関するお問い合わせは、下記あてにお問い合わせ下さい。
なお、本レポートの全文は日本原子力研究開発機構ホームページ (<http://www.jaea.go.jp>)
より発信されています。

独立行政法人日本原子力研究開発機構 研究技術情報部 研究技術情報課
〒319-1195 茨城県那珂郡東海村白方白根 2 番地 4
電話 029-282-6387, Fax 029-282-5920, E-mail:ird-support@jaea.go.jp

This report is issued irregularly by Japan Atomic Energy Agency
Inquiries about availability and/or copyright of this report should be addressed to
Intellectual Resources Section, Intellectual Resources Department,
Japan Atomic Energy Agency
2-4 Shirakata Shirane, Tokai-mura, Naka-gun, Ibaraki-ken 319-1195 Japan
Tel +81-29-282-6387, Fax +81-29-282-5920, E-mail:ird-support@jaea.go.jp

© Japan Atomic Energy Agency, 2012

高分解能二次元ガス型中性子検出器用
低雑音 ASIC の設計と性能評価
(委託研究)

日本原子力研究開発機構 J-PARC センター 物質・生命科学ディビジョン
山岸 秀志^{*}、藤 健太郎、中村 龍也、坂佐井 馨、曾山 和彦

(2011年 12月14日受理)

高速、高位置分解能二次元ガス中性子検出器システム(InSPaD)^{(1),(2)}を実現するため、これに使用する ASD-ASIC(Amplifier-Shaper-Discriminator ASIC)を設計した。InSPaD は中性子と He-3 原子との核反応で発生したプロトンとトリトン粒子を識別することにより、高位置検出分解能を実現する個別信号読み出し方式の検出器システムである。これに使用する ASD-ASIC には極めて低い雑音性能、広いダイナミックレンジ、良好な出力直線性と高い計数率特性が必要とされる。CMOS を用いて設計した集積回路は、64 チャンネルの ASD とこれに続く 16 チャンネルの Multiplexer 及び LVTTTL driver から構成され、更にこの ASIC には S/N を大幅に改善するための Sum amp. システムを設けている。設計した ASD-ASIC についてシミュレーションにより特性評価を行い、InSPaD に必要な低雑音性能と信号処理機能を有していることを確認した。

本報告書は日本原子力研究開発機構が日本アドバンステクノロジー株式会社との業務委託契約により実施した研究成果に関するものである。

J-PARC センター：〒319-1195 茨城県那珂郡東海村白方白根 2-1

※派遣社員(日本アドバンステクノロジー株式会社)

**A Low Noise ASIC for Two Dimensional Neutron Gas Detector
with Performance of High Spatial Resolution
(Contract Research)**

Hideshi YAMAGISHI[※], Kentaro TOH, Tatsuya NAKAMURA,
Kaoru SAKASAI and Kazuhiko SOYAMA

Materials and Life Science Division, J-PARC Center,
Japan Atomic Energy Agency
Tokai-mura, Naka-gun, Ibaraki-ken

(Received December 14, 2011)

An ASD-ASIC (Amplifier-Shaper-Discriminator ASIC) with fast response and low noise performances has been designed for two-dimensional position sensitive neutron gas detectors (InSPaD). The InSPaD is a 2D neutron detector system with ^3He gas and provides a high spatial resolution by making distinction between proton and triton particles generated in the gas chamber. The new ASD-ASIC is required to have very low noise, a wide dynamic range, good output linearity and high counting rate. The new ASD-ASIC has been designed by using CMOS and consisted of 64-channel ASDs, a 16-channel multiplexer with LVTTTL drivers and sum amplifier system for summing all analog signals. The performances were evaluated by the Spice simulation. It was confirmed that the new ASD-ASIC had very low noise performance, wide dynamic range and fast signal processing functions.

Keywords: ASIC, MOSFET, CMOS, Neutron Detector, Neutron Two-dimensional Detectors, Nuclear Electronics, Neutron Imaging, Neutron Scattering

This work was performed by Japan Atomic Energy Agency under contract with Japan Advanced Technology Co..

※Attached Staff (from Japan Advanced Technology Co.)

目 次

1. 序論	1
2. 低雑音 ASD-ASIC の全体構成	2
3. 低雑音 ASD-ASIC の特性解析	5
3.1 アナログパルス増幅部	5
3.2 アナログ増幅器の作動特性と雑音解析法	5
3.2.1 ASD-ASIC の雑音解析	6
3.2.2 アナログ増幅部のダイナミックレンジと出力直線性	8
3.2.3 コンパレータ特性	9
3.2.4 マルチプレクサ	10
3.2.5 ASD-ASIC の計数率直線性と最大計数率	11
3.3 Sum amp.と信号処理回路	13
3.3.1 Sum amp.出力特性	13
3.3.2 Sum amp.の S/N 改善性能	15
3.3.3 Sum amp.システムの動作	16
4. 結論	17
謝 辞	18
参考文献	19

Contents

1. Introduction -----	1
2. Configuration of a low noise ASD-ASIC -----	2
3. Performance analysis of ASD-ASIC -----	5
3.1 Analog signal amplifier -----	5
3.2 Noise analysis and characteristics of analog signal amplifier -----	5
3.2.1 Noise analysis for ASD-ASIC -----	6
3.2.2 Dynamic range and output linearity of analog amplifier -----	8
3.2.3 Characteristics of comparator -----	9
3.2.4 Multiplexer -----	10
3.2.5 Linearity of counting rate and maximum counting rate of ASD-ASIC -----	11
3.3 Sum amplifier and signal processing circuits -----	13
3.3.1 Characteristics of sum amplifier -----	13
3.3.2 Improvement of S/N ratio by sum amplifier -----	15
3.3.3 Operation of sum amplifier system -----	16
4. Conclusion -----	17
Acknowledgment -----	18
References -----	19

図リスト

Fig.2.1. Schematic diagram of ASD-ASIC	3
Fig.2.2. Composition of CMOS-circuit for ASD-ASIC	4
Fig.3.1. Schematic diagram of the analog pulse amplifier for analysis of system noise.	5
Fig.3.2. Frequency characteristics of the analog pulse amplifier for New ASIC.	6
Fig.3.3. Pulse shapes at outlet of shaping amp. by changing shaping time constants.	6
Fig.3.4. Pulse heights of signal and noise at outlet of shaping amp. by changing detector capacitance.	7
Fig.3.5. S/N ratio performances of the new ASIC and AS20 CIPix by changing detector capacitance.	7
Fig.3.6. Output linearity of analog amplifier of new ASIC and AS20 CIPix.	8
Fig.3.7. Comparator characteristics of new ASIC with C_d of 10, 100 and 200pF.	9
Fig. 3.8. Simulation results of comparator and anti-chattering circuits.	9
Fig.3.9. Simulation results of pulse shapes and timing at outlet of each circuit in the new ASD-ASIC.	10
Fig.3.10. Schematic diagram of LVTTTL driver with flat cable of 500mm length.	11
Fig.3.11. Simulation results of LVTTTL driver with flat cable of 500mm length.	11
Fig.3.12. Pulse shapes at outlet of shaping amp. and LVTTTL driver for measuring a double pulse resolution.	12
Fig.3.13. Simulation results of maximum counting rate and counting linearity.	12
Fig.3.14. Pulse shape of analog output (A_{out}), sum amplifier output, and shaping amplifier output. A_{out} was measured at the end of coaxial cable with 50Ω termination.	13
Fig.3.15. Gain characteristics of the sum amp. versus register setting.	14
Fig.3.16. Base line at outlet of the sum amp. adjusted by using register setting.	14
Fig.3.17. Output linearity of the sum amp., analog output (A_{out}), and analog output of AS20 CIPix.	15
Fig.3.18. Simulation results of linear gate and sum amp.	15
Fig.3.19. Simulation results of the Sum amp. system with flat cable of 500mm length.	16
Table 3.1. List of shaping time constants for integration and setting values of registers.	7
Table 4.1. Performances of New ASD-ASIC designed for the InSPaD.	17

This is a blank page.

1. 序 論

J-PARC では大強度パルス中性子源の輝度を大幅に増強するため陽子加速器出力を 1MW にパワーアップする計画が進められている。1MW に対応した物質分子構造解析のための中性子散乱実験装置に用いられる二次元ガス型中性子検出器には、 $1 \times 1 \text{mm}^2$ 前後の高い位置分解能が要求され、且つ中性子ピークとバックグラウンドとの比が 7 桁以上とれるなど、極めて厳しい性能が求められている。このような高性能二次元ガス中性子検出器は、これまでに実現していないため、その開発を急がなければならない。このために個別信号読み出し方式を採用した高速・高位置分解能二次元ガス型中性子検出器の開発を進めている。二次元ガス型中性子検出器では、高速性と位置検出分解能の向上は trade-off の関係にあり、従来作動方式では両性能アップには限界がある。1MW 対応のための二次元ガス型中性子検出器を実現するため、我々は独自の InSPaD^{(1),(2)}方式を提案している。

二次元ガス型中性子検出器の各チャンネルから出力される電気信号は、パルス幅が数 10ns と高速であり、その上、信号の大きさが数 10fC 程度と極めて小さい。InSPaD 方式では高速性と高位置分解能の両方を実現させるため、各電極から出力されるパルスの波高の違いから検出器内で発生するプロトンとトリトン荷電粒子を識別して、中性子の入射位置を高い精度で計測する。このため高速、低雑音の信号増幅器が不可欠となる。個別信号読み出し方式の中性子検出器では 1 個の検出器からの信号出力数は 256 あるいは 512 チャンネルとなる。これらの信号をパラレル読み取りして、信号処理するためには高速微小信号増幅器、パルス整形回路、パルス波高弁別回路及び LVTTTL(Low Voltage Transistor-Transistor Logic)出力回路から構成される多チャンネル高速微小信号計測システム ASD が必要である。

近年、携帯電話等の普及によって高密度、高速且つ低消費電力の集積回路の要求が高まり、CMOS(Complementary Metal Oxide Semiconductor)の微細加工技術が飛躍的に進んだ。また、多機能のアナログとデジタル回路を 1 チップ化したモノリシック集積回路 ASIC(Application Specific Integrated Circuit)の需要も高まり、アナログ回路を CMOS で製造する技術も進歩した。速度が遅いと課題については、電極間距離を数 100nm 以下に微細化する技術の進歩により、遮断周波数が GHz 以上の CMOS も製造可能になり、バイポーラ・トランジスタと同等レベルに向上した⁽⁵⁾⁻⁽¹⁰⁾。

今回、Si-MOSFET(Silicon-type Metal Oxide Semiconductor Field Effect Transistor)及び CMOS を用いて、高速・高位置分解能二次元ガス型中性子検出器に使用する 64 チャンネルの信号増幅処理回路を 1 チップに組み込んだ高機能低雑音 ASIC を設計した。本 ASIC の特徴はアナログパルス増幅器の低雑音化^{(3),(4)}を図ると共に、更に 64 チャンネル及び外部 ASIC からのアナログパルス信号を Sum amplifier で加算することにより高い S/N 信号を得て、信号と雑音を識別する回路構成としたことである。設計した ASIC の雑音性能、信号増幅性能、作動特性を変更する機能及び信号処理機能について計算解析し、期待する性能が得られることを確認した。

2. 低雑音 ASD-ASIC の全体構成

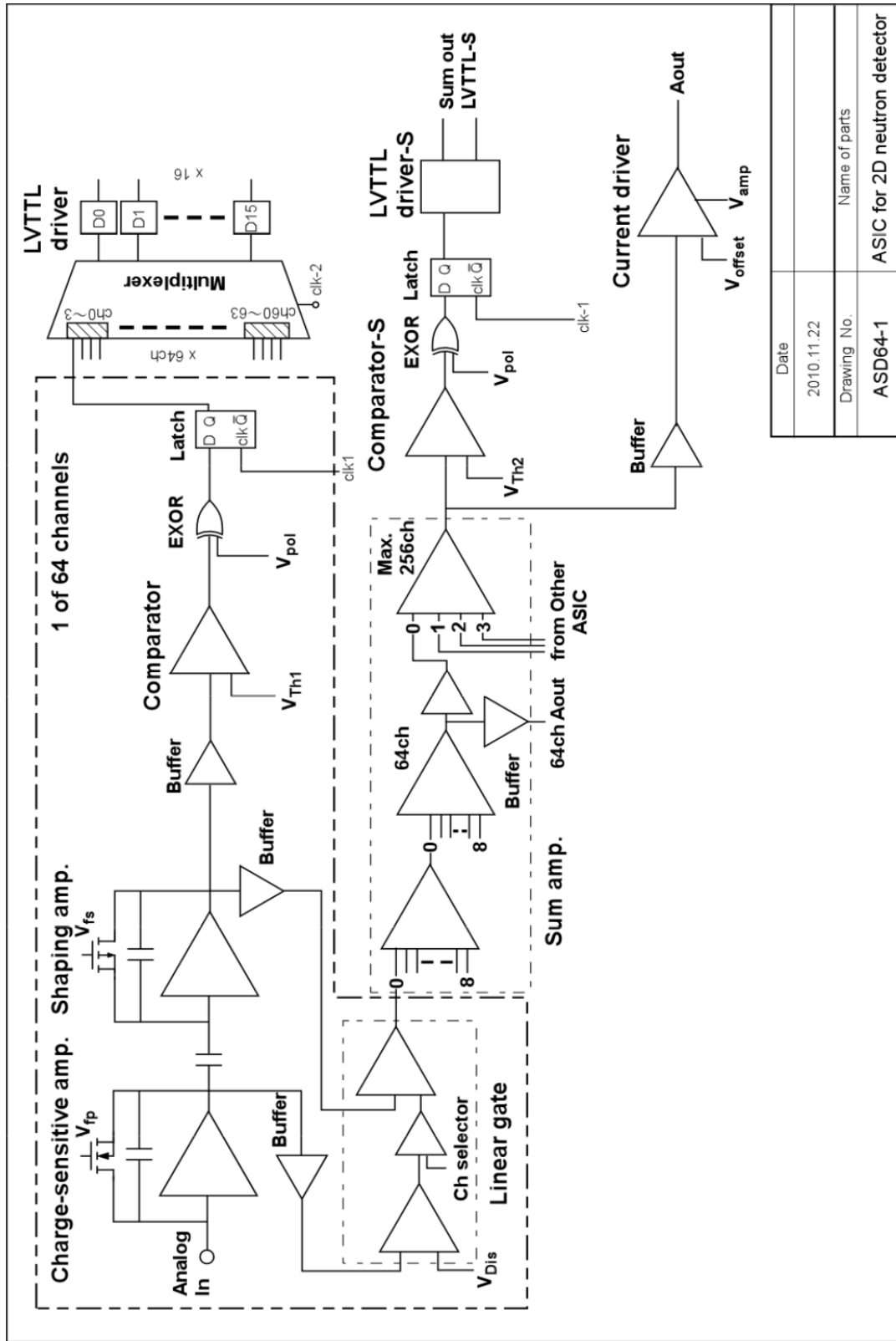
高速・高位置分解能二次元ガス型中性子検出器 InSPaD の信号処理用に設計した多チャンネル New ASD-ASIC の全体構成をブロック図として Fig. 2.1 に示す。アナログパルス信号増幅と波形整形回路は、低雑音の Charge sensitive amplifier(Charge amp.)と高速波形整形機能を持たせた Pulse shaping amplifier(Shaping amp.)で構成した。アナログパルス信号増幅回路は正負両極性のパルス入力に対応するように設計した。New ASD-ASIC 入力に接続される検出器の信号出力に対して最適な S/N が得られるようにするため、Shaping amp.では New ASD-ASIC チップ外部から ASIC 内のレジスタ定数を変更することによりパルス整形時定数を設定できる構造とした。

デジタル信号変換及び出力回路は、雑音をカットしてアナログ信号をデジタル信号に変換する Comparator と高速信号伝送が可能な LVTTTL driver により構成した。LVDS 信号伝送方式は長距離信号伝送に適しているが、チャンネル当たりのドライブ用ベース電流が規格では 3.5mA_{dc} と大きく、本 New ASD-ASIC のように 64 チャンネルを要する回路においては消費電力が大きくなりすぎ温度上昇が問題になるため、消費電力がより小さい LVTTTL 方式を採用した。Comparator の V_{th1} 電圧は ASIC 内のレジスタ定数を変更することにより設定する。Comparator と Latch 回路の間に入れた EXOR 回路は、入力信号極性選択のための切り替え回路であり、Comparator の V_{th1} 電圧極性により自動的に切り替わるように回路を設計した。本 New ASD-ASIC は 1 個のチップに 64 チャンネルの ASD 回路を構成する。このため、小さな ASIC パッケージでは出力ピン数が多くなりすぎる。総出力ピン数を節約するため、出力パルスは Multiplexer 回路を採用することによって、4 チャンネル分を 1 つの出力ラインからシリアルに出力する方式とした。Latch 回路は、Multiplexer が 4 チャンネル分の出力を完了するまでの時間、信号をホールドする。Latch 及び Multiplexer 回路は外部クロック信号によって制御される構造とした。Multiplexer を除く破線で囲った回路が 1 チップに 64 チャンネル構成される。デジタル出力信号は LVTTTL driver により出力される。

本 New ASD-ASIC のもう一つの特徴は、より高い S/N 条件で雑音から微小信号を弁別するため、ASIC 内の全 64 チャンネルと外部 ASIC のチャンネル信号を Sum amplifier(Sum amp.)で加算して、より大きな信号により Comparator-S において雑音を弁別する構成としたことである。この Sum 回路は Linear gate 回路、Sum amp.、Current driver(A_{out})回路、Comparator-S、EXOR 回路、Latch 回路、及び LVTTTL driver-S 回路から構成される。Linear gate 回路は信号が入力したチャンネルのみのゲートを一定時間解放してチャンネル信号を加算する機能を持たせた独自の回路であり、S/N を大幅に上げるための優れた回路である。 A_{out} 回路は、64 チャンネルの加算されたアナログ信号(Sum 信号)またはユーザが選択した任意の 1 チャンネルの信号パルス波形を出力する回路である。 A_{out} 信号は回路を調整及び作動確認するときその威力を発揮する。

Comparator-S 及び EXOR 回路は、それぞれ Sum 信号を雑音から識別してデジタル信号に変換する回路、及び入力信号の極性によりデジタル出力の極性を切り替える回路である。Latch 回路及び LVTTTL driver-S 回路は、Sum amp.回路のデジタル信号を 64 チャンネル個別信号と一対の測定データとして出力するための回路である。64 チャンネル個別信号に合わせて、Sum 信号を伝送するには、ASIC 内部のクロックと同期させる必要があるため、Latch 回路によって同期させる。

設計した New ASD-ASIC の回路構成を Fig.2.1 に、電子回路図を Fig.2.2 に示す。



Date	2010.11.22
Drawing No.	Name of parts
ASD64-1	ASIC for 2D neutron detector

Fig.2.1. Schematic diagram of ASD-ASIC

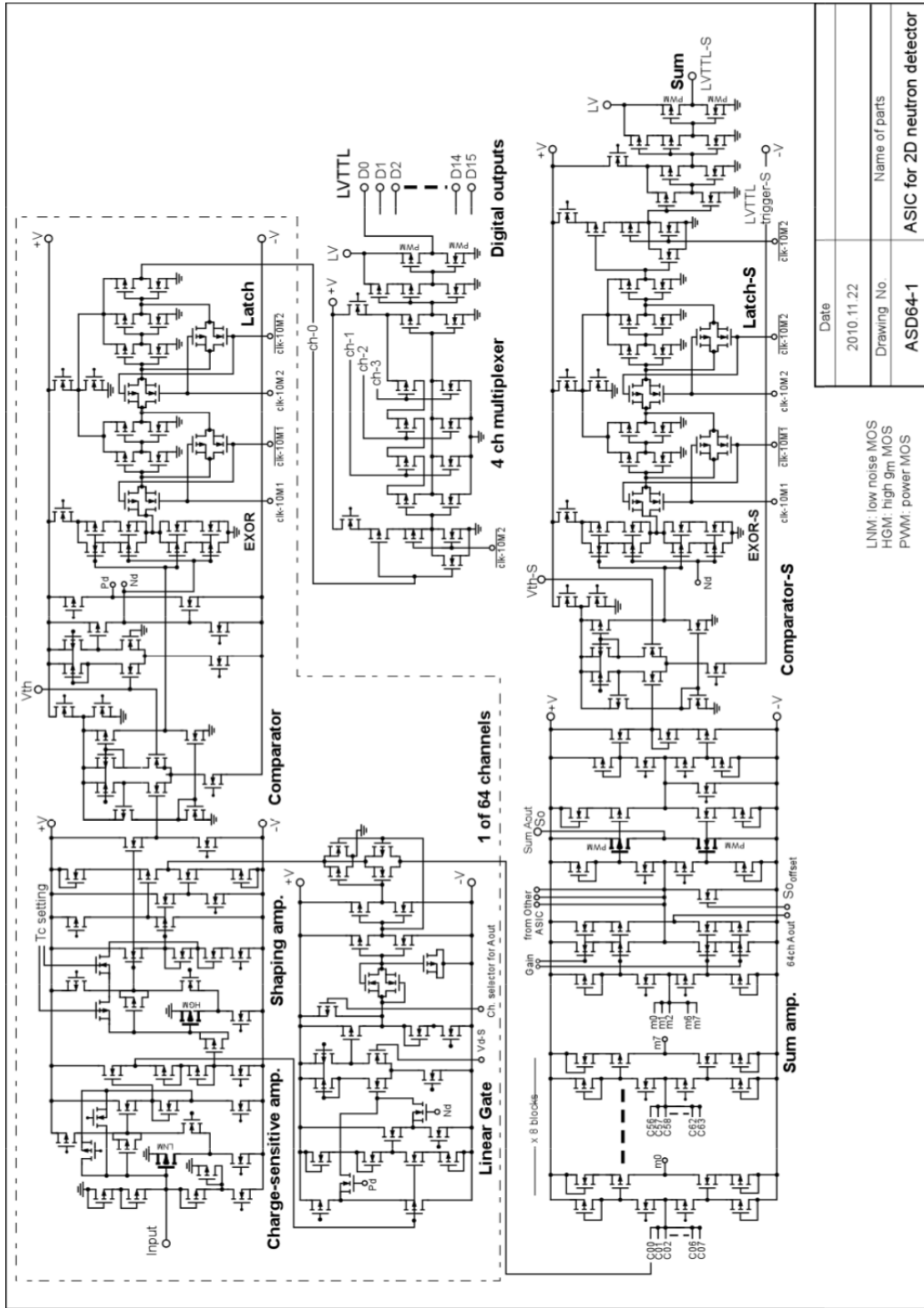


Fig.2.2. Composition of CMOS-circuit for ASD-ASIC

3. 低雑音 ASD-ASIC の特性解析

New ASD-ASIC 電子回路の特性解析はラプラス変換で得られた計算式と Spice 計算ソフトの両方を使って行った。結果については、アナログパルス増幅部、デジタル信号出力部、Sum 信号増幅部、Sum アナログ信号出力部及び Sum デジタル信号出力部の各部ごとに示す。

3.1 アナログパルス増幅部

アナログパルス増幅部は Fig.2.2 に Charge amp. と Shaping amp. として示した回路で構成される。Charge amp. では入力初段の p-MOS(LNM)を高 g_m に設計して、且つ構造の最適化をして低雑音化を行った。LNM のゲート長及びゲート幅はそれぞれ $0.36\mu\text{m}$ 、 $36\mu\text{m}$ である。Charge amp. と Shaping amp. を通した周波数帯域幅を約 1.7MHz に設定して、高速・高位置分解能二次元ガス型中性子検出器の高速信号の増幅に対応するように設計した。Shaping amp. では微分と積分を各一段の構成のパルス整形とし、Charge amp. と合わせて疑似ガウシヤンパルス整形となる構成とした。

3.2 アナログ増幅器の作動特性と雑音解析法

アナログパルス増幅部の雑音解析方法について述べる。Fig.3.1 にアナログパルス増幅部の Charge amp. と Shaping amp. の回路構成を模式図にして示す。MOSFET の雑音源及びこれを使った増幅器の雑音解析方法については文献(2)及び(3)で詳細に述べたので参照されたい。MOSFET で発生する雑音源として支配的なものは DS 間抵抗雑音、ゲート誘起雑音及びフリッカー雑音等である。本解析ではこれらを二乗平均して得られた雑音電圧 v_n を用いた。 v_n は MOSFET のゲート回路に置く。図中の v_s はテストパルス電圧、 C_Q は信号入力用のカップリングコンデンサ、 C_d は検出器のキャパシタンス、 Z_1 と C_1 は Charge amp. のフィードバックキャパシタンスとインピーダンスである。また、 Z_c は出力インピーダンス、 B_{cr} が出力ディバイダー定数及び B_c がバッファ定数である。Shaping amp. の C_2 と Z_2 は微分整形時定数を決め、 Z_3 と C_3 は積分時定数を決める。 Z_s は出力インピーダンス、 B_{sr} が出力ディバイダー定数及び B_s がバッファ定数である。Shaping amp. のパルス整形用定数は ASIC 外部から任意に設定できる構成にしているが、雑音解析では比較のため積分

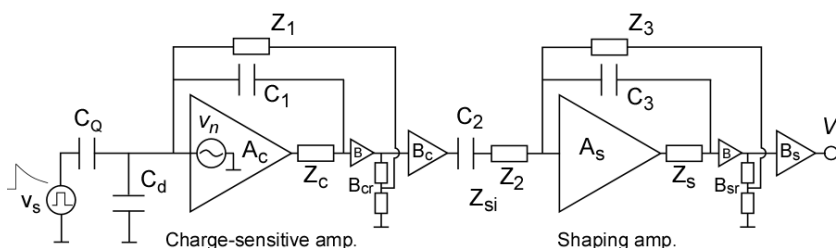


Fig.3.1. Schematic diagram of the analog pulse amplifier for analysis of system noise.

$$Z_{si} = \frac{1}{s C_2} + Z_2 \quad \text{----- (3.1)}$$

$$V_{on} = \frac{-Z_3(1+s C_3 Z_s)B_s}{\left(1 + \frac{C_3 Z_s}{C_2(Z_{si}-Z_2)}\right) + (B_{sr} + s C_3 Z_3)Z_{si}} \cdot \frac{-A_c B_c}{\sqrt{\left(\frac{A_c}{s C_d}\right)^2 \left(\frac{B_{cr}}{Z_1} + s C_1\right)^2 + (1+s C_1 Z_c)^2}} v_n(s) \quad \text{----- (3.2)}$$

$$V_{os} = \frac{-Z_3(1+s C_3 Z_s)B_s}{\left(1 + \frac{C_3 Z_s}{C_2(Z_{si}-Z_2)}\right) + (B_{sr} + s C_3 Z_3)Z_{si}} \cdot \frac{-A_c B_c}{s C_d + A_c \left(\frac{B_{cr}}{Z_1} + s C_1\right) + s C_1 s C_d Z_c} s C_Q v_s(s) \quad \text{----- (3.3)}$$

時定数 3 条件で行った。

New ASD-ASIC 回路解析においては Spice ソフトを用いて行ったが、S/N 評価については信号入力と雑音に対する回路の伝達関数、式 3.1、3.2 及び 3.3 を求め計算した。式の各記号名と夫々のデフォルト値は以下の通りである。C_Q: 1pF、C_d: 10pF、C₁: 0.6pF、Z₁: 760kΩ、Z_c: 110kΩ、A_c: 436、B_c: 0.93、B_{cr}: 0.89、C₂: 0.5pF、Z₂: 93kΩ、Z₃: 4.5MΩ、C₃: 0.1pF、Z_s: 82.3kΩ、A_s: 178、B_s: 0.93 である。Shaping amp.の微分時定数は 47ns であり、積分時定数はデフォルト値が 450ns である。式 3.2 及び 3.3 は、Shaping amp.の信号出力が C_dの増大に伴って低下すること、一方、雑音の方は C_dが大きくなるに従って増大することを示している。

3.2.1 ASD-ASIC の雑音解析

高速の微小信号を測定する New ASD-ASIC にとってシステム雑音を低減することは最も重要な課題である。このため、式 3.2 と 3.3 を使ってアナログ増幅部の雑音特性を調べた。MOSFET における DS 間抵抗雑音、ゲート誘起雑音は MOSFET の DS 間のゼロバイアスコンダクタンス g_{d0}によって決まる。抵抗雑音は周波数依存性がなく、全周波数帯域で一定である。一般に雑音源のパワー v_{nx}² は 4kTB/g_{d0} で表される。ここで B はアンプの周波数帯域幅である。Fig. 3.2 に New ASD-ASIC の周波数特性の計算結果を Shaping amp.の積分時定数(τ_{int}=C₃Z₃)を変えて示す。微分時定数(τ_{diff}=C₂Z₂)は固定である。積分時定数が大きくなるに従って周波数帯域幅は減少するが、ゲインの方は大幅に増大することを示している。更に、アンプの周波数帯域幅は C_dの大きさによっても若干影響を受ける。設計した New ASD-ASIC では、C_d=10pF におけるピーク周波数が 700kHz で B は 1.68MHz であるが、C_dが 100pF になるとそれぞれが 600kHz 及び 1.58 MHz 程度まで低下する。New ASD-ASIC のシステム雑音解析に用いた MOSFET ゲート等価雑音 v_n² は 7.4x 10⁻¹⁸ V²/Hz である。

設計した New ASD-ASIC では、ASIC 内のレジスタ設定値を外部から変更することにより、パルス計測システムの高速度性能と雑音特性を最適に調整できるように設計した。レジスタ設定値を変えた時の Shaping amp.出力波形を Fig. 3.3 に比較して示す。図では入力信号が正極性の時に

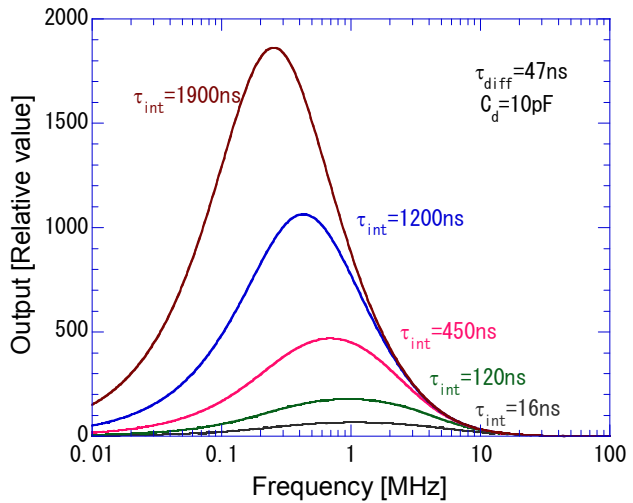


Fig. 3.2. Frequency characteristics of the analog pulse amplifier for New ASIC.

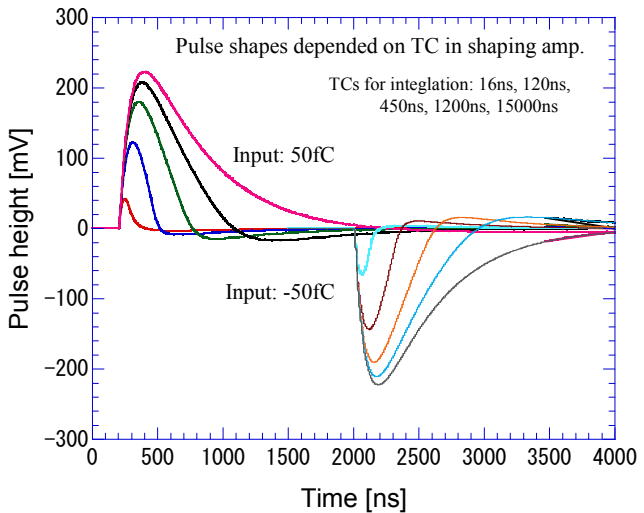


Fig. 3.3. Pulse shapes at outlet of shaping amp. by changing shaping time constants.

は 200ns から入力し、負極性の場合には 1800ns から入力して計算し、合わせてプロットした。各積分時定数とレジスタ設定値は Table 3.1 に示した通りである。Fig.3.3 の計算結果は、積分時定数を大きくするに従ってパルス波高が高くなって、S/N が改善されることを示している。しかしながら高速性は低下する。積分時定数が 120、450 及び 1200ns の時のパルス半値幅(FWHM)は夫々196、336 及び 461ns であった。積分時定数のデフォルト値は 450ns である。

C_dの増加に伴って Shaping amp.の出力パルス波高は低下し、一方、システム雑音の方は増大する。これらの特性を調べるため、式 3.2 と 3.3 を用いて計算した。入力した信号パルスは 20fC である。計算結果を Fig. 3.4 に示す。特性比較のため、Shaping amp.の積分時定数を 120ns、450ns 及び 1200ns の 3 条件で計算した。信号パルス波高は C_d の増加に伴い急激に低下する。これは式 3.3 から分かるように、信号パルスによる Shaping amp.出力波高は C_dに逆比例するからである。計算結果から積分時定数を 1200 ns、450ns 及び 120ns と小さくするに従って、信号パルスの波高値は大幅に低下するが、雑音の変化は比較的小さい。これは積分時定数を小さくするに従って周波数帯域幅が広がって雑音レベルは大幅に上昇するが、一方増幅器ゲインは急激に低下する結果、トータルとして雑音による出力電圧の変化が小さくなるためである。

システム雑音解析の結果、New ASD-ASIC の入力換算雑音 v_n は、電子数表記した時に C_dの関数として、式 3.4 に示す

$$V_n = \frac{33e^- \cdot C_d}{1+0.0048e^- \cdot C_d} \text{ ----- (3.4)}$$

近似的で表される。C_dが 100pF の時には v_nは 2230e⁻ となって、期待した低雑音特性が得られた。参考のため、ドイツ CDT 社が開発した同目的の ASIC、ASD-AS20 CIPix と雑音特性を比較してみた。AS20 の入力換算雑音はカタログ値で 380e⁻+38e⁻/pF である。C_dが 100pF の時 4180e⁻であるから、New ASD-ASIC は優れた雑音性能を有していることが分かる。S/N 特性を AS20 の実測値と比較して Fig.3.5 に示す。グラフでは比較を容易にするため、両 ASIC の出力電圧スケールをノーマライズ

Table 3.1. List of shaping time constants for integration and setting values of registers.

τ _{int} [ns]	Dec (Pos.)	Hex (Pos.)	Dec (Neg.)	Hex (Neg.)	FWHM
16	0	0	255	FF	83ns
120	21	15	234	E9	196ns
450	43	2A	213	D4	336ns
1200	64	3F	191	BF	461ns
15000	128	7F	128	7F	698ns

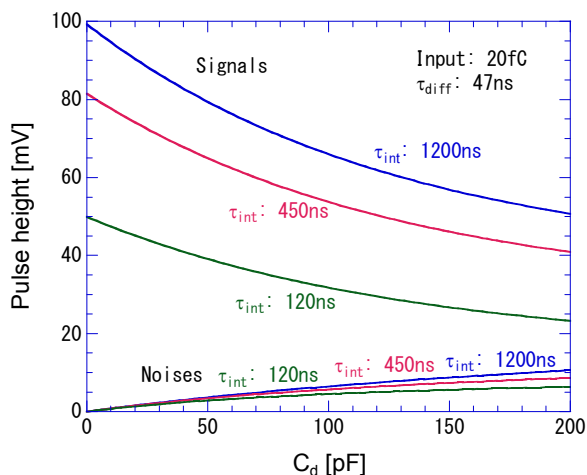


Fig. 3.4. Pulse heights of signal and noise at outlet of shaping amp. by changing detector capacitance.

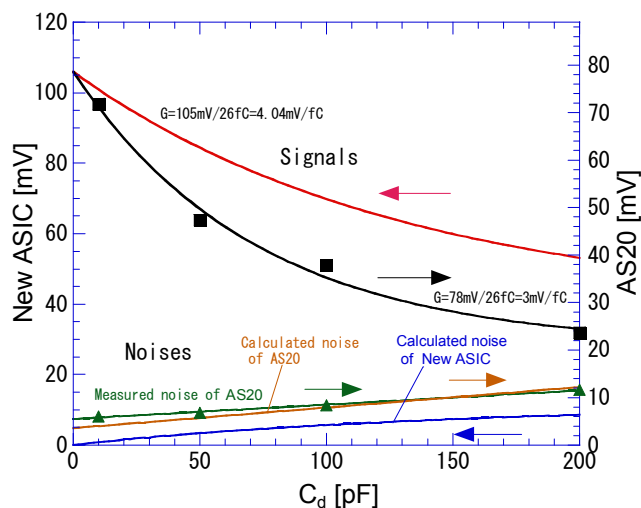


Fig. 3.5. S/N ratio performances of the new ASIC and AS20 CIPix by changing detector capacitance.

している。AS20 の信号及び雑音特性は入力に 26fC のテストパルスを入力して、 C_d を変えてアナログ出力を測定する方法で調べた。入力の 26fC の数値の大きさには特に意味はない。雑音パルス波高については、実測値とカタログ値から計算した結果を合わせて示した。New ASD-ASIC の計算では AS20 の条件に合わせるため、テスト入力信号を 26fC とし、Fig.3.5 では S/N 比較のため、出力波高値のスケールをノーマライズして示した。赤線と黒線で示した特性がそれぞれ New ASD-ASIC と AS20 の出力信号の C_d 依存性である。New ASD-ASIC では C_d の増大に伴う信号出力波高の低下が AS20 と比較して少ないことを示している。図中の青線が New ASD-ASIC 雑音の特性であり、緑線と茶線が AS20 における実測値と計算値である。雑音パルス波高の比較では New ASD-ASIC の雑音が AS20 に比べて充分低いことを示している。本図の特性比較から、 C_d が 100pF における S/N は New ASD-ASIC が 12.3 であり、AS20 が 5.9 であった。New ASD-ASIC は極めて高い S/N 性能を有していることが確認された。

3.2.2 アナログ増幅器のダイナミックレンジと出力直線性

InSPaD に使用する New ASD-ASIC には広いダイナミックレンジと良好な出力直線性が求められる。InSPaD では、中性子 1 個を検出した時に検出素子各チャンネルから出力されるパルス波高値を Comparator によって仕分けて、その情報を解析することにより、プロトンとトリトン粒子を識別する。プロトンとトリトン粒子は中性子と He-3 原子との核反応の結果発生する荷電粒子である。これらの仕分けをより高い精度で行うことで、中性子の位置検出分解能が飛躍的に向上する。

それで、設計した New ASD-ASIC の性能を確認するため、Spice 計算ソフトを用いて Charge amp. と Shaping amp. を通した入出力直線性の解析を行った。その結果を Fig.3.6 に示す。この解析でのパルス整形時定数はデフォルト値を用い、微分時定数を 47ns、積分時定数を 450ns とした。この条件でのパルス幅はおよそ 340ns であり、電子数換算のゲインは $66\text{mV}/10^5\text{e}^-$ である。

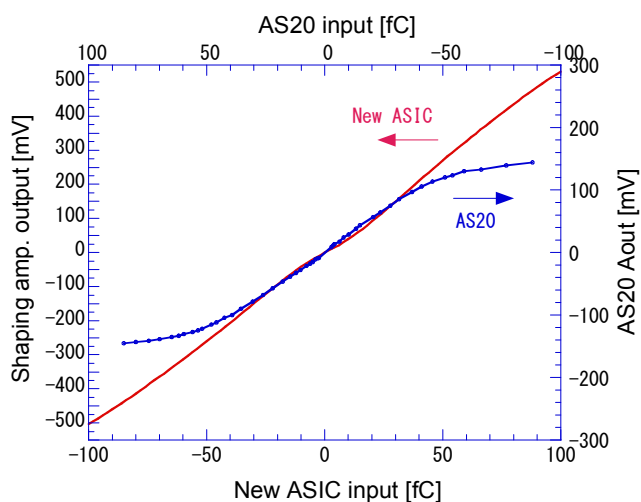


Fig. 3.6. Output linearity of analog amplifier of new ASIC and AS20 CIPix.

図には比較のため、AS20 の出力直線性の測定結果も合わせてプロットした。入力及び測定条件は $C_d=10\text{pF}$ とし、 $C_Q=1\text{pF}$ を介してテストパルスを入力する方式とした。New ASD-ASIC では入力電荷信号が $\pm 100\text{fC}$ の範囲において良好な直線性が得られることを示している。一方、AS20 では $\pm 40\text{fC}$ 以上から直線性の劣化が始まり、 $\pm 70\text{fC}$ 以上では出力がサチってしまうことが分かる。以上のことから、New ASD-ASIC は広いダイナミックレンジと良好な出力直線性を有していることが確認された。近似直線式から入力電荷当たりのゲインは 4.5 mV/fC であった。

ダイナミックレンジと同等に重要な特性が、最大計数率性能即ちダブルパルス分解能である。この性能は ASD-ASIC の高速性を表す指標であり、単位時間に処理できる pulse rate を表す。ダブルパルス分解能は、ASD-ASIC 全系の各所回路の速度で決まるため、信号出力の最終段であるマルチプレクサの後の節、3.2.5 ASD-ASIC の計数率直線性と最大計数率で述べる。

3.2.3 コンパレータ特性

New ASD-ASIC の Comparator の特徴は、入力信号パルス波高の全レンジに閾値を設定できるようにしたことである。New ASD-ASIC は InSPaD 方式の高位置分解能二次元中性子検出器に使用することを目的にしている。InSPaD 方式では中性子位置分解能を飛躍的に高めるため、中性子検出素子の各電極から出力される信号のパルス波高を指定した高さで弁別することによりプロトンとトリトン粒子による信号を識別する。このため、New ASD-ASIC の Comparator は雑音をカットするだけでなく、設定された高い波高値によって信号パルスを弁別する必要がある。

Fig.2.1 及び 2.2 に示すように、信号パルスを識別するための Comparator は Shaping amp. の後に設けられている。Comparator は差動アンプであり、2 つの入力の一方に信号パルスを、もう一方に閾電圧 V_{th1} を与える。 V_{th1} は入力信号の極性が正パルスの際はプラス電圧を、負パルスの際にはマイナス電圧を与える。New ASD-ASIC 回路では V_{th1} の極性をピックアップして、この信号からチャンネル全体の各種設定の極性を自動的に切り替える回路構成とした。EXOR 回路は Comparator からのデジタル信号の極性を一方向の極性にするための回路である。これにも V_{th1} 極性を使っている。

Fig.3.7 に Comparator 特性の計算結果を示す。この特性は、指定 V_{th1} に対し Charge amp. に入力信号を与え、Latch 出力にデジタルパルスが発生した時の入力電荷量を調べた結果である。図の x 軸 Threshold は V_{th1} を与える Register 設定値であり、Decimal 値で表した。右 y 軸は Register 設定値に対応する V_{th1} 電圧を mV で表した。左 y 軸は入力信号の大きさを電荷 fC で示している。図には C_d が 10、100 及び 200pF の 3 条件におけるディスクリ特性を示した。 C_d が大きくなるに従って Shaping amp. の出力波高値は低下するため、 C_d が大きいほど大きな入力電荷 fC を必要とする。この入力電荷は 1 本の電極に発生する電荷(電離量 x ガス増幅率)に相当する。最大の閾値設定範囲は、 C_d が 10、100 及び 200pF においてそれぞれ 120、140 及び 170fC 程度である。

コンパレータのスイッチング速度が速いため、雑音が重畳した信号パルスをコンパレータに入力すると出力パルスにチャタリングが発生する恐れがある。チャタリングは回路の誤動作を誘発するため、これを防ぐ必要がある。EXOR 回路の後に入れた Latch 回路は、チャタリングの防止

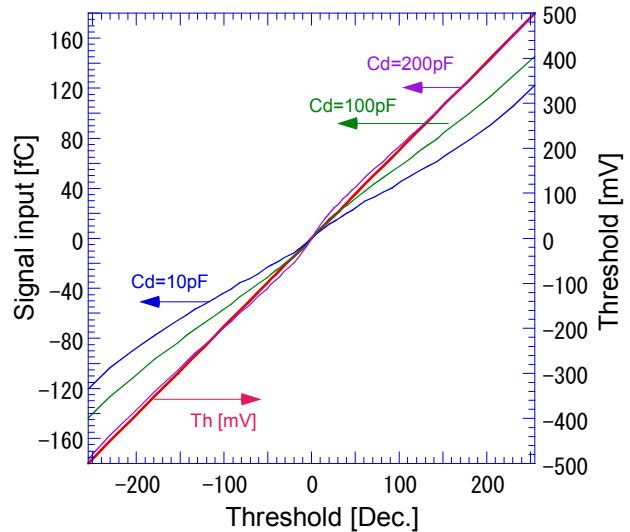


Fig. 3.7. Comparator characteristics of new ASD-ASIC with C_d of 10, 100 and 200pF.

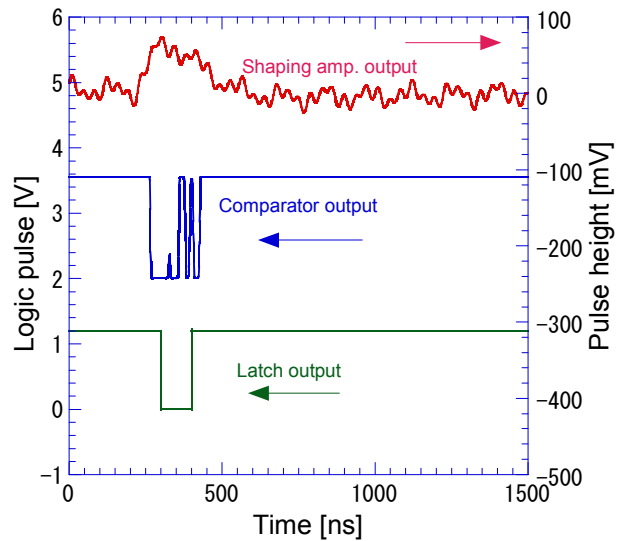


Fig. 3.8. Simulation results of comparator and anti-chattering circuits.

と Multiplexer 回路のクロック信号とタイミングを取る両方の機能を持っている。チャタリング防止が十分機能しているかどうか確認した。Fig.3.8 にチャタリング防止の作動試験結果を示す。Comparator 出力で発生しているチャタリングが Latch 出力において、完全に除去されていることが確認できた。

3.2.4 マルチプレクサ

New ASD-ASIC においては、多チャンネルの二次元中性子信号を高速処理するため、ASIC の高密度化を図り、1 チップに 64 チャンネルの ASD の搭載を考えている。64 チャンネルもの ASD を 1 チップに搭載すると IC パッケージの出力ピン数が多くなりすぎて、シリコンチップと比較して巨大な IC パッケージが必要となる。これは ASD-ASIC の低雑音化及び高速化を妨げるばかりでなく、二次元中性子検出器に組み込む信号処理プリント基板を大きくして、性能を低下させる。上記のことから、4 チャンネルのデジタル信号を 1 つの端子からシリアルに伝送する方式を採用することにした。64 チャンネルの信号を 4 チャンネル毎のブロックに仕分け、信号をシリアル化する回路がマルチプレクサである。マルチプレクサの採用により 64 チャンネルが 16 チャンネルにまとめられ、IC パッケージの出力ピン数を大幅に縮減できることになる。

Fig.2.2 の右中段に示した 4ch multiplexer が 100ns の間に 4 チャンネルの信号をシリアルに伝送する回路である。New ASD-ASIC のデジタル出力は LVTTTL 規格とした。高速デジタル信号を低雑音で伝送するには LVDS 規格が一般的であるが、LVDS 規格ではベース電流として 3.5mA を常時流す必要がある。16 チャンネル分としての 56mA の DC 電流は消費電力の面から大きすぎることで、多チャンネルの LVDS 信号をフラットケーブルで伝送すると劣化が大きいことから採用しなかった。一方、LVTTTL 規格では 3.3V の電圧パルス伝送であり、信号を伝送している微小時間のみの電力消費で済むため、長さ 50cm 以下のフラットケーブル伝送であるならば実用的である。上記の理由から LVTTTL 伝送を採用した。

ロジックパルスの信号処理の作動確認を行った。Fig.3.9 に結果を示す。計算では、New ASD-ASIC の ch0 に同じパルス

波高で 500ns の時間間隔を持った 2 個の模擬信号を入力した。図中の①の波形は Shaping amp. の出力である。②及び③の波形は Comparator 及び Latch 出力である。これらは負論理パルスであるが、2 個の模擬パルスのタイミングが②と③と比較すると若干ずれている。これはランダムの時

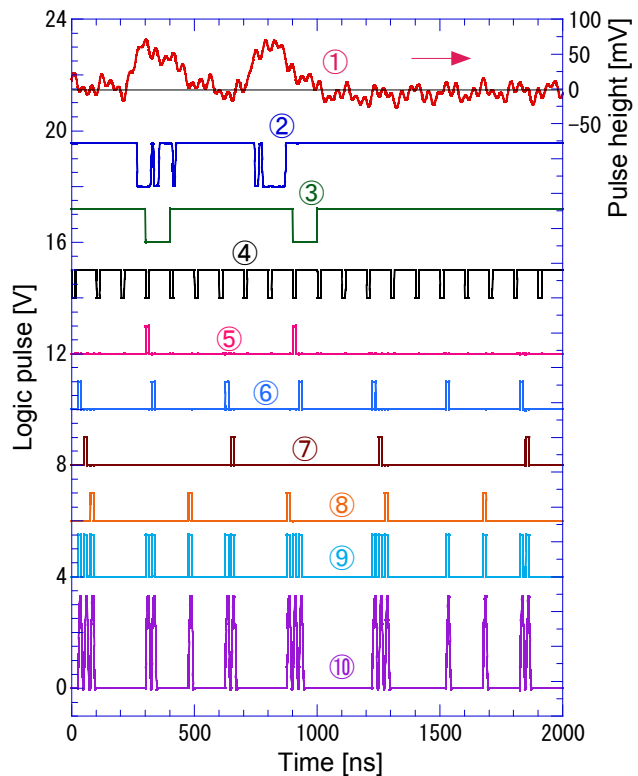


Fig. 3.9. Simulation results of pulse shapes and timing at outlet of each circuit in the new ASD-ASIC. Pulse shape at each outlet; ① Shaping amp.-ch0, ② Comparator-ch0, ③ Latch-ch0, ④ clock-10M2, ⑤ Mpx-ch0, ⑥ Mpx-ch1, ⑦ Mpx-ch2, ⑧ Mpx-ch3, ⑨ Mpx-D0, ⑩ LVTTTL-D0.

間隔で検出された中性子信号が Latch 回路によって 10MHz クロックと同期させている結果である。④は Multiplexer (Mpx) 回路のクロック clk-10M2 の 10MHz 信号である。⑤は ch0 のデジタル信号であり、③の Latch 出力が④のクロックと同期され、且つ 12.5ns 幅に整形されたデジタル

信号である。⑥から⑧がそれぞれ ch1、ch2 及び ch3 のデジタル信号である。作動確認計算では ch1、ch2 及び ch3 の中性子信号がそれぞれ 300ns、600ns、400ns 間隔で検出されたとして模擬信号を入力した。⑨が ch0 から ch3 の 4 チャンルの信号をシリアルに出力する Mpx-D0 の波形である。⑨の D0 計算結果は⑤から⑧の出力が時系列で正しく加算されていること示している。⑩は LVTTTL ドライバーの出力波形である。LVTTTL 出力は波高が 3.3V であり、40MHz の周波数で 4 チャンルのデータを伝送する。従って、Mpx-D0 では 4 チャンルの信号ブロックを 10MHz 周期で出力することになる。また、100ns より広い中性子信号の場合には 10MHz の 2 サイクル連続してデジタル信号が D0 から出力される。以上のシミュレーション結果から LVTTTL 出力 D0 から規則正しく出力されていることが確認された。

LVTTTL ドライバーがフラットケーブルを介して高速 LVTTTL 信号を大きな劣化もなく伝送できるか検証した。回路構成は Fig.3.10 に示すとおりである。フラットケーブルには型名 UL20028 で、特性インピーダンスが 75Ω、長さを 500mm としたケーブルを用いた。信号伝送シミュレーションではフラットケーブルを π 型伝送ラインで近似して計算した。計算結果を Fig.3.11 に示す。New ASD-ASIC では、適切なパワーを持って driver を設計した結果、高速の LVTTTL 信号を 500mm 長のフラットケーブルを介して伝送、LVTTTL receiver で受信しても、波形の大きな劣化もなく良好に信号伝送されることが確認できた。

3.2.5 ASD-ASIC の計数率直線性と最大計数率

InSPaD では、陽子パワーが 1MW クラスの大強度パルス中性子源を用いた散乱実験装置に実装することを想定している。従って InSPaD に使用する New ASD-ASIC にとっては、中性子計数範囲 7 桁以上にわたる直線性と最大計数率 10⁶cps 相当は実現しなければならない重要な性能である。パルス中性子散乱実験用の二次元中性子検出器システムに求められる最大計数率では、連続した 10⁶cps 計数率ではなく、中性子ビームのピーク時に極めて近接して入射してくる中性子を 1

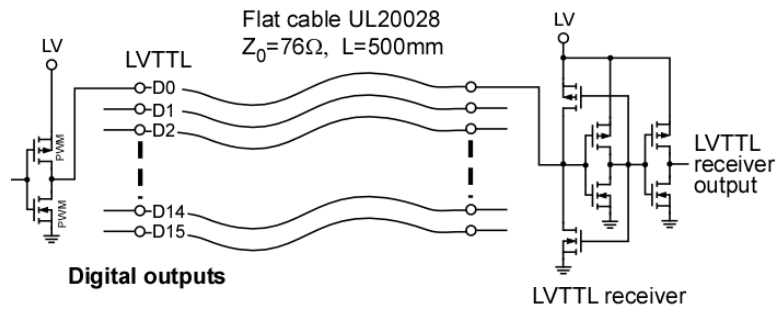


Fig. 3.10. Schematic diagram of LVTTTL driver with flat cable of 500mm length.

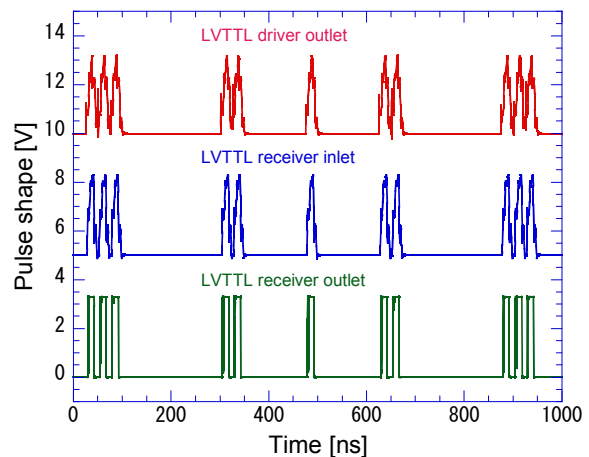


Fig. 3.11. Simulation results of LVTTTL driver with flat cable of 500mm length.

個 1 個分離して計測でき、中性子数と計数値の比例性が求められる。このため、New ASD-ASIC のアナログ増幅回路、デジタル信号変換回路、Multiplexer 及び LVTTTL シリアル信号伝送回路の全系を通したダブルパルス分解能を測定した。Fig. 3.12 に Shaping amp. の積分時定数を 450ns に設定した時の測定結果を示す。図の上段は、20fc の 2 個の信号パルスを 250ns 間隔で Charge amp. に入力した時に Shaping amp. から出力されるアナログ波形である。20fc のパルス電荷は InSPaD の入力として最も典型的は信号である。図中の下段が LVTTTL 出力波形である。アナログ波形では 2 個のパルスが一部重なってしまっているが、デジタル出力においては 2 個のパルスとして分離して出力されることを示している。測定の結果、Shaping amp. の積分時定数が 120ns、450ns 及び 1200ns の時のダブルパルス分解能はそれぞれ 150ns、250ns 及び 350ns であった。

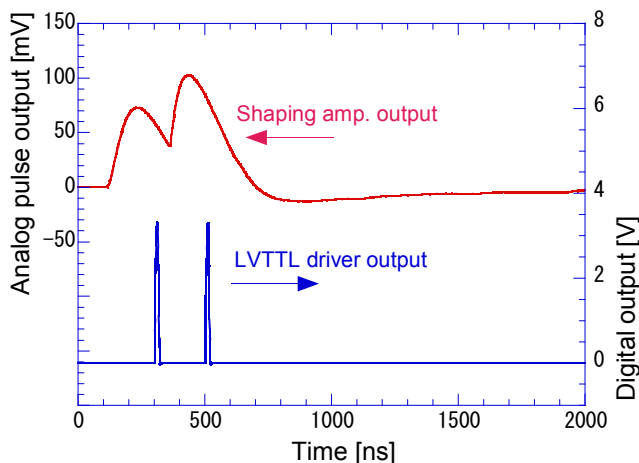


Fig. 3.12. Pulse shapes at outlet of shaping amp. and LVTTTL driver for measuring a double pulse resolution. Time constant for integration is 250ns.

以上のダブルパルス分解能測定結果から New ASD-ASIC の計数率直線性を評価した。システムの計数率はダブルパルス分解能 t_{dr} を用いて式 3.5 のように表される。

$$N_c = r^2 \int_{t_{dr}}^{\infty} e^{-r t} dt \text{ ----- (3.5)}$$

ここで N_c はシステムの計数率、 r が信号時間率である。Fig. 3.13 に 8 桁の信号時間率に対する New ASD-ASIC の計数率特性を示した。計算結果の図では Shaping amp. の積分時定数が 120ns、450ns 及び 1200ns の 3 条件で比較して示した。3 条件の下においても t_{dr} が 350ns 以下であり、小さい結果、当然のことであるが 8 桁にわたり良好な直線性が得られている。少々の変異が出てくるのは 10^5 cps 以上である。変異を詳しく見るため、図中に信号時間率 0 から 10^6 cps までの 6 桁の直線性をリニアスケールで拡大して示した。計数率は 0.2×10^6 cps 以上から少しずつ低下し、 τ_{int} が 120ns、450ns 及び 1200ns の時、信号時間率が 10^6 cps における計数率低下はそれぞれ 14、22 及び 30% であった。以上の計数率直線性評価の結果、高計数率に対しても十分な性能を有していることを確認した。

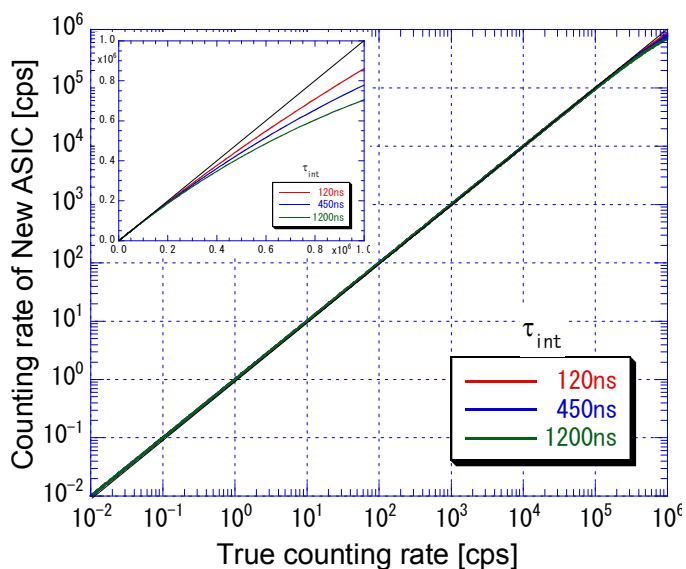


Fig. 3.13. Simulation results of maximum counting rate and counting linearity.

3.3 Sum amp.と信号処理回路

3.3.1 Sum amp. 出力特性

New ASD-ASIC のアナログパルス増幅部では 3.2.1 節で述べたようにシステム雑音を極力低減した。しかしながら、MSGC、MPGC 及び MWPC タイプの二次元ガス型中性子検出器から出力される信号レベルは極めて小さいことから、New ASD-ASIC では更に高い S/N を実現するため、もう一つユニークな機能を追加した。この機能は二次元ガス型中性子検出器の作動原理を利用したものであるため、検出器の原理について少し説明を要する。これらの検出器では入射中性子と He-3 原子と核反応させ、チェンバー内にプロトンとトリトン粒子を発生させる。両粒子が電離ガス中を飛行するときにトラック(飛行軌跡)に沿ってガスを電離して電子・イオン対を生成する。これらの電子とイオンを収集することにより中性子の検出を行う。一般的なガス条件においては、トラック長は 10 数 mm から数 10mm あるから、電子・イオン対は長いトラック上に分散する。個別信号読み出し型 MSGC または MPGC 中性子検出器においては、検出素子上の X 及び Y 軸にそれぞれ 128 乃至 256 本の電極ラインが設けられており、これら電極ライン毎に収集された電離電子の信号を計測解析することにより、中性子の入射位置を測定する。この結果、中性子 1 個の検出イベントにおいて、検出器素子上の 1 本の電極ラインに収集される電子数は、MSGC、MPGC であれば 15 分の 1 程度になり、MWPC においても 5 分の 1 程度になってしまうからである。本稿では中性子検出器の構造及び作動については本論でないため、極概略的に述べた。

上記のように極めて小さい信号パルスは低い S/N になっているため、信号と雑音を弁別しようとする雑音も時々引っかけるか、あるいは信号計数を大幅に犠牲にする方法しかない。中性子を計測する際において、雑音を混在させると中性子の位置検出分解能を低下させ、更に中性子計数に誤差を与えてしまう。以上のことを解決するには高い S/N の信号のもとで、雑音を弁別することが重要である。New ASD-ASIC では 10 数本の電極ラインに分散して検出された中性子検出信号を加算(Sum)して信号パルス波高を高くして、より高い S/N 信号のもとで雑音を弁別する新たな手法を採用した。この手法の課題は、例えば MSGC システムの場合、中性子信号が 256 本の電極ラインのどの電極に発生するかは全く不明であることである。分散して検出される微小中性子信号を全数 Sum するには 256 チャンネルのアナログ増幅器出力を全て Sum する必要がある。しかしながら、中性子検出の 1 イベントにおいて、256 チャンネルの内、信号が検出されるチャンネルは 1 から 10 数チャンネルにすぎない。プロトンとトリトン粒子トラックの立体角によって 1 から 10 数チャンネルの間でランダムに変化する。このように総チャンネル数に対して信号が検出されるチャンネルが極めて少ない条件では、Sum すると S/N は改善するどころか大幅に悪化することは容易に理解される。

以上のことから New ASD-ASIC では検出されたチャンネルのアナログ増幅器出

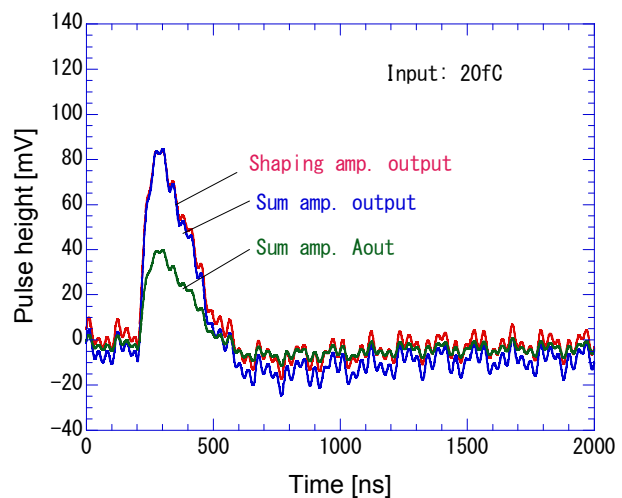


Fig. 3.14. Pulse shape of analog output (A_{out}), sum amplifier output, and shaping amplifier output. A_{out} was measured at the end of coaxial cable with 50Ω termination.

力のみを Sum するユニークな電子回路を設計した。この回路は Fig.2.1 及び 2.2 に示す Linear gate、Sum amp.、Comparator-S、LVTTL-S 及び Current driver で構成される。Linear gate 回路は中性子が検出されたチャンネル出力を選択的に Sum amp. に送るアナログゲート回路である。Linear gate のトリガー信号は Charge amp. の出力を弁別することにより得る。Sum amp. は Shaping amp. からのアナログパルスを含めて加算する回路である。Sum amp. 回路は確実な電流ゲインと広いダイナミックレンジを実現するため、プッシュプル型増幅回路により構成した。

中性子信号が検出されたチャンネル数が n チャンネルの時、S/N はおよそ \sqrt{n} 倍改善される。Sum されて S/N が改善されたアナログパルスは Comparator-S によって雑音は弁別され、デジタル信号化されて Sum LVTTL-S から出力される。Sum amp. 出力のダイナミックレンジは $C_d=10\text{pF}$ 、 100pF 及び 200pF においてそれぞれ約 $\pm 500\text{mV}/100\text{fC}$ 、 $400\text{mV}/100\text{fC}$ 及び $330\text{mV}/100\text{fC}$ である。これは Shaping amp. のダイナミックレンジとほぼ同じである。

一方、Sum amp. 出力は Current driver を介してアナログパルス信号として A_{out} 端子から出力される。 A_{out} の出力インピーダンスは $1.6\text{k}\Omega$ であり、この出力で観た Sum amp. の電流ゲインは $42.7\ \mu\text{A}/\text{fC}$ である。 A_{out} 出力は、先端が 50Ω で終端された特性インピーダンス 50Ω の同軸ケーブルを用いてオシロスコープにつながる。 A_{out} のアナログ信号は外部からの Register 設定により任意の 1 チャンネルを選択することも可能である。当然のことながら 64 チャンネルの Sum アナログ信号を観察することも可能である。これらの設定は Linear gate の Ch selector によって行う。この A_{out} 出力は ASIC 回路システムを調整する際に極めて重要な機能であり、その大きな能力を発揮する。Fig.3.14 に Sum amp. 出力と A_{out} のパルス波形を比較して示す。参考のため、

Shaping amp. 出力波形も合わせてプロットした。入力信号値は 20fC であり、Sum amp. のゲイン設定はデフォルト値とした。このゲイン設定時には、Fig.3.14 に示すように、Shaping amp. の 1 チャンネル出力と Sum amp. 出力波高がほぼ同じ大きさになる。 A_{out} パルス波高は Shaping amp. 出力パルス波高に対して $1/2$ 以下である。 A_{out} の出力は電流駆動であり 50Ω の終端により観測される。このため、駆動電流を抑えて New ASD-ASIC の Power 消費を下げる目的から出力を Sum amp. より低く設計した。

Sum amp. は 1 本の電極ラインからのパルス信号を増幅する場合と、10 数本の電極ラインに発生する信号パルスを加算し且つ

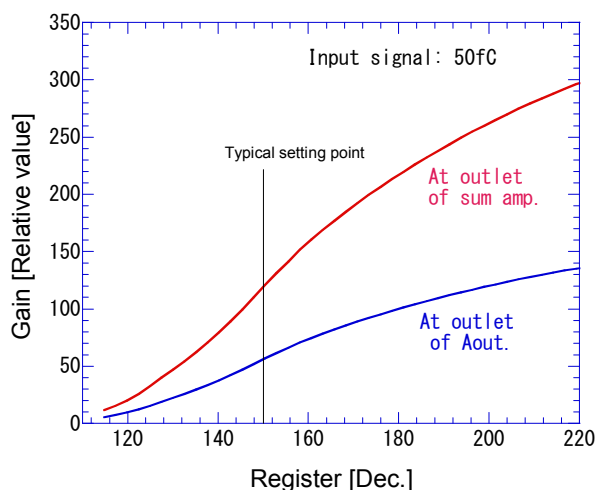


Fig. 3.15. Gain characteristics of the sum amp. versus register setting.

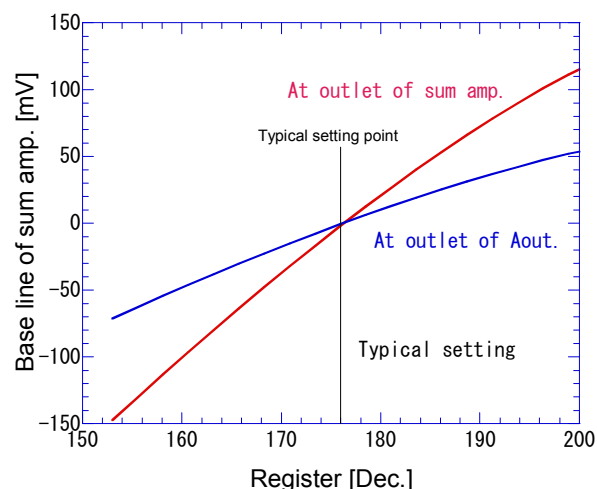


Fig. 3.16. Base line at outlet of the sum amp. adjusted by using register setting.

増幅する場合の両方のケースに使用される。この結果、信号レベルが大幅に変動するため、ゲインを変えて適切なパルス波高になるように調整できる回路構成が好ましい。上記のことから New ASD-ASIC においては外部から Register の設定値を変更することにより、Sum amp. のゲインとゼロレベルを調整できるように設計した。Fig.3.15 と 3.16 に設定値に対するゲイン及びベースライン特性の評価結果を示す。ゲイン設定範囲は Sum amp. 出力で 12 から 300 倍であり、 A_{out} においては 6 から 140 倍である。ゲインのデフォルト値は Register の decimal 設定値で 150 である。ベースラインの調整範囲は Sum amp. 出力で -140 から 130 mV であり、 A_{out} においては -70mV から 60mV である。ベースラインのデフォルト値は Register の decimal 設定値で 176 である。

Fig.3.17 に Sum amp. 出力及び A_{out} のダイナミックレンジと出力直線性の計算結果を示す。図には比較のため AS20 CIPix の A_{out} の特性も合わせて示した。Sum amp. のダイナミックレンジは入力 ± 100 fC に対しておよそ ± 500 mV である。 A_{out} はおよそ ± 240 mV である。上記の入力信号範囲において、New ASD-ASIC は良好な出力直線性を示していることが確認された。AS20 のダイナミックレンジは入力信号 ± 40 fC に対して ± 100 mV 程度である。AS20 と比較して New ASD-ASIC は充分広いダイナミックレンジを有していることがわかる。

3.3.2 Sum amp. の S/N 改善性能

Sum amp. を用いてチャンネル信号を加算することにより S/N が改善されるかどうかシミュレーション計算により確認した。Fig.3.18 に計算結果を示す。図中、最下段から 3 本の波形④⑤⑥は、それぞれ

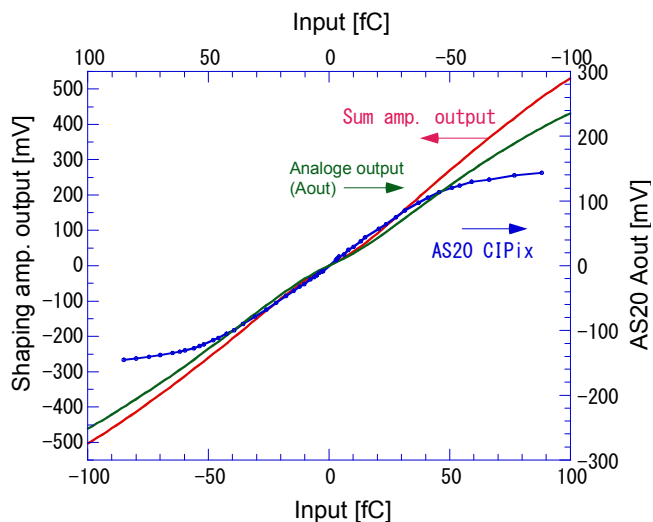


Fig. 3.17. Output linearity of the sum amp., analog output (A_{out}), and analog output of AS20 CIPix.

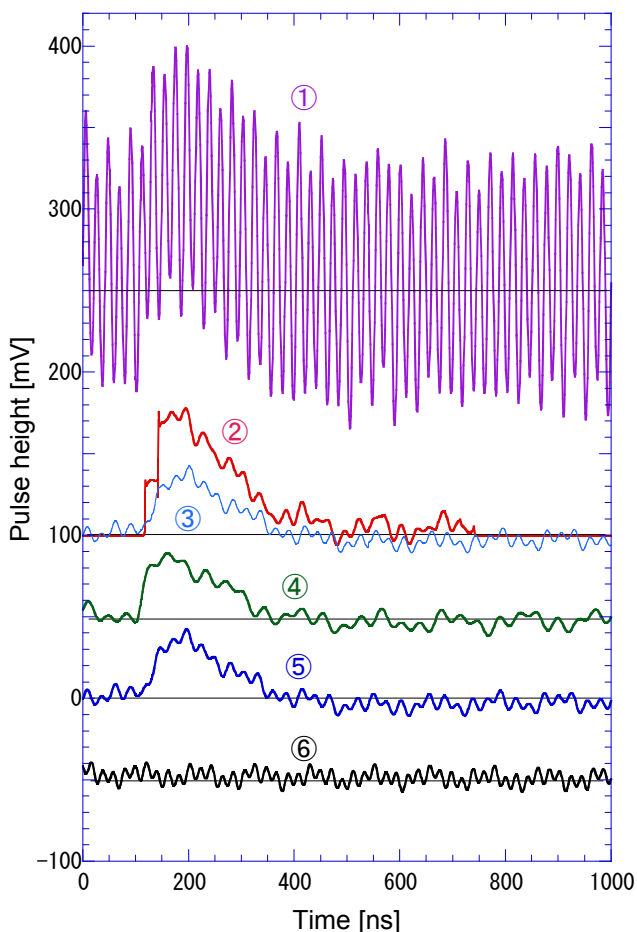


Fig. 3.18. Simulation results of linear gate and sum amp.. Each pulse shape as follows; ① summing 64 channels, ② summing ch0 and ch1, ③ ch1, ④ ch0, ⑤ ch1 and ⑥ ch2 without neutron signal.

ch0、ch1 及び ch2 の shaping amp. 出力波形である。ch0 及び ch1 には同程度の大きさの中性子信号があり、ch3 には中性子信号が検出されていない条件を模擬している。ch0 及び ch1 は、中性子信号があるので Linear gate が一定時間開になって、信号が Sum amp. に送られる。ch2 は中性子信号が検出されていないため、Linear gate が開かず、雑音も含めて Sum amp. に信号が送られない。図の最下段から4段目にプロットされた波形は2個あり、1個③が ch1 の信号で、もう1個②が Sum amp. 出力パルス波形である。Sum amp. 出力パルス②はおおよそ ch1 パルス波高の2倍の高さになっている。これは ch0 と ch1 の中性子信号が加算された結果である。雑音による揺らぎは ch0 よりも若干大きくなっていることも認められる。しかしながら、信号パルスが十分大きくなっていることから視覚的にも S/N が改善されていることが確認できる。ここで、中性子信号が検出されたチャンネル数を n とすると、S/N の改善は理論的には \sqrt{n} 倍となる。時間 800ns で Sum amp. 出力がゼロになっているが、これは Linear gate が閉じた結果である。この結果から、Linear gate は有意な信号パルスが来た後の一定時間のみ開放され、それ以外の時間は閉じていることが確認できた。

図の最上段の波形には大きな雑音が重畳しているが、これは ch0 及び 1 の中性子信号ありチャンネル出力とその他の 62 チャンネル全ての出力を単純に加算した場合のパルス波形である。このように全チャンネルを加算すると S/N が大幅に低下することがわかる。以上のシミュレーション結果から中性子信号が検出されたチャンネルのみの信号を加算することにより S/N は大幅に改善されることが確認できた。

3.3.3 Sum amp. システムの動作

Sum amp. システム全系の作動を調べた。Fig.3.19 に計算により得られた回路各部の波形を示す。図中の最上段①は Shaping amp. 出力であり、ch0 の Charge amp. に 20fC の信号が入った時の波形である。②は ch0 の信号のみが Sum amp. に入力された時の Sum amp. 出力波形である。Shaping amp. ①と Sum amp. ②の出力波形はほぼ同じ大きさの波形になっており、Sum amp. ゲインがおおよそ 1.0 であることを示している。③が Sum amp. の A_{out} 出力波形である。 A_{out} は電流駆動になっているため、50Ωで終端して電圧波形を測定した。 A_{out} の出力波高は Sum amp. 出力のおおよそ 1/2 であることが分かる。④が Comparator-S の出力波形で、パルス幅はアナログ信号パルスの大きさに依存する。

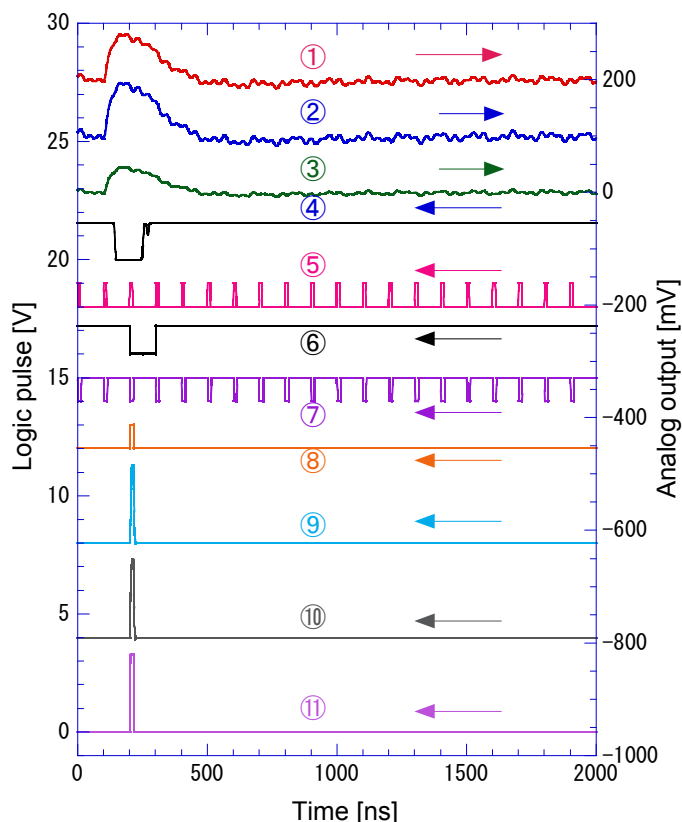


Fig. 3.19. Simulation results of the Sum amp. system with flat cable of 500mm length. Each pulse shape as follows; ① Shaping amp., ② Sum amp., ③ Sum A_{out} , ④ Comparator, ⑤ clock for Latch-S, ⑥ Latch-S, ⑦ clock for LVTTTL trigger, ⑧ Trigger-S, ⑨ LVTTTL driver, ⑩ Flat cable terminator, ⑪ LVTTTL receiver.

⑤が Latch-S のクロック clk- 10M2 信号で、⑥はランダムに入力した信号が 10MHz クロックと同期され、100ns 幅にラッチされ Latch-S から出力された信号波形である。⑦が LVTTTL trigger-S のクロック clk - 10M2 の波形で、⑧は狭い幅のパルスに整形された trigger-S の出力波形である。⑨は LVTTTL 規格の 3.3V 波高に整形された Sum LVTTTL-S の出力波形である。⑩は、Sum LVTTTL-S 出力に 500mm 長のフラットケーブルを介して LVTTTL receiver を接続した時の receiver 入力波形である。フラットケーブルは型名 UL20028 で、特性インピーダンスが 75Ω のものを使用したが、ケーブル伝送後の LVTTTL 波形には波形劣化及び減衰は殆ど認められなかった。⑪は LVTTTL receiver 出力波形であるがクリアなパルスが得られた。以上のシミュレーション結果から Sum amp. システムが正常に動作することを確認した。

4. 結 論

個別信号読み出し型の高速・高分解能二次元ガス中性子検出器システム(InSPaD)に使用する高機能且つ低雑音の ASD-ASIC を設計し、その機能及び性能についてシミュレーション評価を行った。InSPaD は高速電離ガスを用いて、1MW 級大強度陽子加速器施設の高輝度中性子散乱実験装置にも適応する高速二次元中性子検出器システムである。更に InSPaD はガス中性子検出器内

に発生するプロトンとトリトン粒子をリアルタイムで識別することにより、これまでにない数 100μm の高い位置検出分解能を実現する次世代の検出器システムである。このため、InSPaD に用いる ASD- ASIC は雑音指数が極めて低く、高速性能を有しその上多チャンネルを 1 チップ化した高密度 IC でなければならない。設計した New ASD-ASIC の性能評価結果をまとめて Table 4.1 に示す。表の n_e 値から New ASD-ASIC の入力換算雑音は、検出器のキャパシタンスが 100pF の時には、電子数表記で $2230e^-$ である。Charge amp. の MOSFET の構造を最適化することにより、上記のように極めて低い雑

Table 4.1. Performances of New ASD-ASIC designed for the InSPaD.

<i>Items</i>	<i>Performances</i>	<i>Description</i>
V_n^2	$7.4 \times 10^{-18} \left[\frac{V^2}{Hz} \right]$	Noise power spectral density at inlet of ASD-ASIC.
n_e	$\frac{33e^-/pF}{1+0.0048e^-/pF}$	Equivalent input noise as electron number.
Z_i	220 Ω	Input impedance of ASD-ASIC.
G_a	$\frac{66mV}{10^5 e^-}$	Gain of analog amplifier consisted of charge sensitive amplifier and shaping amplifier.
τ_{int}	450ns	Time constant of integration in shaping amp. with setting range between 16 and 1500ns.
V_{ma}	$\frac{\pm 500mV}{\pm 100fC}$	Dynamic range at a condition of $C_d=10pF$ and $\tau_{int}=450ns$.
V_{th}	$\pm 500mV$	Setting range of threshold voltage for comparator.
r_{max}	10^6 cps	Maximum counting rate.
t_{dr}	250ns	Double pulse resolution at default τ_{int} of 450ns.
S_{sum}	64 channels +α	Analog output of sum amplifier to improve S/N ratio.
D_{out}	LVTTTL, 40MHz	Digital output with 3.3V, 4ch serial x 16ports
Z_o	1.6kΩ	Output impedance of analog output, A_{out} .
I_{gain}	42.7μA/fC	Current gain of analog output, A_{out} .

音を達成できた。Shaping amp.の積分時定数 τ_{int} はデフォルト値が450nsであり、外部からのRegisterの設定により、16n から 15000ns まで任意の値に変更できる構造とした。雑音レベルと高速性はトレードオフの関係にあるので、中性子検出器と組み合わせた時に最適になるように設定する。Shaping amp.までのアナログ増幅部のダイナミックレンジは $\pm 500\text{mV}/\pm 100\text{fC}$ である。InSPaDでは、プロトンとトリトン粒子を識別するためのデータを Comparator から得る。このため、閾値 V_{th} の設定範囲はほぼダイナミックレンジをカバーする必要がある。シミュレーション評価の結果、 V_{th} の設定範囲は $\pm 500\text{mV}$ であり要求を満たしていることが確認できた。ダブルパルス分解能 t_{dr} は τ_{int} がデフォルト値である時に250nsで、これは最大計数率が 10^6cps 相当であることを示しており、期待した高速性が得られた。

高いS/Nを実現するため、New ASD-ASICではSum amp.システムを設けた。信号が入力してきたチャンネルのみのアナログ信号を加算することにより、 \sqrt{n} 倍のS/Nが得られることを確認できた。InSPaDではアナログ信号がヒットするチャンネル数はその大部分が10数チャンネルであるため、S/Nは3倍以上改善されることになる。

高機能且つ高性能New ASD-ASICを設計しその性能評価を行った結果、InSPaDにおける微小信号増幅と信号処理用として期待した機能及び性能が得られることを確認した。

謝 辞

高速・高分解能二次元ガス型中性子検出器用 ASD-ASICの開発研究を進めるにあたってご支援頂いた日本原子力研究開発機構 J-PARC センター 物質・生命科学研究ディビジョン 中性子利用セクション サブリーダー相沢一也氏に深く感謝致します。

参考文献

- 1) H. Yamagishi, et al.: “Novel instrument system for discriminating secondary particles in high-spatial-resolution detection”, Rev. Sci. Instrum., vol. 75, No.7, July 2004
- 2) 山岸秀志, 他 : “³Heガスをを用いた高位置分解能型二次元中性子検出器の研究”, 放射線 Vol.29-No.4 OCT., pp.199-208, (2003)
- 3) 山岸秀志, 他 : “特定用途向け集積回路(ASIC)用MOSFETの雑音評価”, JAEA-Technology 2010-030, (2010) .
- 4) 山岸秀志, 他 : “低雑音増幅器と雑音性能”, JAEA-Research 2011-050.
- 4) A. A. Abidi, “High-frequency noise measurements on FET’s with small dimensions”, IEEE Trans. Electron Devices, vol. ED-33, pp. 1801–1805, Nov. 1986.
- 5) S. Tedja, J. Van der Spiegel, et al.: “Analytical and experimental studies of thermal noise in MOSFET’s,” IEEE Trans. Electron Devices, vol. 41, pp. 2069–2075, Nov. 1994.
- 6) B. Wang, J. R. Hellums, et al.: “MOSFET thermal noise modeling for analog integrated circuits,” IEEE J. Solid-State Circuits, vol. 29, pp. 833–835, July 1994.
- 7) D. Pienkowski, et al.: “A New Method of Minimizing Noise Figure of CMOS LNAs”, in ICNF 2005, Salamanca, Spain, Sept. 2005.
- 8) A. Van der Ziel: “Noise in Solid State Devices and Circuits”, Wiley, pp.88-92 (1986).
- 9) D. M. Binkley, et al.: ”Noise Performance of 0.35- μ m SOI CMOS Devices and Micro-power Preamplifier from 77-400 K”, IEEE AeroConf 2003 (2004).

This is a blank page.

国際単位系 (SI)

表1. SI 基本単位

基本量	SI 基本単位	
	名称	記号
長さ	メートル	m
質量	キログラム	kg
時間	秒	s
電流	アンペア	A
熱力学温度	ケルビン	K
物質の量	モル	mol
光度	カンデラ	cd

表2. 基本単位を用いて表されるSI組立単位の例

組立量	SI 基本単位	
	名称	記号
面積	平方メートル	m ²
体積	立法メートル	m ³
速度	メートル毎秒	m/s
加速度	メートル毎秒毎秒	m/s ²
波数	毎メートル	m ⁻¹
密度	キログラム毎立方メートル	kg/m ³
面積密度	キログラム毎平方メートル	kg/m ²
比体積	立法メートル毎キログラム	m ³ /kg
電流密度	アンペア毎平方メートル	A/m ²
磁界の強さ	アンペア毎メートル	A/m
量濃度 ^(a) 、濃度	モル毎立方メートル	mol/m ³
質量濃度	キログラム毎立法メートル	kg/m ³
輝度	カンデラ毎平方メートル	cd/m ²
屈折率 ^(b)	(数字の)	1
比透磁率 ^(b)	(数字の)	1

(a) 量濃度 (amount concentration) は臨床化学の分野では物質濃度 (substance concentration) ともよばれる。
 (b) これらは無次元量あるいは次元1をもつ量であるが、そのことを表す単位記号である数字の1は通常は表記しない。

表3. 固有の名称と記号で表されるSI組立単位

組立量	SI 組立単位			
	名称	記号	他のSI単位による表し方	SI基本単位による表し方
平面角	ラジアン ^(b)	rad	1 ^(b)	m/m
立体角	ステラジアン ^(b)	sr ^(c)	1 ^(b)	m ² /m ²
周波数	ヘルツ ^(d)	Hz		s ⁻¹
力	ニュートン	N		m kg s ⁻²
圧力	パスカル	Pa	N/m ²	m ⁻¹ kg s ⁻²
エネルギー、仕事、熱量	ジュール	J	N m	m ² kg s ⁻²
仕事率、工率、放射束	ワット	W	J/s	m ² kg s ⁻³
電荷、電気量	クーロン	C		s A
電位差 (電圧)、起電力	ボルト	V	W/A	m ² kg s ⁻³ A ⁻¹
静電容量	ファラド	F	C/V	m ² kg ⁻¹ s ⁴ A ²
電気抵抗	オーム	Ω	V/A	m ² kg s ⁻³ A ⁻²
コンダクタンス	ジーメン	S	A/V	m ² kg ⁻¹ s ³ A ²
磁束	ウエーバ	Wb	Vs	m ² kg s ⁻² A ⁻¹
磁束密度	テスラ	T	Wb/m ²	kg s ⁻² A ⁻¹
インダクタンス	ヘンリー	H	Wb/A	m ² kg s ⁻² A ⁻²
セルシウス温度	セルシウス度 ^(e)	°C		K
光照射度	ルーメン	lm	cd sr ^(c)	cd
放射線量	グレイ	Gy	J/kg	m ² s ⁻²
放射線量当量、周辺線量当量、方向性線量当量、個人線量当量	シーベルト ^(g)	Sv	J/kg	m ² s ⁻²
酸素活性	カタール	kat		s ⁻¹ mol

(a) SI接頭語は固有の名称と記号を持つ組立単位と組み合わせても使用できる。しかし接頭語を付した単位はもはやコヒーレントではない。
 (b) ラジアンとステラジアンは数字の1に対する単位の特別な名称で、量についての情報をつたえるために使われる。実際には、使用する時には記号rad及びsrが用いられるが、習慣として組立単位としての記号である数字の1は明示されない。
 (c) 測光学ではステラジアンという名称と記号srを単位の表し方の中に、そのまま維持している。
 (d) ヘルツは周期現象についてのみ、ベクレルは放射性核種の統計的過程についてのみ使用される。
 (e) セルシウス度はケルビンの特別な名称で、セルシウス温度を表すために使用される。セルシウス度とケルビンの単位の大きさは同一である。したがって、温度差や温度間隔を表す数値はどちらの単位で表しても同じである。
 (f) 放射性核種の放射能 (activity referred to a radionuclide) は、しばしば誤った用語で"radioactivity"と記される。
 (g) 単位シーベルト (PV.2002.70,205) についてはCIPM勧告2 (CI-2002) を参照。

表4. 単位の中に固有の名称と記号を含むSI組立単位の例

組立量	SI 組立単位		
	名称	記号	SI 基本単位による表し方
粘着力のモーメント	パスカル秒	Pa s	m ⁻¹ kg s ⁻¹
表面張力	ニュートンメートル	N m	m ² kg s ⁻²
角加速度	ニュートン毎メートル	N/m	kg s ⁻²
角速度	ラジアン毎秒	rad/s	m m ⁻¹ s ⁻¹ = s ⁻¹
角加減速度	ラジアン毎秒毎秒	rad/s ²	m m ⁻¹ s ⁻² = s ⁻²
熱流密度、放射照度	ワット毎平方メートル	W/m ²	kg s ⁻³
熱容量、エントロピー	ジュール毎ケルビン	J/K	m ² kg s ⁻² K ⁻¹
比熱容量、比エントロピー	ジュール毎キログラム毎ケルビン	J/(kg K)	m ² s ⁻² K ⁻¹
比エネルギー	ジュール毎キログラム	J/kg	m ² s ⁻²
熱伝導率	ワット毎メートル毎ケルビン	W/(m K)	m kg s ⁻³ K ⁻¹
体積エネルギー	ジュール毎立方メートル	J/m ³	m ⁻¹ kg s ⁻²
電界の強さ	ボルト毎メートル	V/m	m kg s ⁻³ A ⁻¹
電荷密度	クーロン毎立方メートル	C/m ³	m ⁻³ s A
電表面積	クーロン毎平方メートル	C/m ²	m ⁻² s A
電束密度、電気変位	クーロン毎平方メートル	C/m ²	m ⁻² s A
誘電率	ファラド毎メートル	F/m	m ³ kg ⁻¹ s ⁴ A ²
透磁率	ヘンリー毎メートル	H/m	m kg s ⁻² A ⁻²
モルエネルギー	ジュール毎モル	J/mol	m ² kg s ⁻² mol ⁻¹
モルエントロピー、モル熱容量	ジュール毎モル毎ケルビン	J/(mol K)	m ² kg s ⁻² K ⁻¹ mol ⁻¹
照射線量 (X線及びγ線)	クーロン毎キログラム	C/kg	kg ⁻¹ s A
吸収線量率	グレイ毎秒	Gy/s	m ² s ⁻³
放射線強度	ワット毎ステラジアン	W/sr	m ³ m ⁻² kg s ⁻³ = m ² kg s ⁻³
放射線輝度	ワット毎平方メートル毎ステラジアン	W/(m ² sr)	m ² m ⁻² kg s ⁻³ = kg s ⁻³
酵素活性濃度	カタール毎立方メートル	kat/m ³	m ⁻³ s ⁻¹ mol

表5. SI 接頭語

乗数	接頭語	記号	乗数	接頭語	記号
10 ²⁴	ヨタ	Y	10 ¹	デシ	d
10 ²¹	ゼタ	Z	10 ⁻²	センチ	c
10 ¹⁸	エクサ	E	10 ⁻³	ミリ	m
10 ¹⁵	ペタ	P	10 ⁻⁶	マイクロ	μ
10 ¹²	テラ	T	10 ⁻⁹	ナノ	n
10 ⁹	ギガ	G	10 ⁻¹²	ピコ	p
10 ⁶	メガ	M	10 ⁻¹⁵	フェムト	f
10 ³	キロ	k	10 ⁻¹⁸	アト	a
10 ²	ヘクト	h	10 ⁻²¹	zepto	z
10 ¹	デカ	da	10 ⁻²⁴	yocto	y

表6. SIに属さないが、SIと併用される単位

名称	記号	SI 単位による値
分	min	1 min = 60s
時	h	1 h = 60 min = 3600 s
日	d	1 d = 24 h = 86 400 s
度	°	1° = (π/180) rad
分	'	1' = (1/60)° = (π/10800) rad
秒	"	1" = (1/60)' = (π/648000) rad
ヘクタール	ha	1 ha = 1 hm ² = 10 ⁴ m ²
リットル	L, l	1 L = 1 dm ³ = 10 ³ cm ³ = 10 ⁻³ m ³
トン	t	1 t = 10 ³ kg

表7. SIに属さないが、SIと併用される単位で、SI単位で表される数値が実験的に得られるもの

名称	記号	SI 単位で表される数値
電子ボルト	eV	1 eV = 1.602 176 53(14) × 10 ⁻¹⁹ J
ダルトン	Da	1 Da = 1.660 538 86(28) × 10 ⁻²⁷ kg
統一原子質量単位	u	1 u = 1 Da
天文単位	ua	1 ua = 1.495 978 706 91(6) × 10 ¹¹ m

表8. SIに属さないが、SIと併用されるその他の単位

名称	記号	SI 単位で表される数値
バル	bar	1 bar = 0.1 MPa = 100 kPa = 10 ⁵ Pa
水銀柱ミリメートル	mmHg	1 mmHg = 133.322 Pa
オングストローム	Å	1 Å = 0.1 nm = 100 pm = 10 ⁻¹⁰ m
海里	M	1 M = 1852 m
バトン	b	1 b = 100 fm ² = (10 ¹² cm) ² = 10 ⁻²⁸ m ²
ノット	kn	1 kn = (1852/3600) m/s
ネーパ	Np	SI単位との数値的関係は、 対数量の定義に依存。
ベクレル	B	
デジベル	dB	

表9. 固有の名称をもつCGS組立単位

名称	記号	SI 単位で表される数値
エルグ	erg	1 erg = 10 ⁻⁷ J
ダイン	dyn	1 dyn = 10 ⁻⁵ N
ポアズ	P	1 P = 1 dyn s cm ⁻² = 0.1 Pa s
ストークス	St	1 St = 1 cm ² s ⁻¹ = 10 ⁻⁴ m ² s ⁻¹
スチルブ	sb	1 sb = 1 cd cm ⁻² = 10 ⁴ cd m ⁻²
フット	ft	1 ft = 1 cd sr cm ⁻² = 10 ¹⁴ lx
ガリ	Gal	1 Gal = 1 cm s ⁻² = 10 ⁻² ms ⁻²
マクスウェル	Mx	1 Mx = 1 G cm ² = 10 ⁻⁸ Wb
ガウス	G	1 G = 1 Mx cm ⁻² = 10 ⁻⁴ T
エルステッド ^(c)	Oe	1 Oe Δ (10 ³ /4π) A m ⁻¹

(c) 3元系のCGS単位系とSIでは直接比較できないため、等号「Δ」は対応関係を示すものである。

表10. SIに属さないその他の単位の例

名称	記号	SI 単位で表される数値
キュリー	Ci	1 Ci = 3.7 × 10 ¹⁰ Bq
レントゲン	R	1 R = 2.58 × 10 ⁻⁴ C/kg
ラド	rad	1 rad = 1 cGy = 10 ⁻² Gy
レム	rem	1 rem = 1 cSv = 10 ⁻² Sv
ガンマ	γ	1 γ = 1 nT = 10 ⁻⁹ T
フェルミ	f	1 フェルミ = 1 fm = 10 ⁻¹⁵ m
メートル系カラット		1メートル系カラット = 200 mg = 2 × 10 ⁻⁴ kg
トル	Torr	1 Torr = (101 325/760) Pa
標準大気圧	atm	1 atm = 101 325 Pa
カロリ	cal	1 cal = 4.1858 J (「15°C」カロリ)、4.1868 J (「IT」カロリ)、4.184 J (「熱化学」カロリ)
マイクロン	μ	1 μ = 1 μm = 10 ⁻⁶ m

