

再臨界前の中性子線増に即応可能な
耐放射線 FPGA システムの開発
(委託研究)

—令和3年度 英知を結集した原子力科学技術・人材育成推進事業—

Radiation Tolerant Rapid Criticality Monitoring with Radiation-hardened FPGAs

(Contract Research)

-FY2021 Nuclear Energy Science & Technology and Human Resource
Development Project-

福島研究開発部門 福島研究開発拠点 廃炉環境国際共同研究センター
岡山大学

Collaborative Laboratories for Advanced Decommissioning Science,
Fukushima Research Institute, Sector of Fukushima Research and Development
Okayama University

July 2024

本レポートは国立研究開発法人日本原子力研究開発機構が不定期に発行する成果報告書です。本レポートはクリエイティブ・コモンズ表示 4.0 国際 ライセンスの下に提供されています。本レポートの成果（データを含む）に著作権が発生しない場合でも、同ライセンスと同様の条件で利用してください。（<https://creativecommons.org/licenses/by/4.0/deed.ja>）
なお、本レポートの全文は日本原子力研究開発機構ウェブサイト（<https://www.jaea.go.jp>）より発信されています。本レポートに関しては下記までお問合せください。

国立研究開発法人日本原子力研究開発機構 研究開発推進部 科学技術情報課
〒319-1112 茨城県那珂郡東海村大字村松4番地49
E-mail: ird-support@jaea.go.jp

This report is issued irregularly by Japan Atomic Energy Agency.

This work is licensed under a Creative Commons Attribution 4.0 International License (<https://creativecommons.org/licenses/by/4.0/deed.en>).

Even if the results of this report (including data) are not copyrighted, they must be used under the same terms and conditions as CC-BY.

For inquiries regarding this report, please contact Library, Institutional Repository and INIS Section, Research and Development Promotion Department, Japan Atomic Energy Agency.

4-49 Muramatsu, Tokai-mura, Naka-gun, Ibaraki-ken 319-1112, Japan
E-mail: ird-support@jaea.go.jp

再臨界前の中性子線増に即応可能な耐放射線 FPGA システムの開発
(委託研究)

—令和3年度 英知を結集した原子力科学技術・人材育成推進事業—

日本原子力研究開発機構 福島研究開発部門 福島研究開発拠点
廃炉環境国際共同研究センター

岡山大学

(2024年3月12日受理)

日本原子力研究開発機構 (JAEA) 廃炉環境国際共同研究センター (CLADS) では、令和3年度 英知を結集した原子力科学技術・人材育成推進事業 (以下、「本事業」という。) を実施している。

本事業は、東京電力ホールディングス株式会社福島第一原子力発電所の廃炉等を始めとした原子力分野の課題解決に貢献するため、国内外の英知を結集し、様々な分野の知見や経験を、従前の機関や分野の壁を越えて緊密に融合・連携させた基礎的・基盤的研究及び人材育成を推進することを目的としている。

平成30年度の新規採択課題から実施主体を文部科学省から JAEA に移行することで、JAEA とアカデミアとの連携を強化し、廃炉に資する中長期的な研究開発・人材育成をより安定的かつ継続的に実施する体制を構築した。

本研究は、令和元年度に採択された研究課題のうち、「再臨界前の中性子線増に即応可能な耐放射線 FPGA システムの開発」の令和元年度から令和3年度分の研究成果について取りまとめたものである。

本研究では集積回路技術に光技術を導入し、1 Grad のトータルドーズ耐性を持つ耐放射線光電子 FPGA と光技術を用いずに既存の集積回路技術のみで 200 Mrad のトータルドーズ耐性を実現する耐放射線リペアラブル FPGA の2つの開発を行う。

日本の研究チームは耐放射線 FPGA とハードウェア・アクセラレーションの面でイギリスの研究チームを支援する。イギリスの研究チームは日本の支援を受け、強ガンマ線環境下で使用でき、再臨界前の中性子線増を瞬時に検知可能な FPGA を用いた中性子線モニタリングシステムを実現する。この中性子線モニタリングシステムを日本側の耐放射線 FPGA と組み合わせ、再臨界前の中性子線増に即応できる耐放射線 FPGA システムを実現する。

本報告書は、日本原子力研究開発機構の英知事業における委託業務として、岡山大学が実施した成果を取りまとめたものである。

廃炉環境国際共同研究センター：〒979-1151 福島県双葉郡富岡町大字本岡字王塚 790-1

Radiation Tolerant Rapid Criticality Monitoring with Radiation-hardened FPGAs
(Contract Research)

— FY2021 Nuclear Energy Science & Technology and Human Resource Development Project —

Collaborative Laboratories for Advanced Decommissioning Science,
Fukushima Research Institute, Sector of Fukushima Research and Development
Japan Atomic Energy Agency
Tomioka-machi, Futaba-gun, Fukushima-ken

Okayama University

(Received March 12, 2024)

The Collaborative Laboratories for Advanced Decommissioning Science (CLADS), Japan Atomic Energy Agency (JAEA), had been conducting the Nuclear Energy Science & Technology and Human Resource Development Project (hereafter referred to “the Project”) in FY2021.

The Project aims to contribute to solving problems in the nuclear energy field represented by the decommissioning of the Fukushima Daiichi Nuclear Power Station, Tokyo Electric Power Company Holdings, Inc. (TEPCO). For this purpose, intelligence was collected from all over the world, and basic research and human resource development were promoted by closely integrating/collaborating knowledge and experiences in various fields beyond the barrier of conventional organizations and research fields.

The sponsor of the Project was moved from the Ministry of Education, Culture, Sports, Science and Technology to JAEA since the newly adopted proposals in FY2018. On this occasion, JAEA constructed a new research system where JAEA-academia collaboration is reinforced and medium-to-long term research/development and human resource development contributing to the decommissioning are stably and consecutively implemented.

Among the adopted proposals in FY2019, this report summarizes the research results of the “Radiation tolerant rapid criticality monitoring with radiation-hardened FPGAs” conducted from FY2019 to FY2021.

The present study aims to be developing a radiation-hardened optoelectronic FPGA with a 1 Grad total-ionizing-dose tolerance on which optical technologies are introduced onto a semiconductor technology and a radiation hardened FPGA with a 200 Mrad total-ionizing-dose tolerance not using any optical component. Moreover, Japanese research group will support hardware acceleration on FPGAs used for neutron-detection system developed by UK team. Finally, we will provide our radiation-hardened FPGA for the UK neutron-detection system.

Keywords: Radiation-hardened Device, Field Programmable Gate Array, Programmable Device, Scintillator,
Total-dose Tolerance

This work was performed by Okayama University under contract with Japan Atomic Energy Agency.

目次

1. 英知を結集した原子力科学技術・人材育成推進事業の概要	1
2. 平成 30 年度 採択課題	2
3. 令和元年度 採択課題	5
4. 令和 2 年度 採択課題	8
5. 令和 3 年度 採択課題	10
付録 成果報告書	13

Contents

1. Outline of Nuclear Energy Science & Technology and Human Resource Development Project	1
2. Accepted Proposal in FY2018.....	2
3. Accepted Proposal in FY2019.....	5
4. Accepted Proposal in FY2020.....	8
5. Accepted Proposal in FY2021.....	10
Appendix Result Report	13

This is a blank page.

1. 英知を結集した原子力科学技術・人材育成推進事業の概要

文部科学省では、「東京電力(株)福島第一原子力発電所の廃止措置等研究開発の加速プラン(平成26年6月文部科学省)」等を踏まえ、平成27年度から「英知を結集した原子力科学技術・人材育成推進事業」(以下、「本事業」という。)を立ち上げ、「戦略的原子力共同研究プログラム」、「廃炉加速化研究プログラム」及び「廃止措置研究・人材育成等強化プログラム」を推進している。

具体的には、国内外の英知を結集し、国内の原子力分野のみならず様々な分野の知見や経験を、機関や分野の壁を越え、国際共同研究も含めて緊密に融合・連携させることにより、原子力の課題解決に資する基礎的・基盤的研究や産学が連携した人材育成の取組を推進している。

一方、日本原子力研究開発機構(以下、「JAEA」という。)では、平成27年に廃炉国際共同研究センター(以下、「CLADS」という。現:廃炉環境国際共同研究センター)を組織し、「東京電力ホールディングス(株)福島第一原子力発電所の廃止措置等に向けた中長期ロードマップ」等を踏まえ、東京電力ホールディングス株式会社福島第一原子力発電所廃炉(以下、「1F廃炉」という。)に係る研究開発を進めている。

また、平成29年4月にCLADSの中核拠点である「国際共同研究棟」の運用を開始したことを踏まえ、今後はCLADSを中核に、廃炉の現場ニーズを踏まえた国内外の大学、研究機関等との基礎的・基盤的な研究開発及び人材育成の取組を推進することにより、廃炉研究拠点の形成を目指すことが期待されている。

このため、本事業では平成30年度の新規採択課題から実施主体を文部科学省からJAEAに移行することで、JAEAとアカデミアとの連携を強化し、廃炉に資する中長期的な研究開発・人材育成をより安定的かつ継続的に実施する体制を構築することとし、従来のプログラムを、①共通基盤型原子力研究プログラム、②課題解決型廃炉研究プログラム、③国際協力型廃炉研究プログラム、④研究人材育成型廃炉研究プログラム(令和元年度より新設)に再編した。

2. 平成 30 年度 採択課題

平成 30 年度採択課題については以下のとおりである。

課題数：19 課題

共通基盤型原子力研究プログラム	11 課題（若手研究 6 課題、一般研究 5 課題）
課題解決型廃炉研究プログラム	6 課題
国際協力型廃炉研究プログラム	2 課題（日英共同研究）

平成 30 年度 採択課題一覧

共通基盤型原子力研究プログラム

【若手研究】

課題名	研究代表者	所属機関
被災地探査や原子力発電所建屋内情報収集のための半自律ロボットを用いたセマンティックサーベイマップ生成システムの開発	河野 仁	東京工芸大学
汚染土壌の減容を目的とした重液分離による放射性微粒子回収法の高度化	山崎 信哉	筑波大学
ラドンを代表としたアルファ核種の吸入による内部被ばくの横断的生体影響評価	片岡 隆浩	岡山大学
炉心溶融物の粘性及び表面張力同時測定技術の開発	大石 佑治	大阪大学
iPS 細胞由来組織細胞における放射線依存的突然変異計測系の確立	島田 幹男	東京工業大学
レーザー共鳴イオン化を用いた同位体存在度の低いストロンチウム 90 の迅速分析技術開発	岩田 圭弘	東京大学

共通基盤型原子力研究プログラム

【一般研究】

課題名	研究代表者	所属機関
放射性核種の長期安定化を指向した使用済みゼオライト焼結固化技術の開発	新井 剛	芝浦工業大学
燃料デブリ取り出しを容易にするゲル状充填材の開発	牟田 浩明	大阪大学
レーザー蛍光法を用いた燃料デブリ変質相の同定	斉藤 拓巳	東京大学
過酷炉心放射線環境における線量測定装置の開発	岡本 保	木更津工業 高等専門学校
レーザー加工により発生する微粒子の解析と核種同定手法の開発	長谷川 秀一	東京大学

課題解決型廃炉研究プログラム

課題名	研究代表者	所属機関
合金相を含む燃料デブリの安定性評価のための基盤研究	桐島 陽	東北大学
ガンマ線画像スペクトル分光法による高放射線場環境の画像化による定量的放射能分布解析法	谷森 達	京都大学
燃料デブリ取出し時における放射性核種飛散防止技術の開発	鈴木 俊一	東京大学
アルファダストの検出を目指した超高位置分解能イメージング装置の開発	黒澤 俊介	東北大学
ナノ粒子を用いた透明遮へい材の開発研究	渡邊 隆行	九州大学
先端計測技術の融合で実現する高耐放射線燃料デブリセンサーの研究開発	萩原 雅之	高エネルギー 加速器研究機構

国際協力型廃炉研究プログラム（日英共同研究）

課題名	研究代表者	所属機関
放射性微粒子の基礎物性解明による廃炉作業リスク低減への貢献	五十嵐 康人	茨城大学
放射線耐性の高い薄型 SiC 中性子検出器の開発	三澤 毅	京都大学

3. 令和元年度 採択課題

令和元年度採択課題については以下のとおりである。

課題数：19 課題

- 共通基盤型原子力研究プログラム 7 課題（若手研究 2 課題、一般研究 5 課題）
- 課題解決型廃炉研究プログラム 4 課題
- 国際協力型廃炉研究プログラム 4 課題（日英共同研究 2 課題、日露共同研究 2 課題）
- 研究人材育成型廃炉研究プログラム 4 課題

令和元年度 採択課題一覧

共通基盤型原子力研究プログラム

【若手研究】

課題名	研究代表者	所属機関
ウラニル錯体化学に基づくテーラーメイド型新規海水ウラン吸着材開発	鷹尾 康一郎	東京工業大学
動作不能からの復帰を可能とする多連結移動ロボットの半自律遠隔操作技術の確立	田中 基康	電気通信大学

共通基盤型原子力研究プログラム

【一般研究】

課題名	研究代表者	所属機関
一次元光ファイバ放射線センサを用いた原子炉建屋内放射線源分布計測	瓜谷 章	名古屋大学
低線量・低線量率放射線被ばくによる臓器別酸化ストレス状態の検討	鈴木 正敏	東北大学
単一微粒子質量分析法に基づくアルファ微粒子オンラインモニタリングに向けた基礎検討	豊嶋 厚史	大阪大学
幹細胞動態により放射線発がんを特徴付ける新たな評価系の構築	飯塚 大輔	量子科学技術 研究開発機構
耐放射線性ダイヤモンド半導体撮像素子の開発	梅沢 仁 (~R2. 3. 31) 大曲 新矢 (R2. 4. 1~)	産業技術総合 研究所

課題解決型廃炉研究プログラム

課題名	研究代表者	所属機関
Multi-Physics モデリングによる福島2・3号機ペダスタル燃料デブリ深さ方向の性状同定	山路 哲史	早稲田大学
燃料デブリ取出しに伴い発生する廃棄物のフッ化技術を用いた分別方法の研究開発	渡邊 大輔	日立GE ニュークリ ア・エナジー
アパタイトセラミックスによるALPS沈殿系廃棄物の安定固化技術の開発	竹下 健二 (~R3. 6. 30) 塚原 剛彦 (R3. 7. 1~)	東京工業大学
拡張型スーパードラゴン多関節ロボットアームによる圧力容器内燃料デブリ調査への挑戦	高橋 秀治	東京工業大学

国際協力型廃炉研究プログラム（日英共同研究）

課題名	研究代表者	所属機関
高い流動性および陰イオン核種保持性を有するアルカリ刺激材料の探索と様々な放射性廃棄物の安全で効果的な固化	佐藤 努	北海道大学
再臨界前の中性子線増に即応可能な耐放射線 FPGA システムの開発	渡邊 実	静岡大学 (~R3. 3. 31) 岡山大学 (R3. 4. 1~)

国際協力型廃炉研究プログラム（日露共同研究）

課題名	研究代表者	所属機関
燃料デブリ取出し臨界安全技術の高度化	小原 徹	東京工業大学
微生物生態系による原子炉内物体の腐食・変質に関する評価研究	金井 昭夫	慶應義塾

研究人材育成型廃炉研究プログラム

課題名	研究代表者	所属機関
燃料デブリ取り出し時における炉内状況把握のための遠隔技術に関する研究人材育成	浅間 一	東京大学
化学計測技術とインフォマティクスを融合したデブリ性状把握手法の開発とタイアップ型人材育成	高貝 慶隆	福島大学
放射線・化学・生物的作用の複合効果による燃料デブリ劣化機構の解明	大貫 敏彦 (~R2. 3. 31) 竹下 健二 (~R3. 6. 30) 塚原 剛彦 (R3. 7. 1~)	東京工業大学
燃料デブリ分析のための超微量分析技術の開発	永井 康介	東北大学

4. 令和2年度 採択課題

令和2年度は、2つのプログラムにおいて、研究課題の採択を決定した。
公募の概要は以下のとおりである。

公募期間：令和2年3月17日～令和2年5月14日（課題解決型）
令和2年5月13日～令和2年7月15日（国際協力型）

課題数：10 課題

課題解決型廃炉研究プログラム 8 課題（若手研究2 課題、一般研究6 課題）
国際協力型廃炉研究プログラム 2 課題（日英共同研究）

これらの提案について、外部有識者から構成される審査委員会において、書面審査及び面接審査、日英共同研究については二国間の合同審査を実施し、採択候補課題を選定した。

その後、PD（プログラムディレクター）・PO（プログラムオフィサー）会議での審議を経て、採択課題を決定した。

令和2年度 採択課題一覧

課題解決型廃炉研究プログラム

【若手研究】

課題名	研究代表者	所属機関
燃料デブリにおける特性の経年変化と環境劣化割れの調査	楊 会龍 (～R4. 7. 31) 村上 健太 (R4. 8. 1～)	東京大学
健全性崩壊をもたらす微生物による視認不可腐食の分子生物・電気化学的診断及び抑制技術の開発	岡本 章玄	物質・材料 研究機構

課題解決型廃炉研究プログラム

【一般研究】

課題名	研究代表者	所属機関
遮蔽不要な臨界近接監視システム用ダイヤモンド中性子検出器の要素技術開発	田中 真伸	高エネルギー加速器研究機構
α / β / γ 線ラジオリシス影響下における格納容器系統内広域防食の実現：ナノバブルを用いた新規防食技術の開発	渡邊 豊	東北大学
β 、 γ 、X線同時解析による迅速・高感度放射性核種分析法の開発	篠原 宏文	日本分析センター
合理的な処分のための実機環境を考慮した汚染鉄筋コンクリート長期状態変化の定量評価	丸山 一平	東京大学
溶脱による変質を考慮した汚染コンクリート廃棄物の合理的処理・処分の検討	小崎 完	北海道大学
マイクロ波重畳 LIBS によるデブリ組成計測の高度化と同位体の直接計測への挑戦	池田 裕二	アイラボ

国際協力型廃炉研究プログラム（日英共同研究）

課題名	研究代表者	所属機関
革新的水質浄化剤の開発による環境問題低減化技術の開拓	浅尾 直樹	信州大学
無人航走体を用いた燃料デブリサンプルリターン技術の研究開発	鎌田 創	海上・港湾・航空技術研究所

5. 令和3年度 採択課題

令和3年度は、2つのプログラムにおいて、研究課題の採択を決定した。
公募の概要は以下のとおりである。

公募期間：令和3年3月16日～令和3年5月17日（課題解決型）
 令和3年4月13日～令和3年7月1日（国際協力型 日英共同研究）
 令和3年7月12日～令和3年8月18日（国際協力型 日露共同研究）

課題数：12 課題

課題解決型廃炉研究プログラム 8 課題
国際協力型廃炉研究プログラム 2 課題（日英）、2 課題（日露）

これらの提案について、外部有識者から構成される審査委員会において、書面審査及び面接審査、日英・日露共同研究については二国間の合同審査を実施し、採択候補課題を選定した。

その後、PD（プログラムディレクター）・PO（プログラムオフィサー）会議及びステアリングコミッティでの審議を経て、採択課題を決定した。

令和3年度 採択課題一覧

課題解決型廃炉研究プログラム

課題名	研究代表者	所属機関
建屋応答モニタリングと損傷イメージング技術を活用したハイブリッド型の原子炉建屋長期健全性評価法の開発研究	前田 匡樹	東北大学
燃料デブリ周辺物質の分析結果に基づく模擬デブリの合成による実機デブリ形成メカニズムの解明と事故進展解析結果の検証によるデブリ特性データベースの高度化	宇埜 正美	福井大学
ジオポリマー等による PCV 下部の止水・補修及び安定化に関する研究	鈴木 俊一	東京大学
世界初の同位体分析装置による少量燃料デブリの性状把握分析手法の確立	坂本 哲夫	工学院大学
アルファ微粒子の実測に向けた単一微粒子質量分析法の高度化	豊嶋 厚史	大阪大学

課題名	研究代表者	所属機関
連携計測による線源探査ロボットシステムの開発研究	人見 啓太郎	東北大学
中赤外レーザー分光によるトリチウム水連続モニタリング手法の開発	安原 亮	自然科学 研究機構
福島原子力発電所事故由来の難固定核種の新規ハイブリッド固化への挑戦と合理的な処分概念の構築・安全評価	中瀬 正彦	東京工業 大学

国際協力型廃炉研究プログラム（日英共同研究）

課題名	研究代表者	所属機関
福島第一原子力発電所の廃止措置における放射性エアロゾル制御及び除染に関する研究	Erkan Nejdet (～R4. 1. 31) 三輪 修一郎 (R4. 2. 1～)	東京大学
燃料デブリ取り出しのための機械式マニピュレータのナビゲーションおよび制御	浅間 一	東京大学

国際協力型廃炉研究プログラム（日露共同研究）

課題名	研究代表者	所属機関
福島第一発電所 2、3 号機の事故進展シナリオに基づく FP・デブリ挙動の不確かさ低減と炉内汚染状況・デブリ性状の把握	小林 能直	東京工業 大学
非接触測定法を用いた燃料デブリ臨界解析技術の高度化	小原 徹	東京工業 大学

本報告書は、以下の課題の令和元年度から令和 3 年度分の研究成果について取りまとめたものである。

国際協力型廃炉研究プログラム（日英共同研究）

課題名	研究代表者	所属機関
再臨界前の中性子線増に即応可能な耐放射線 FPGA システムの開発	渡邊 実	静岡大学 (~R3. 3. 31) 岡山大学 (R3. 4. 1~)

研究成果を取りまとめた成果報告書を付録として添付する。

付録
成果報告書

This is a blank page.

令和 3 年度

日本原子力研究開発機構

英知を結集した原子力科学技術・人材育成推進事業

再臨界前の中性子線増に即応可能な

耐放射線 FPGA システムの開発

(契約番号 R03I029)

成果報告書

令和 4 年 3 月

国立大学法人岡山大学

本報告書は、国立研究開発法人日本原子力研究開発機構の「英知を結集した原子力科学技術・人材育成推進事業」による委託業務として、国立大学法人岡山大学が実施した「再臨界前の中性子線増に即応可能な耐放射線FPGAシステムの開発」の令和元年度から令和3年度の研究成果を取りまとめたものです。

目次

概略	vi
1. はじめに	1-1
2. 業務計画	
2.1 全体計画	2.1-1
2.2 実施体制	2.2-1
2.3 耐放射線光電子 FPGA とリペアラブル FPGA の構想	2.3-1
2.4 令和 3 年度の成果の目標及び業務の実施方法	2.4-1
3. 実施内容及び成果	
3.1 耐放射線光電子 FPGA の開発	3.1.1-1
3.1.1 光学部の耐放射線化	3.1.1-1
3.1.2 集積回路部の耐放射線化	3.1.2-1
3.1.3 耐放射線試験	3.1.3-1
3.2 耐放射線リペアラブル FPGA の開発	3.2.1-1
3.2.1 集積回路開発	3.2.1-1
3.2.2 耐放射線試験	3.2.2-1
3.3 耐放射線ホログラムメモリの開発（再委託先：神戸市立工業高等専門学校）	3.3.1-1
3.3.1 フォトマスクを用いたホログラムメモリの作製	3.3.1-1
3.3.2 ホログラムメモリからの光書き込みシステムと位置制御方法	3.3.2-1
3.3.3 ホログラムメモリからの再生パターンの光書き込みによる光再構成結果	3.3.3-1
3.4 英国（Lancaster 大学）側の研究成果	3.4-1
3.5 研究推進	3.5-1
4. 結言	4-1
参考文献	5-1

執筆者リスト

事業代表者	国立大学法人岡山大学	教授	渡邊 実
	神戸市立工業高等専門学校	教授	荻原 昭文

表一覧

表 2.1-1	全体計画表	……	2.1-1
表 3.1.2-1	光再構成型ゲートアレイ VLSI のチップ仕様	……	3.1.2-5
表 3.3.2-1	ORGA-CLB 真理値表(3 入力 NAND)	……	3.3.2-3

図一覧

図 2.2-1	実施体制図	2.2-1
図 2.3.1-1	故障個所を回避し、運用を続ける方法	2.3-1
図 2.3.1-2	耐放射線光電子 FPGA のブロック図	2.3-1
図 3.1.1-1	耐放射線試験で用いたホログラムメモリの写真	3.1.1-1
図 3.1.2-1	耐放射線光電子 FPGA 試作チップ	3.1.2-1
図 3.1.2-2	構成回路部のカスタムセルを改良設計した耐放射線光電子 FPGA 試作チップ	3.1.2-2
図 3.1.2-3	リングオシレータの構成例	3.1.2-3
図 3.1.2-4	リングオシレータのホログラムメモリパターン	3.1.2-3
図 3.1.2-5	リングオシレータのコンテキストパターン	3.1.2-4
図 3.1.2-6	光電子 FPGA の評価試験光学系の写真	3.1.2-4
図 3.1.2-7	光電子 FPGA に回路を実装した状態での放射線照射試験の様子	3.1.2-7
図 3.1.2-8	7 bit シフトレジスタと 7 段のリングオシレータを実装したホログラムパターン	3.1.2-7
図 3.1.2-9	7 bit シフトレジスタと 7 段のリングオシレータのコンテキストパターン	3.1.2-8
図 3.1.2-10	4 MBq の ²⁴¹ Am α線源	3.1.2-9
図 3.1.2-11	2 枚の ²⁴¹ Am を実装したマウンタ	3.1.2-9
図 3.1.2-12	α線試験向け光再構成型ゲートアレイの光学系写真	3.1.2-9
図 3.1.2-13	2 bit 乗算器のホログラムメモリパターン	3.1.2-10
図 3.1.2-14	ホログラムメモリフィルムの写真	3.1.2-10
図 3.1.2-15	2 bit 乗算器の回折光パターン	3.1.2-10
図 3.1.2-16	デシケーター内での光電子 FPGA の試験の様子	3.1.2-11
図 3.1.2-17	α線照射試験の様子	3.1.2-12
図 3.2.1-1	0.18 μm CMOS プロセスを用いた「光並列構成法」と「部分的に並列化した構成法」の双方の機能を持つ VLSI チップ	3.2.1-1
図 3.2.2-1	放射線照射後の VLSI チップ評価の様子	3.2.2-2
図 3.3.1-1	ホログラフィックメモリ作製用レーザ干渉露光光学系	3.3.1-2
図 3.3.1-2	ホログラフィックメモリからの回路情報再生用レーザ光学系	3.3.1-2
図 3.3.2-1	光再構成ゲートアレイ VLSI の外観と物理的な配置	3.3.2-1
図 3.3.2-2	ORGA-CLB 回路の構成図	3.3.2-2
図 3.3.2-3	ORGA-CLB ブロック図	3.3.2-3
図 3.3.2-4	回路情報記録用フォトマスクの構成	3.3.2-4
図 3.3.3-1	ホログラフィックメモリからの回路情報の再生パターン (3 入力 NAND)	3.3.3-1
図 3.3.3-2	波形と再構成時間の測定 (3 入力 NAND)	3.3.3-2

略語一覧

- FPGA : Field Programmable Gate Array (プログラマブルゲートアレイ)
工場出荷後にプログラムできる VLSI
- CPLD : Complex Programmable Logic Device (プログラマブルロジックデバイス)
工場出荷後にプログラムできる不揮発性の VLSI
- TMR : Triple Modular Redundancy (3 重回路実装)
3 つ同じ回路を実装する。放射線により一時的に発生するソフトウェアに
対応できる。
- VCSEL : Vertical Cavity Surface Emitting LASER (垂直共振器面発光レーザ)
アレイ化が容易なレーザ。
- MEMS : Micro Electro Mechanical Systems (微小な電気機械システム)
微小な電気機械で放射線に強い。
- ORGA : Optically Reconfigurable Gate Array (光再構成型ゲートアレイ)
研究代表者が世界で唯一研究を進める光電子 FPGA。
- RO : Ring Oscillator (リングオシレータ)
NOT 回路を奇数段つなげ、最終段の出力を初段の入力に戻す発振回路。
- LUT : Look-Up Table (ルックアップテーブル)
メモリの 1 種。ブール関数をプログラマブルに実装できる。

概略

福島第一原子力発電所の廃炉の専門家はデブリ付近の放射線強度がワーストケースでは 1,000 Sv/h 近くにも達する可能性があることを指摘している。今後の廃炉作業においては、1,000 Sv/h もの高い放射線環境下であっても重いシールド材を用いることなく安定的に動作できる組み込みシステムが必要となる。特に、現状では γ 線が支配的であり、 γ 線に強い耐放射線組み込みシステムが求められる。

しかし、既存の集積回路は放射線に脆弱であり、トータルドーズ耐性は 1 Mrad (10 kGy) に留まる。これでは 1,000 Sv/h の放射線下では 10 時間で寿命となる。Micro Electro Mechanical Systems (以下、「MEMS」という。)や SiC 等であればより高いトータルドーズ耐性が実現できるが、素子を小型化し、集積化する研究は未だ途上であり、既存のコンピュータシステムを実現することは難しい。

本研究では集積回路技術に光技術を導入し、1 Grad (10 MGy) のトータルドーズ耐性を持つ耐放射線光電子 FPGA と、光技術を用いずに既存の集積回路技術のみで 200 Mrad (2 MGy) のトータルドーズ耐性を実現する耐放射線 FPGA の 1 種であるリペアラブル FPGA の 2 つの開発を行う。

令和元年度には耐放射線光電子 FPGA の開発において、ホログラムメモリ、レーザアレイのトータルドーズ耐性試験を実施した。集積回路部については研究代表者の研究室が保有する光再構成型ゲートアレイを活用し、ソフトウェア耐性試験を実施した。また、耐放射線光電子 FPGA の集積回路部の新規設計を実施した。耐放射線リペアラブル FPGA の開発においては、「光並列構成法」と「電気的な構成法」の双方の機能を持つロボットを制御する集積回路 (Very Large Scale Integration: 以下、「VLSI」という。)チップを設計した。また、耐放射線ホログラムメモリの開発を推進し、液晶と高分子材料にフォトマスクを用いてレーザ干渉露光可能な光学システムを構築し、2 次元フォトダイオードアレイへの回路情報を書き込み可能なホログラムメモリを作製した。

令和 2 年度には耐放射線光電子 FPGA の開発において、ホログラムメモリ、レーザアレイのトータルドーズ耐性試験、試作した集積回路を用いてソフトウェア耐性試験を実施した。また、耐放射線リペアラブル FPGA の開発においては「光並列構成法」と「電気的な構成法」の双方の機能を持つ VLSI チップを試作し、ソフトウェア耐性試験、トータルドーズ耐性試験を実施した。また、液晶と高分子材料を用いたホログラムメモリにフォトマスクから回路情報を記録し、耐放射線光電子 FPGA に回路情報を書き込む検証を行った。

令和 3 年度にはレーザアレイのトータルドーズ耐性が 1 Grad (10 MGy) を超えることを実証し、最終的に、耐放射線光電子 FPGA が 1 Grad (10 MGy) 以上のトータルドーズ耐性を持つことを明らかにした。また、耐放射線リペアラブル FPGA の開発においては、目標値である 200 Mrad (2 MGy) を超える 730 Mrad (7.3 MGy) のトータルドーズ耐性を持つ耐放射線リペアラブル FPGA の開発に成功した。これら耐放射線光電子 FPGA、リペアラブル FPGA の双方に対して α 線、中性子線によるソフトウェア耐性試験を実施し、ソフトウェア耐性が高いことも実証した。耐放射線ホログラムメモリの開発においては VLSI への光書き込み試験に成功している。イギリスの研究グループの高速中性子検出器への適用可能性については、Covid-19 の影響により、双方の機関を行き来し、試験を実施することができず、実機における組み込み評価はできなかったが、双方の試験結果から組み込み時の有効性を確認した。

1. はじめに

福島第一原子力発電所の廃炉の専門家はデブリ付近の放射線強度がワーストケースでは1,000 Sv/h 近くにも達する可能性があることを指摘している。今後の廃炉作業においては、1,000 Sv/h もの高い放射線環境下であっても重いシールド材を用いることなく安定的に動作できる組み込みシステムが必要となる。特に、現状では γ 線が支配的であり、 γ 線に強い耐放射線組み込みシステムが求められる。

しかし、既存の集積回路は放射線に脆弱であり、トータルドーズ耐性は1 Mrad (10 kGy) に留まる。これでは1,000 Sv/h の放射線下では10時間で寿命となる。MEMS やSiC 等であればより高いトータルドーズ耐性が実現できるが、素子を小型化し、集積化する研究は未だ途上にあり、既存のコンピュータシステムを実現することは難しい。

本研究では集積回路技術に光技術を導入し、1 Grad (10 MGy) のトータルドーズ耐性を持つ耐放射線光電子 FPGA と、光技術を用いずに既存の集積回路技術のみで200 Mrad (2 MGy) のトータルドーズ耐性を実現する耐放射線リペアラブル FPGA の2つの開発を行う。日本の研究チームは耐放射線 FPGA とハードウェア・アクセラレーションの面でイギリスの研究チームを支援し、イギリスの研究チームはこの日本の支援を受け、高い γ 線環境下で使用でき、再臨界前の中性子線増を瞬時に検知可能な FPGA を用いた中性子線モニタリングシステムを実現する。最終的に、この中性子線モニタリングシステムを日本側の耐放射線 FPGA と組み合わせ、再臨界前の中性子線増に即応できる耐放射線 FPGA システムを実現することが本研究の目的である。

2. 業務計画

2.1 全体計画

本業務の全体計画表を表 2.1-1 に示す。

表 2.1-1 全体計画表

項目	年度	令和元年度	令和2年度	令和3年度
(英国側スケジュール)		管理、エンドユーザ業務提携、交流活動	中性子ディテクターの開発：モデリング、構成要素の決定、設計・試作、統合テスト	ファームウェアの開発：設計、ソフトウェアトレーニング、実装設計、データ取得ソフトウェア、統合テスト
(1) 耐放射線光電子 FPGA の開発		プログラムメモリとレーザーアレイの耐放射線化の研究・パッケージ開発	プログラムメモリとレーザーアレイの耐放射線化の研究・パッケージ開発	プログラムメモリとレーザーアレイの耐放射線化の研究・パッケージ開発
① 光学部の耐放射線化				
② 集積回路部の耐放射線化		耐放射線光電子 FPGA の改良設計	耐放射線光電子 FPGA チップを試作	耐放射線光電子 FPGA チップを試作
③ 耐放射線試験 (^{60}Co , ^{241}Am , ^{252}Cf)		プログラムメモリとレーザーアレイの耐放射線試験	プログラムメモリとレーザーアレイの耐放射線試験	プログラムメモリとレーザーアレイの耐放射線試験
(2) 耐放射線リペアラブル FPGA の開発		耐放射線リペアラブル FPGA の設計	「光並列構成法」と「部分的に並列化した構成法」の双方の機能を持つチップを試作	電氣的に構成可能なチップを試作
① 集積回路開発				
② 耐放射線試験 (^{60}Co , ^{241}Am , ^{252}Cf)			VLSI のトータルドーズ・ソフトエラー耐性試験	VLSI のトータルドーズ・ソフトエラー耐性試験
(3) 耐放射線プログラムメモリの開発 (再委託先：神戸市立工業高等専門学校)		耐放射線プログラムメモリ用レーザー光学システムの開発	プログラムメモリへの回路情報の光記録実験の実施	回路情報を記録したプログラムメモリによる光書き込み試験を実施
(4) 研究推進		技術評価委員会の開催	技術評価委員会の開催	技術評価委員会の開催
		まとめ・評価	まとめ・評価	まとめ・評価

2.3 耐放射線光電子 FPGA とリペアラブル FPGA の構想

研究代表者らは福島第一原子力発電所の廃炉作業や世界中で稼働する原子力発電所の安全技術として、強い放射線環境下であっても人の代わりに作業に従事できる耐放射線ロボットの開発を急いでいる。しかし、VLSI は放射線に対して脆弱である。放射線が集積回路に入射すると、メモリの値、フリップ・フロップの値、論理回路の出力値が一時的に変わるソフトウェアエラーが発生する。

加えて、放射線環境下で集積回路の運用を続けると集積回路上のトランジスタに恒久的な劣化・故障が生じる。ここで注意すべき点は、この恒久的な劣化・故障は集積回路に電源が入っているように、いまいが起こるとい点である。つまり、仮にスペアシステムを積んでおいたとしても、同様に劣化が進むことから、必ずしも有効な手法とは言えない。最も確実で有効な手法はアルミ、鉛、タングステン等でシールドすることである。しかし、福島第一原子力発電所のデブリ付近の強放射線環境下において放射線を 100%シールドすることは難しい。集積回路そのものの放射線耐性の向上が必要である。そこで、本研究では集積回路の一部が故障しても継続して使用し続けることで耐放射線性能を向上させる耐放射線光電子 FPGA とリペアラブル FPGA を開発した。

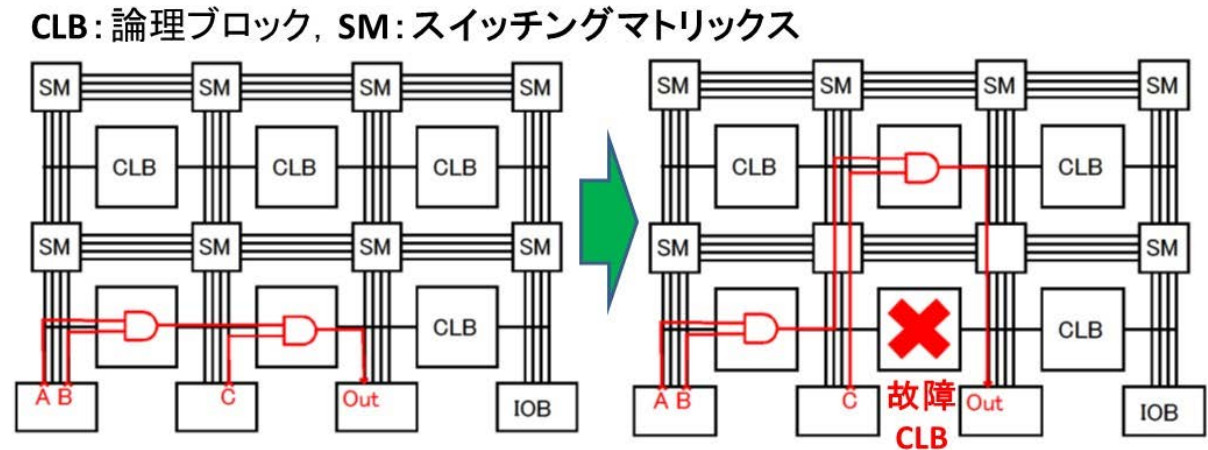


図 2.3.1-1 故障箇所を回避し、運用を続ける方法

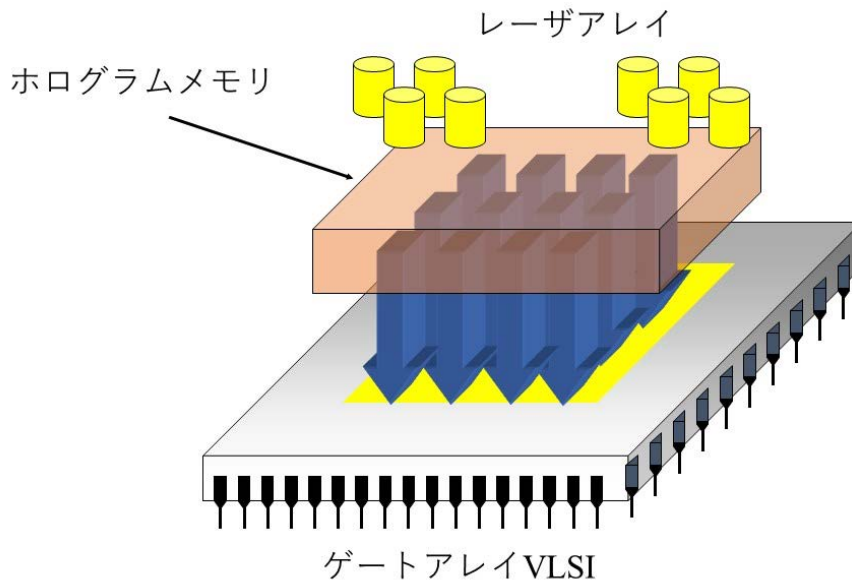


図 2.3.1-2 耐放射線光電子 FPGA のブロック図

集積回路の一部が故障しても継続して使用するためにはプログラマブルなアーキテクチャが有効である。既存のFPGAのようなプログラマブルなアーキテクチャを用いることができれば、図 2.3.1-1 に示すように故障発生後に故障箇所を避けた回路を再プログラムし、運用を続けることができる。ただし、この方法では回路をプログラムする時に使用する構成回路だけは放射線で故障しないことが求められる。既存のFPGAではシリアル的に回路が構成され、そのシリアル構成回路が1箇所でも故障すると大部分のゲートアレイの構成が不可能となる。加えて、この構成回路が占めるトランジスタの数はチップ全体の40%近くに達し、放射線が入射して、構成回路上のトランジスタを破壊する確率は非常に高い。この結果、既存のFPGAの構成回路は放射線に対して極めて脆弱であり、トランジスタが数個故障した時点で構成回路が生き残っている確率はほぼゼロと言える。つまり、既存のFPGAでは故障が発生した時に、故障を回避する新しい回路をプログラミングしたくても、そのプログラミングそのものできないのでこのような故障箇所を含む運用ができない。

本研究ではシリアル的な構成回路の代わりに光並列構成を導入した耐放射線光電子FPGAを開発した。このブロック図を図 2.3.1-2 に示す。耐放射線光電子FPGAはホログラムメモリ、レーザアレイ、ゲートアレイVLSIから構成される。この耐放射線光電子FPGAではホログラムメモリに回路情報を蓄え、それから回路情報を2次元的に読み出し、そのまま2次元的にゲートアレイVLSI側に照射することで書き込みを行う。ゲートアレイVLSI側にはゲートアレイに加えて多数のフォトダイオードが実装されており、2次元的に照射された回路情報を瞬間的に読み取ることができる。このような光並列構成法を用いると、構成回路やゲートアレイの一部に故障が生じても、他の部位の回路の構成に悪影響を与えることがなくなる。仮に大部分のトランジスタが放射線により破壊された後でも、生き残った論理ブロックやスイッチングマトリックスに対して正しくプログラムすることができる。この結果、劇的にトータルドーズ耐性を高めることが可能になる。

一方、ホログラムメモリは無数の光波の重ね合わせにより情報を読み出すことから、ホログラムメモリそのものは欠損にとっても強いことが知られている。例えば、ホログラムメモリを半分に分けて、その半分から情報を読み出したとしても記録した情報を正しく読み出すことができる。このようにホログラムメモリは放射線による欠損にも非常に強く、いつでも正しい情報を読み出すことができる。放射線に頑強なホログラムメモリを用い、放射線に脆弱な集積回路部は故障を回避する運用をすることで、耐放射線光電子FPGAではトータルドーズ耐性を劇的に高めることに成功した。

一方、リペアラブルFPGAの方は光技術を用いずに既存の集積回路技術のみで実現する耐放射線FPGAである。本研究では光並列構成法に準ずるロバストな構成法として3重回路実装を構成回路に適用したリペアラブルFPGAを開発した。通常のシリアル構成回路は1つのトランジスタの故障によりゲートアレイ全体の構成が不可能になるが、この3重構成回路では各ビット毎に1つのユニットの恒久故障までであれば構成機能を維持できる。もちろん、光並列構成のような理想的な完全並列構成が実現できないリペアラブルFPGAのトータルドーズ耐性は耐放射線光電子FPGAに準ずることになるが、光部品を含むパッケージ化の問題がある耐放射線光電子FPGAとは異なり、既存の集積回路技術のみで実現できるリペアラブルFPGAは実用化、商品化までの障壁が低い利点を持つ。本研究では本リペアラブルFPGAが市販FPGA等と比較して、トータルドーズ耐性を劇的に高めることができることを実証した。

2.4 令和3年度の成果の目標及び業務の実施方法

(1) 耐放射線光電子 FPGA の開発

①光学部の耐放射線化

令和2年度までの放射線試験により、ホログラムメモリのトータルドーズ耐性が1 Gradを超えることを実証している。令和3年度ではレーザアレイ部のトータルドーズ耐性試験が1 Gradを超えるかどうかを確認する。最終的に、1 Gradのトータルドーズ耐性を持つ耐放射線光電子 FPGA の実現可能性を明らかにする。また、イギリスの研究グループの高速中性子検出器への適用可能性について評価する。

②集積回路部の耐放射線化

耐放射線光電子 FPGA の改良設計チップを試作し、トータルドーズ耐性、ソフトウェア耐性の両面から評価を行う。

③耐放射線試験

ホログラムメモリ、レーザアレイ、VLSIチップ個別に γ 線を用いたトータルドーズ耐性試験を行う。また、 α 線、中性子線による耐放射線光電子 FPGA へのソフトウェア耐性試験を行う。

(2) 耐放射線リペアラブル FPGA の開発

①集積回路開発

「光並列構成法」の耐放射線光電子 FPGA の集積回路部に改良を加え、「光並列構成法」と「部分的に並列化した構成法」の双方の機能を持つチップを試作する。耐放射線評価試験を行い、脆弱個所を改良する。また、「光並列構成法」を用いない高密度耐放射線リペアラブル FPGA チップを試作する。そして、200 Mradのトータルドーズ耐性が達成できるかどうかをトータルドーズ耐性試験にて実証する。

②耐放射線試験

項目(2)①で試作したチップに対して、 γ 線を用いたトータルドーズ耐性試験、 α 線と中性子線を用いたソフトウェア耐性試験を行い、ソフトウェア耐性を明らかにする。

(3) 耐放射線ホログラムメモリの開発（再委託先：神戸市立工業高等専門学校）

液晶と高分子材料に対して短波長のレーザを導入して回路情報を記録したホログラムメモリを作製する。ホログラムメモリから回路情報を再生し、VLSIシステムへの光書き込みによる回路実装について検証する。

(4) 研究推進

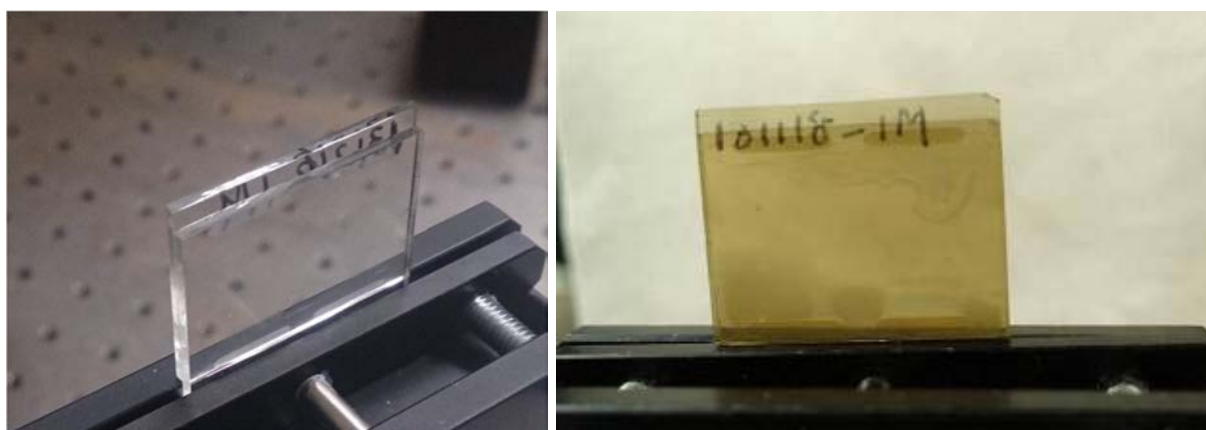
研究代表者の下で各研究項目間ならびに廃炉環境国際共同研究センター（以下、「CLADS」という。）、イギリスの研究チーム等との連携を密にして研究を進める。また、研究実施計画を推進するための打合せや会議等を開催する。

3. 実施内容及び成果

3.1 耐放射線光電子 FPGA の開発

3.1.1 光学部の耐放射線化

令和2年度までの研究では、 ^{60}Co 線源を用いて、ホログラムメモリが1 Grad (10 MGy) のトータルドーズに耐えることを実証した[1][2]。図3.1.1-1(a)に放射線照射前のホログラムメモリ、図3.1.1-1(b)に1 Grad (10 MGy) のトータルドーズを与えたホログラムメモリの写真をそれぞれ示す。ホログラムメモリを挟むガラス板は茶褐色に変色しているがホログラムメモリそのものに大きな劣化はみられていない。ノンブラウンニングガラスを用いた試験も行っており、その場合、輝度の劣化がこの試験結果よりも低くできることを確認している。輝度値は低下しているもののコンテキストパターンに劣化がみられないことが確認でき、光再構成型ゲートアレイに組み込み、問題なく使用できることを確認した。また、令和2年度までの研究により、耐放射線光電子 FPGA のレーザアレイ部のトータルドーズ耐性試験を600 Mrad (6 MGy) まで、さらに、令和3年度の研究において、レーザアレイ部のトータルドーズ耐性試験を1 Grad (10 MGy) まで実施した。全てのレーザダイオードが正常に動作することを確認した。レーザには消費電流増や出力パワーの低下等の劣化がみられるが、どちらもシステム運用上問題は生じないレベルである。レーザの消費電流増により耐放射線光電子 FPGA 全体の消費電力が増大することになるが、10 MGy 時でも1.5倍以下であり許容できる値と言える。出力パワー低下についても再構成に要する時間が増大するだけで、それを見越して運用すれば良い。結果、耐放射線光電子 FPGA の光学部が1 Grad (10 MGy) のトータルドーズ耐性を持つことを実証できた。また、イギリスの研究グループの高速中性子検出器への適用可能性についても評価を終えた。



(a) 初期のホログラムメモリ

(b) 1 Grad (10 MGy) トータルドーズのホログラムメモリ

図 3.1.1-1 耐放射線試験で用いたホログラムメモリの写真

3.1.2 集積回路部の耐放射線化

令和2年度までの研究において、フォトダイオードの初期電荷をコントロールするリフレッシュ信号、チップを初期化するために使用するリセット信号を大幅に冗長化・強化した耐放射線光電子 FPGA チップを試作した。耐放射線光電子 FPGA 内のリフレッシュ信号、リセット信号が制御できなくなるとチップの構成が不可能になり、耐放射線光電子 FPGA の全ての機能を失うことになる。新しい耐放射線光電子 FPGA ではこの致命傷となる信号をそれぞれ9本に冗長化し、事実上、故障が生じない状態にまで強化した。この9本は実用化した場合でも最適本数と言える。冗長化に必要なセル類は全てカスタム設計しており、チップ面積は従来のものとはほぼ変わらない。この光電子 FPGA 試作チップの写真を図 3.1.2-1 に示す。放射線試験の結果については3.1.2.1節に記載する。

令和3年度の研究においても耐放射線光電子 FPGA の改良設計、試作を続けた。構成回路のカスタムセルのレイアウトを見直す改良設計したチップを試作し、トータルドーズ耐性、ソフトエラー耐性の両面から評価を行った。チップ写真を図 3.1.2-2 に示す。



図 3.1.2-1 耐放射線光電子 FPGA 試作チップ

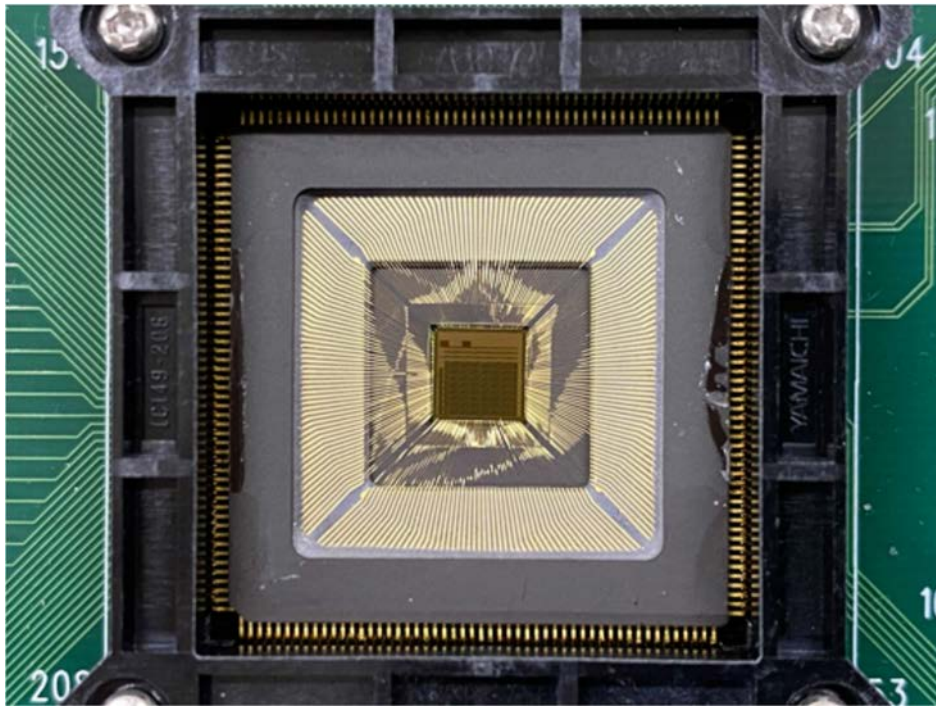


図 3.1.2-2 構成回路部のカスタムセルを改良設計した耐放射線光電子 FPGA 試作チップ

3.1.2.1 耐放射線試験

耐放射線光電子 FPGA に用いる光再構成型ゲートアレイ VLSI のトータルドーズ耐性試験を実施した。光再構成型ゲートアレイの各論理ブロックに対してリングオシレータを実装し、その動作周波数を計測することで劣化度合いを評価した。リングオシレータは図 3.1.2-3 に示すようにインバータを奇数個実装して実現され、自己発振する。各インバータは Look-Up Table 内に実装される。

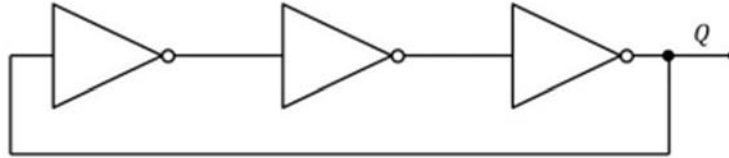


図 3.1.2-3 リングオシレータの構成例

本計測では 1 段のリングオシレータを実装し、その発振周波数を Mixed Signal Oscilloscope (MS09254A : Agilent Technologies) で計測した。リングオシレータのホログラムメモリパターン、コンテキストパターンをそれぞれ、図 3.1.2-4、図 3.1.2-5 に示す。

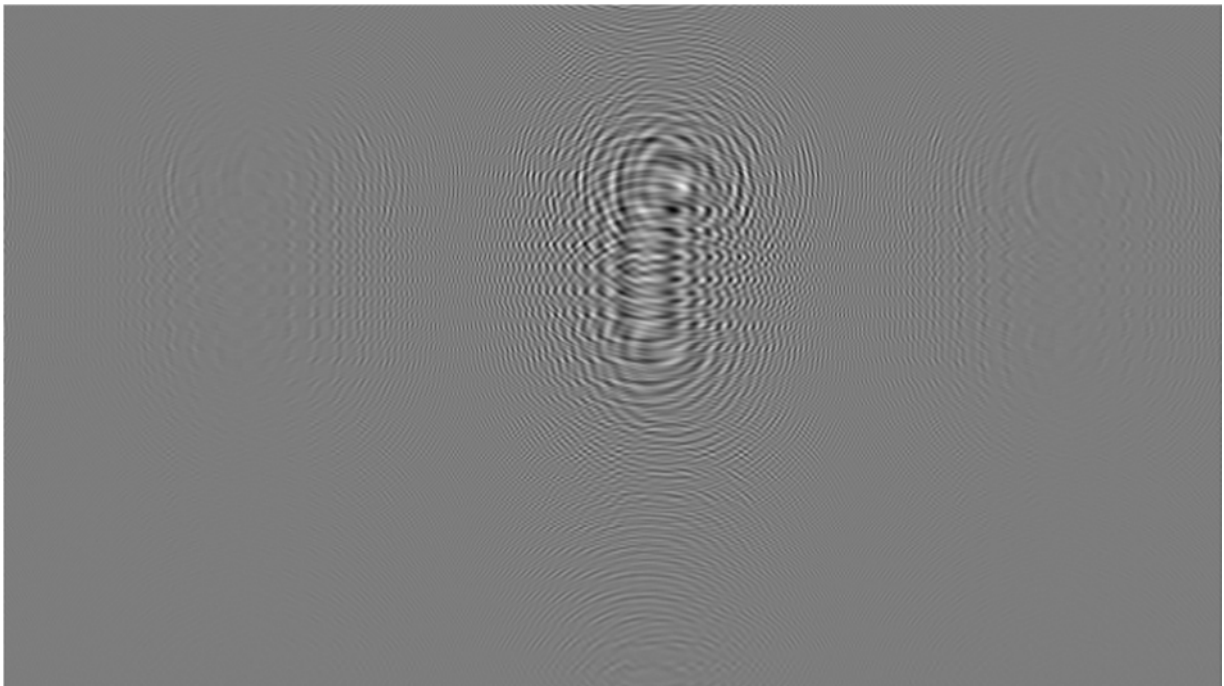


図 3.1.2-4 リングオシレータのホログラムメモリパターン

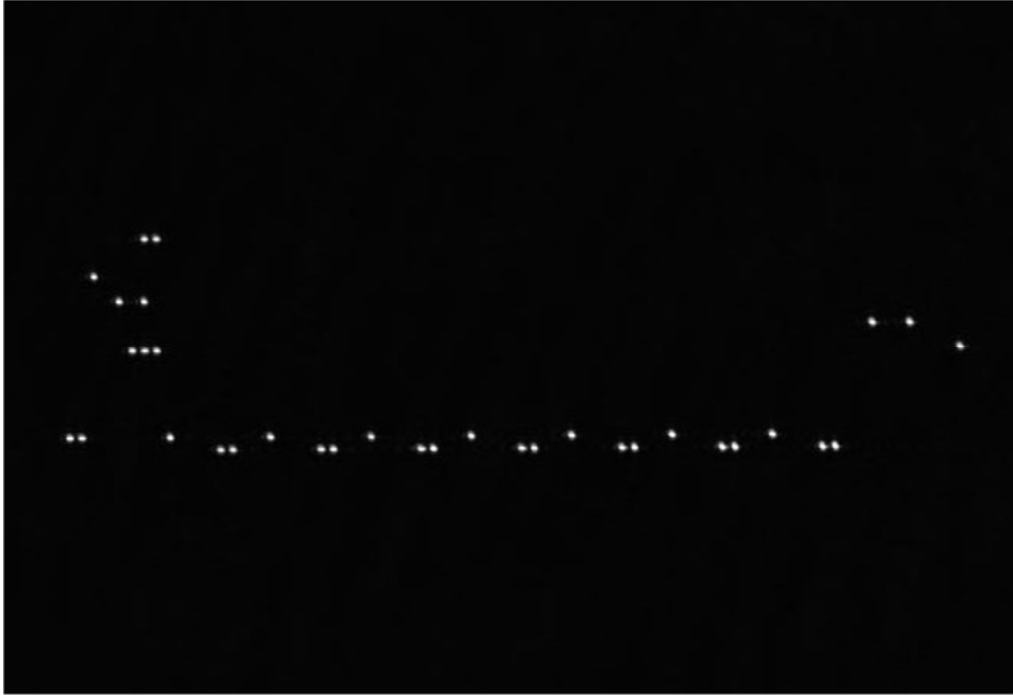


図 3.1.2-5 リングオシレータのコンテキストパターン

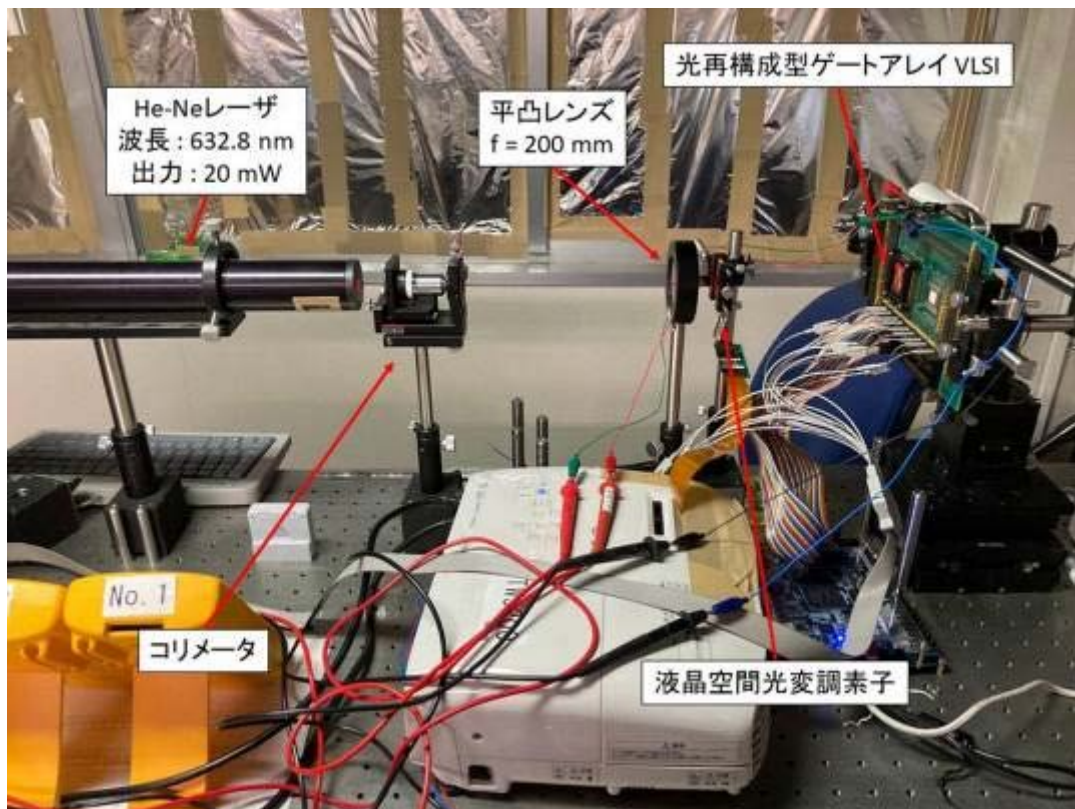


図 3.1.2-6 光電子 FPGA の評価試験光学系の写真

また、試験光学系を図 3.1.2-6 に示す。左から順に、He-Ne レーザ、コリメータ、平凸レンズ、液晶空間光変調素子 (L3B00Z-G84G : セイコーエプソン株式会社)、光再構成型ゲートアレイ VLSI である。光再構成型ゲートアレイ VLSI は液晶空間光変調素子から 150 mm の位置に設置してある。液晶空間光変調素子の解像度は 1,920×1,080 ピクセルであり、各ピクセルサイズは 7.0 μm × 7.0 μm である。この液晶空間光変調素子に図 3.1.2-4 のホログラムパターンを実装した。試験に使用した光再構成型ゲートアレイ VLSI の仕様を表 3.1.2-1 に示す。この 0.18 μm CMOS プロセス光再構成型ゲートアレイ VLSI には 8,832 個のフォトダイオードが実装されている。フォトダイオードの大きさは 4.40 μm × 4.45 μm である。このフォトダイオードは横が 30.08 μm 、縦が 30.24 μm の間隔で配置されている。ゲートアレイの構造は既存の FPGA と同じであり、論理ブロックが 512 個、スイッチングマトリクスが 576 個、入出力ビットが 36bit 実装されている。Look-Up Table は論理ブロックに 2 個実装されており、トータル 1,024 個である。再臨界監視のアルゴリズム実装において、この Look-Up Table 数は十分であると考えられる。この試験システムを用いて放射線に対するトータルドーズ耐性評価を実施した。

表 3.1.2-1 光再構成型ゲートアレイ VLSI のチップ仕様

プロセステクノロジー	0.18 μm standard five metal CMOS process
チップサイズ	5.0 mm × 5.0 mm
ゲートアレイ面積	横 : 4.1 mm, 縦 : 2.2 mm
供給電圧	Core 1.8V, I/O 3.3V
フォトダイオードの総数	8,832 個
フォトダイオードサイズ	4.40 μm × 4.45 μm
フォトダイオードの間隔	横: 30.08 μm , 縦: 30.24 μm
論理ブロックの数	512 個
Look-Up Table 数	1,024 個
スイッチングマトリクスの数	576 個
配線チャンネル数	8 本
I/O のビット数	36 ビット

(1) VLSI チップの γ 線を用いたトータルドーズ耐性試験

令和 2 年度までの試験では静岡大学理学部 放射科学教育研究推進センターの 30 TBq の ^{60}Co γ 線源を使用し、照射線量率 2.98 ~ 2.99 kGy/h において VLSI チップが動作した状態で放射線を照射して、活電状態での耐放射線試験を実施した。図 3.1.2-7 に光電子 FPGA の活電状態での放射線照射試験の様子を示す[3][4]。累計で 80.0 Mrad (800 kGy) を照射した。中央奥に設置されているのが光再構成型ゲートアレイ VLSI であり、手前にはクロック信号を供給する水晶発振回路が置かれている。この水晶発振回路は耐放射線性を有し、300 Mrad (300 kGy) 以上のトータルドーズ耐性を有する。光再構成型ゲートアレイには 7 bit のシフトレジスタと 7 段のリングオシレータを実装し、動作させたままで放射線を照射した。7 bit のシフトレジスタと 7 段のリングオシレータのコンテキスト情報を持つホログラムパターンを図 3.1.2-8 に示す。このホログラムパターンは空間光変調素子に実装された。図 3.1.2-9 に、空間光変調素子からの回折光、つまりコンテキストパターンを示す。この画像は CMOS カメラで撮影された。最終的に、このコンテキストパターンがゲートアレイ上に実装された。

動作周波数は放射線照射前が最高 146.72819 MHz、最低 103.15789 MHz、平均 126.44669 MHz で、照射後が最高 142.16422 MHz、最低 100.86496 MHz、平均 123.87621 MHz であった。また各論理ブロックの遅延時間は放射線照射前が最小 3.407661473 ns、最大 4.846938998 ns、平均 3.969716580 ns で、照射後が最小 3.517059356 ns、最大 4.957122870 ns、平均 4.051761595 ns であった。どの論理ブロックも、照射前に比べて動作周波数が低下しているが、壊れる状況には至っていない。そして、7 bit のシフトレジスタと 7 段のリングオシレータは 80.0 Mrad (800 kGy) 照射後も問題なく動作していることを確認している。リングオシレータの動作周波数は 11.52 MHz から 11.35 MHz にわずかに低下しているが、許容範囲内と言える。結果、耐放射線光電子 FPGA チップの耐放射線性能は非常に高いことが実証され、このままで実使用に耐えうることを確認できた。尚、放射線の影響はあくまでも集積回路部だけに発生し、集積回路を遠隔から制御する配線等に放射線の影響は一切生じない。

令和 3 年度は国立研究開発法人量子科学技術研究開発機構高崎量子応用研究所（以下、「高崎量子応用研究所」という。）の ^{60}Co γ 線源を使用し、照射線量率 6.6 ~ 6.7 kGy/h において、通電しない状態の VLSI チップに対して 290 Mrad (2.9 MGy) のトータルドーズ耐性試験を実施した。この結果、回路の動作周波数が約 11.9%低下することを確認した。

高崎量子応用研究所の試験ではより強い γ 線を照射し、劣化度合いを評価したが、劣化は静岡大学理学部 放射科学教育研究推進センターにおける 3 kGy/h の時と大差はなかった。本研究においては耐放射線光電子 FPGA の VLSI 部が 1.15 Grad (11.5 MGy) のトータルドーズ耐性を有することを確認しており、最終的に耐放射線光電子 FPGA が光学部も含め 1 Grad (10 MGy) 以上のトータルドーズ耐性を持つことを実証した。

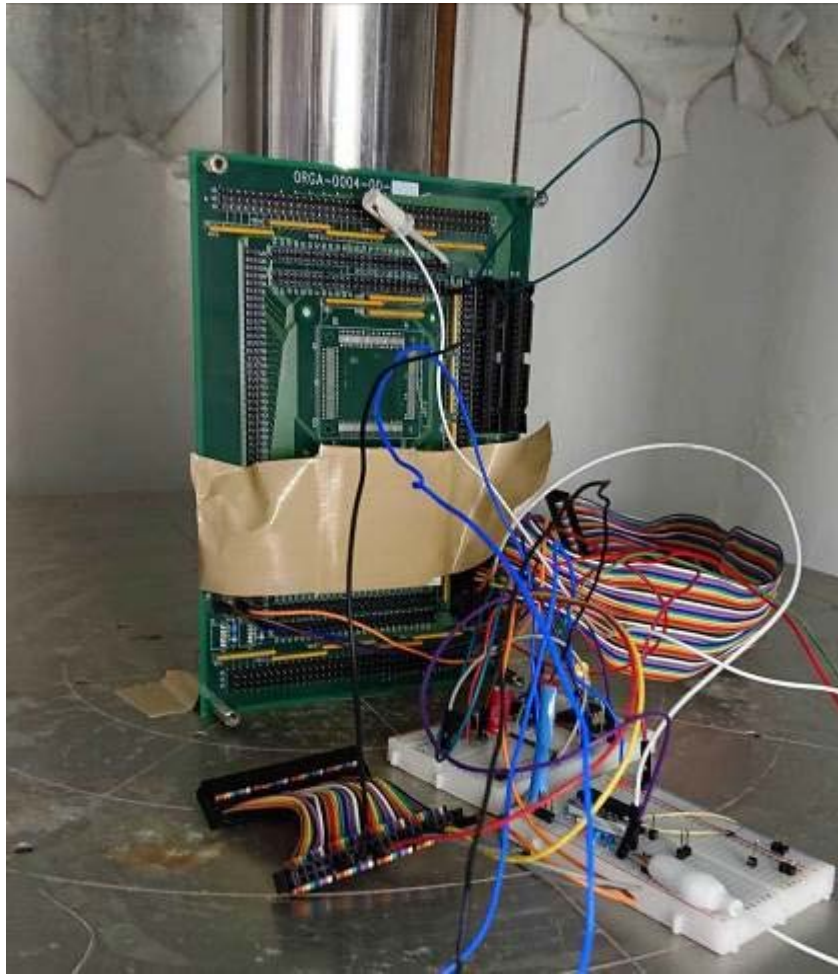


図 3.1.2-7 光電子 FPGA に回路を実装した状態での放射線照射試験の様子

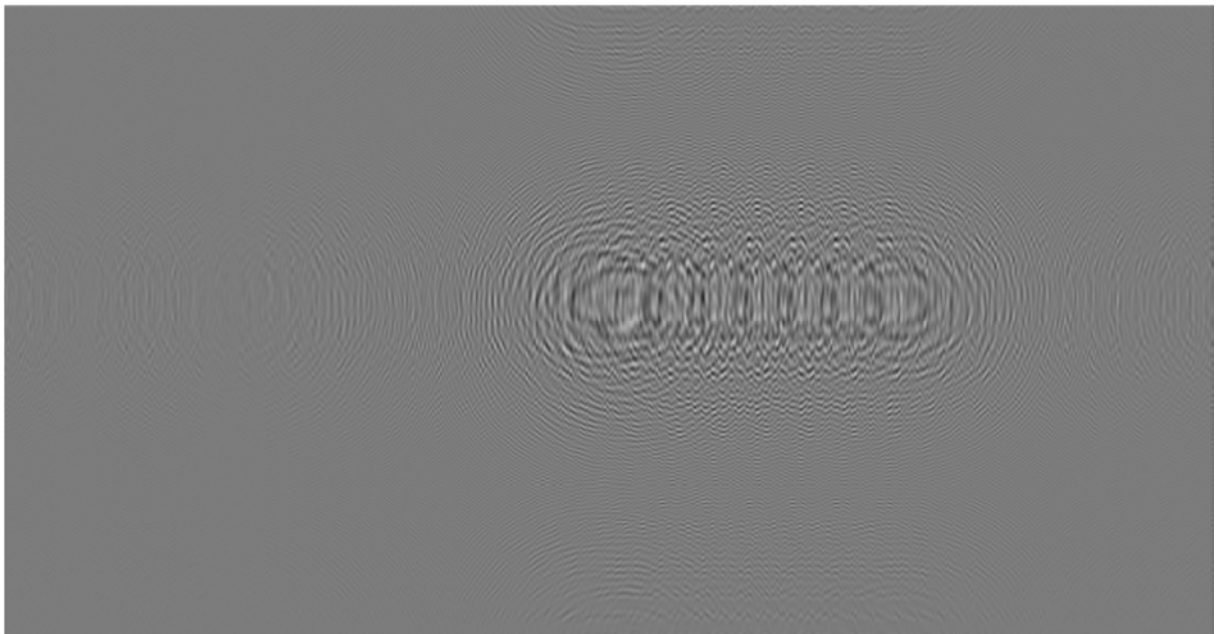


図 3.1.2-8 7 bit シフトレジスタと7段のリングオシレータを実装したホログラムパターン



図 3.1.2-9 7 bit シフトレジスタと 7 段のリングオシレータのコンテキストパターン

(2) α 線による耐放射線光電子 FPGA へのソフトエラー耐性試験

次に、令和 2 年度までに実施した α 線によるソフトエラー耐性試験の結果について示す。 α 線源として 4 MBq の ^{241}Am を 2 つ用いた。使用した ^{241}Am α 線源を図 3.1.2-10 に示す。耐放射線光電子 FPGA では直上から光によるコンテキストパターンを供給する必要があり、チップの直上に線源を配置することができない。このため、図 3.1.2-11 に示すマウンタを用いて斜め上方向から α 線が入射するようにしてソフトエラー耐性試験を行った。 α 線は入射角にあまり影響されず、距離の 2 乗のファクターのみ考慮すれば良い。4 MBq の ^{241}Am が 2 枚集積回路部から約 3 cm の距離に置かれており、集積回路に入射する単位時間当たりの α 線の数は約 17,700 本/s と見積もれる。

α 線試験向けの光再構成型ゲートアレイの光学系を図 3.1.2-12 に示す。この光再構成型ゲートアレイは波長 650 nm、5 mW の半導体レーザ (DL-3247-165; 三洋電機、Semiconductor Company) とホログラムフィルム (銀塩フォトマスクフィルム; 海野技研) そしてローム社 0.18 μm プロセスで試作された光再構成型ゲートアレイ VLSI で構成される。この評価試験には 2 bit 乗算器を使用した。この乗算器の回路実装に使用するホログラムメモリのパターンは 2,000 \times 2,000 ピクセルで構成され、計算機によって計算されている。このホログラムメモリパターンを図 3.1.2-13 に示す。そして、5080 dpi の解像度で銀塩フィルムに描画したものが図 3.1.2-14 に示すホログラムメモリフィルムである。このホログラムメモリフィルムから読み出された 2 bit 乗算器の回折光パターンを図 3.1.2-15 に示す。半導体レーザとホログラムフィルムは、アクリルフレームで 3 軸のステッピングモータ駆動ステージ (OSMS26-50 (XYZ); シグマ光機) に固定されており、リモートでの位置調整を可能にしている。半導体レーザとホログラムフィルムの距離は 5 cm、ホログラムフィルムと光再構成型ゲートアレイ VLSI の距離は 6.5 cm とした。

本試験では α 線のエネルギーの減衰を防ぐ目的のため、図 3.1.2-16 に示すデシケーター (SSVD-450; アズワン) と油回転真空ポンプ (AVRI-60; アズワン) を使用し、真空状態を調節して試験を行った [5]。 α 線照射試験時の光再構成型ゲートアレイの光学系写真を図 3.1.2-16 (右図) に示す。本試験では、2 bit 乗算回路の 4 bit の出力結果を、放射線が当たらない外部デバイスで計算した 2 bit 乗算器の結果と比較することで、光再構成型ゲートアレイでの出力結果に異常が生じる回数を調べた。スクラビング周期が 30 μs の時、10 分間エラーなしで動作させることに成功した。

中性子線モニタリングシステムや組み込みシステムの制御周期は 1 ms 以下である。エラーインターバルが 10 分以上のハードウェアシステムを用いることができれば、1 ms 周期内に 2 回演算を行い、一致していれば正しい結果と認識する時分割多重ソフトウェア処理を加えるだけで、計算間違いが起きるエラーインターバルを 30 年以上に拡張できる。事実上、ソフトエラーを封じ込めることができると言える。

加えて令和 3 年度ではゲートアレイに対するソフトエラー耐性試験を実施した。令和 2 年度と同じ 4 MBq の ^{241}Am の α 線源を用い、これを構成の終わったチップの直上 (約 2 mm) に

設置し、ソフトエラーが発生するか否かの試験を実施した。この時に用いたチップはトータルドーズ耐性試験に用いた 290 Mrad (2.9 MGy) のトータルドーズを与えたチップである。結果、10 分間の動作においてソフトエラーは一切発生せず、ソフトエラーを封じ込めることに成功した。



図 3.1.2-10 4 MBq の ^{241}Am α 線源

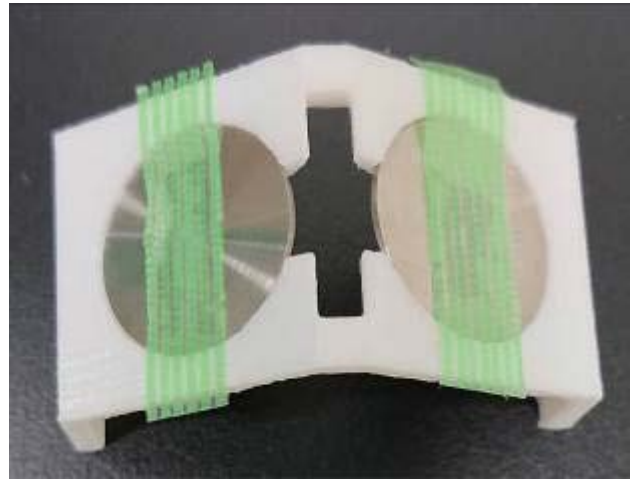


図 3.1.2-11 2 枚の ^{241}Am を実装したマウンタ

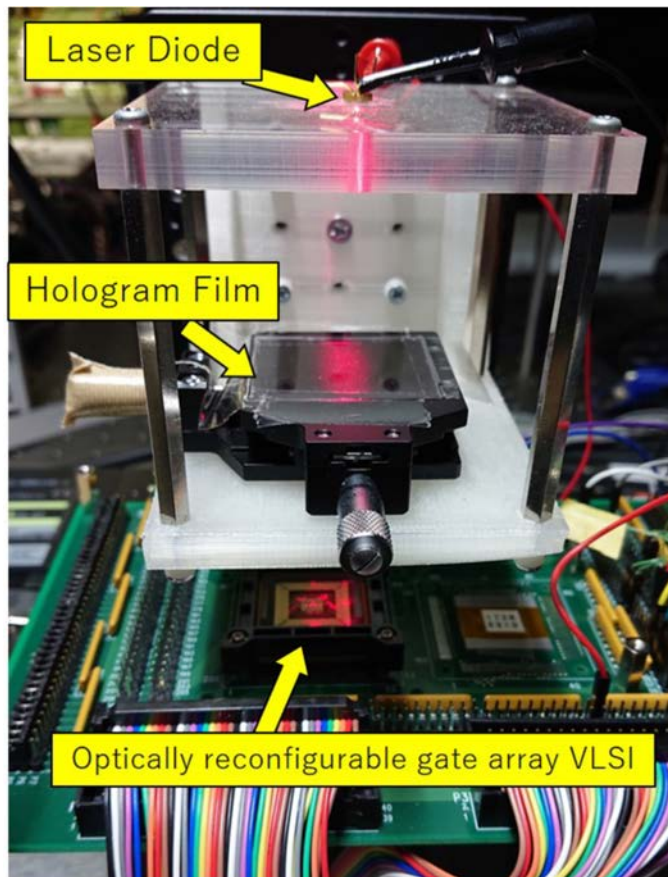


図 3.1.2-12 α 線試験向け光再構成型ゲートアレイの光学系写真

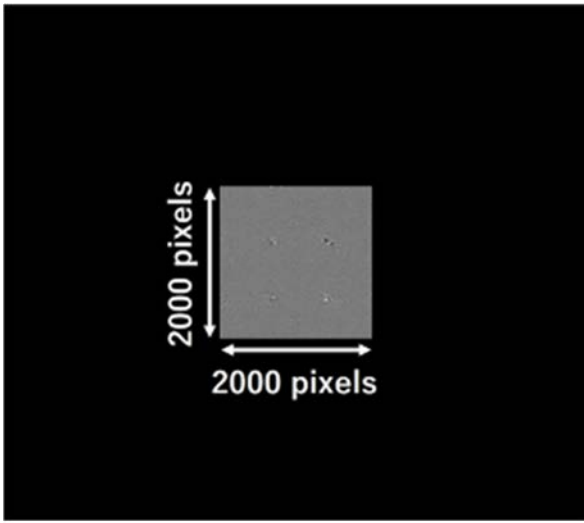


図 3.1.2-13 2 bit 乗算器のホログラムメモリパターン

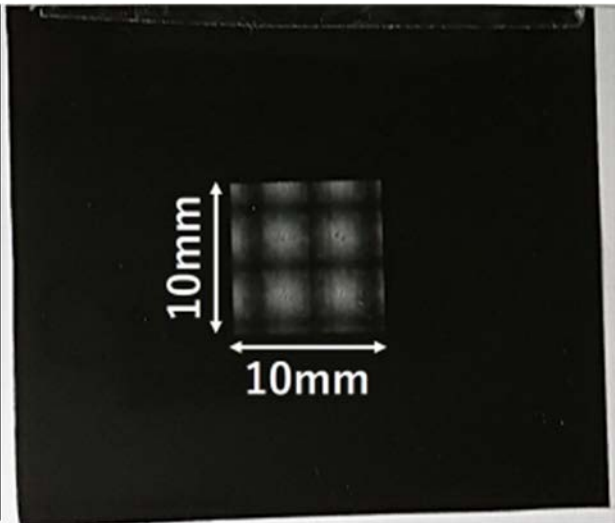


図 3.1.2-14 ホログラムメモリフィルムの写真

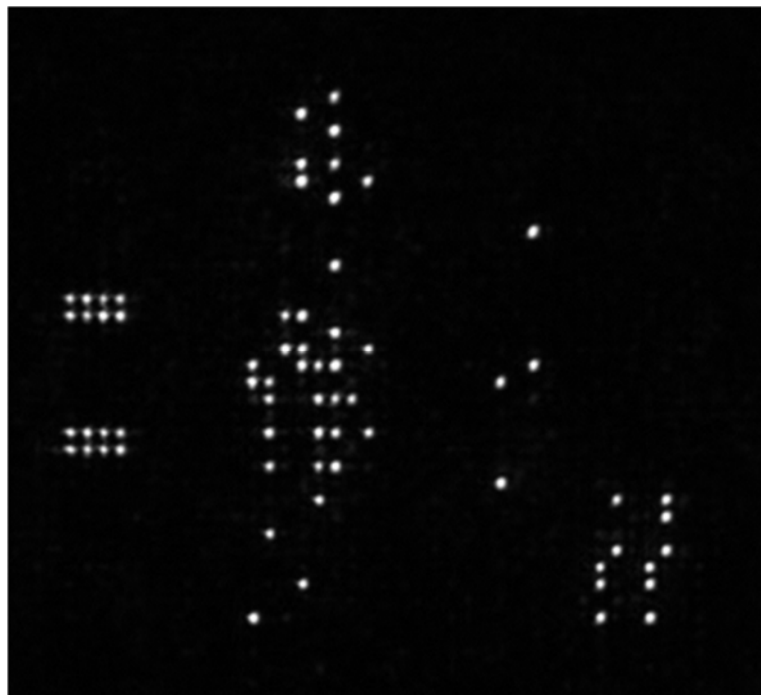


図 3.1.2-15 2 bit 乗算器の回折光パターン

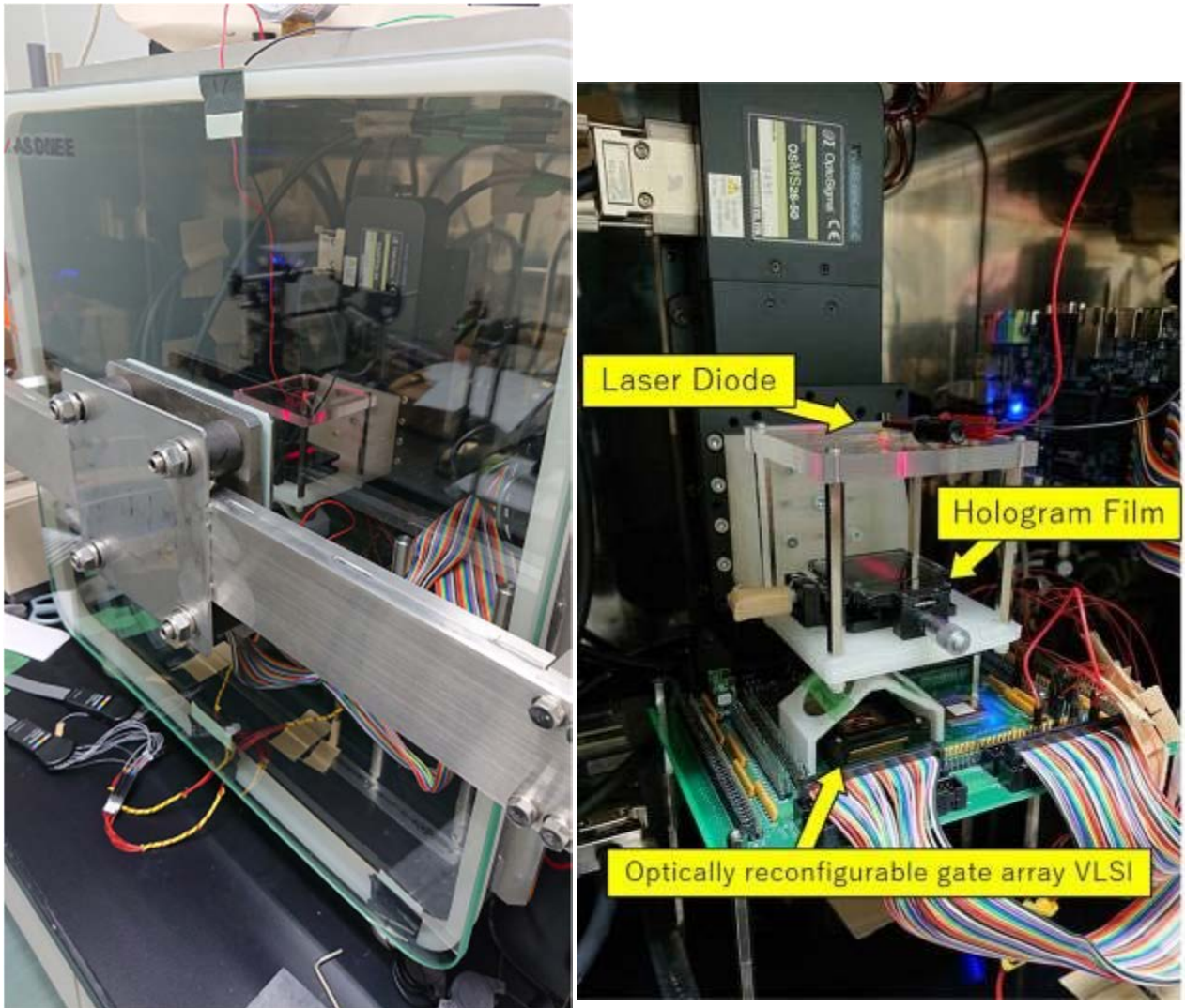


図 3.1.2-16 デシケーター内での光電子 FPGA の試験の様子

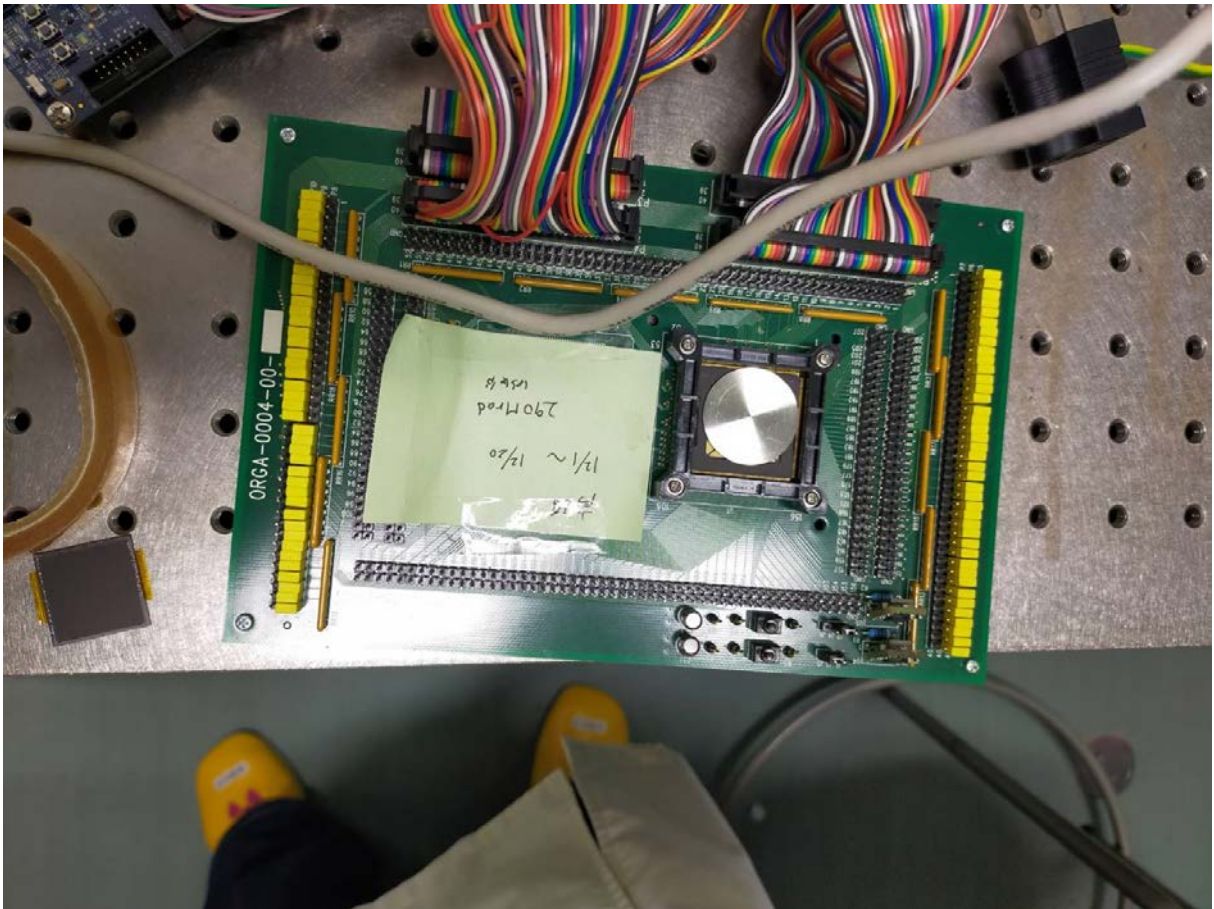


図 3.1.2-17 α 線照射試験の様子

3.1.3 耐放射線試験

(1) ホログラムメモリに対するトータルドーズ耐性試験

ホログラムメモリ部については、 ^{60}Co を用いて1 Grad (10 MGy) までのトータルドーズ耐性試験を行い、問題なく動作できることを確認した。試験結果は 3.1.1 項 (p. 3.1.1-1) に記載した。

(2) レーザアレイに対するトータルドーズ耐性試験

レーザアレイについては1 Grad (10 MGy) までのトータルドーズ耐性試験を行い、レーザが故障なく使用できることを確認した。この結果は 3.1.1 項 (p. 3.1.1-1) に記載した。

(3) VLSI チップに対するトータルドーズ耐性試験

耐放射線光電子 FPGA の VLSI 部については、 ^{60}Co γ 線源を使用し、照射線量率 2.98 ~ 2.99 kGy/h において VLSI チップが動作した状態で放射線を照射する活電状態での耐放射線試験を実施した。図 3.1.2-6 に光電子 FPGA の活電状態での放射線照射試験の様子を示す。累計で 80.0 Mrad (800 kGy) を照射し、動作に問題が生じないことを確認した。また、照射線量率 6.6 ~ 6.7 kGy/h においてのトータルドーズ耐性試験も行い、動作に問題が生じないことも確認している。これらの試験結果は 3.1.2.1 節に記載している (pp. 3.1.2-3~3.1.2-12)。本研究においては耐放射線光電子 FPGA の VLSI 部が 1.15 Grad (11.5 MGy) のトータルドーズ耐性を有することを確認しており、最終的に耐放射線光電子 FPGA が光学部も含め 1 Grad (10 MGy) 以上のトータルドーズ耐性を持つことを実証した。

(4) α 線によるソフトエラー耐性試験

また、耐放射線光電子 FPGA の VLSI 部のソフトエラー耐性についても評価を実施した。まず真空チャンバー内に ^{241}Am を設置し、真空状態にてソフトエラー耐性試験を実施した。結果を 3.1.1 節 (pp. 3.1.2-1~3.1.2-12) に示す。スクラビング周期を 30 μs とした時に 10 分間エラーなしで動作できることを確認し、事実上、ソフトエラーを封じ込めることに成功した。

(5) 中性子線によるソフトエラー耐性試験

令和 2 年度までの研究において、1.5 ~ 3 MeV の中性子線 ($2.42 \times 10^5 \sim 1.97 \times 10^7 \text{ n/cm}^2/\text{s}$) を耐放射線光電子 FPGA に照射し、ソフトエラー耐性を評価した。この結果、ソフトエラーは一切発生せず、こちらでも封じ込めに成功した。

令和 3 年度の研究では約 1 MBq の ^{252}Cf を用いたソフトエラー耐性試験を実施した。チップ直上に ^{252}Cf を設置し、1 秒当たり、約 8 万本の中性子線が VLSI チップに入射した状態において、1,000 回の連続動作試験を行い、エラーが生じないことを確認した。高速中性子の試験でもソフトエラーを封じ込めており、耐放射線光電子 FPGA が中性子線によるソフトエラーにも強いことを実証することができた。

3.2 耐放射線リペアラブル FPGA の開発

3.2.1 集積回路開発

令和2年度までの研究において、光を用いて並列的に構成が可能な「光並列構成法」を用いた耐放射線光電子 FPGA の集積回路部に改良を加え、図 3.2.1-1 に示すような「光並列構成法」と「シリアル構成を部分的に並列化した構成法」の双方の機能を持つチップを試作した。チップの大きさは5 mm角であり、用いたプロセスはROHM社の0.18 μm CMOSプロセスである。このチップには154個の4入力Look-Up Tableが実装されており、配線チャンネルは8本である。これまで通り光による再構成が可能であることに加え、電気的な構成も可能である。この電気的なシリアル構成回路は3重に冗長化されており、部分的な故障があっても構成が不可能になることはない。ただ、光並列再構成に比べると圧倒的に脆弱であり、この設計チップでは電気的な構成が不可能になった段階から光構成機能を用いて故障箇所等を特定できるように設計してある。脆弱な箇所があれば特定し、さらに改良を加える予定であったが、現在までに脆弱な箇所は見つかっていない。つまり、このまま実用化できると言える。

令和3年度には「光並列構成法」を用いない「シリアル構成を部分的に並列化した構成法」のみを実装したチップを試作した。耐放射線光電子 FPGA に比べて実装面積を2/3にできることを確認した。尚、この「光並列構成法」を用いない論理ブロック、スイッチングマトリクスは図 3.2.1-1 のチップ内に組み込まれている。



図 3.2.1-1 0.18 μm CMOS プロセスを用いた「光並列構成法」と「部分的に並列化した構成法」の双方の機能を持つ VLSI チップ

3.2.2 耐放射線試験

(1) γ 線によるトータルドーズ耐性試験

令和2年度までの研究において、耐放射線リペアラブルFPGAに対して ^{60}Co を用いたトータルドーズ耐性試験を実施し、100 Mrad (1 MGy) までの動作確認を終えた。100 Mrad (1 MGy) のトータルドーズにおいて、7個のI/Oブロック、7個の論理ブロックをモニタリングし、それらに故障は生じていないことを確認している。また、電気的な構成機能も正常であり、故障が生じずに動作できていることを確認した。加えて、100 Mrad (1 MGy) のトータルドーズを与えたチップに対して2ビットカウンタ回路を7個実装し、24時間の連続動作を行わせてみたが、問題なく動作できていることを確認した。

加えて令和3年度には高崎量子応用研究所の ^{60}Co γ 線源を使用し、照射線量率6.6 ~ 6.7 kGy/hにおいて、通電しない状態のVLSIチップに対して730 Mrad (7.3 MGy) までのトータルドーズ耐性試験を実施した。動作周波数は約1.5倍低下することとなったが、構成回路は正しく動作した。これまで730 Mrad (7.3 MGy) まで動作するFPGAは存在しておらず、既存の耐放射線FPGAや耐放射線デバイスのトータルドーズ耐性、2 Mrad (20 kGy) の365倍に達する高いトータルドーズ耐性のFPGAを実現した。

(2) α 線によるソフトエラー耐性試験

ソフトエラー耐性試験については令和2年度までに3.1.3節の ^{241}Am を用いた試験において、光電子FPGAに相乗りして実証した。3重回路実装で30分間、ソフトエラーを封じ込める試験に成功している。

また、令和3年度においても令和2年度と同じ4 MBqの ^{241}Am の α 線源を用い、構成処理、ゲートアレイ動作時におけるソフトエラー耐性試験を実施した。チップの直上(約2 mm)に ^{241}Am を設置し、ソフトエラーが発生するか否かの試験を実施した。この時に用いたチップはトータルドーズ耐性試験において290 Mrad (2.9 MGy) のトータルドーズを与えたチップである。結果、30分間の動作においてソフトエラーは一切発生せず、ソフトエラーを封じ込めることに成功した。また、1,000回の構成試験を実施し、1回のエラーもなく、構成できることを確認した。

(3) 中性子線によるソフトエラー耐性試験

約1 MBqの ^{252}Cf を用いたソフトエラー耐性試験も実施した。チップ直上に ^{252}Cf を設置し、1秒当たり、約8万本の中性子線がVLSIチップに入射する状況において1,000回の連続動作試験を行い、エラーが生じないことを確認した。

また、耐放射線光電子FPGAと同様に、耐放射線リペアラブルVLSIに対しても1.5 ~ 3 MeVの中性子線によるソフトエラー耐性試験を実施した。結果、ソフトエラーは一切発生せず、こちらでも完全な封じ込めに成功した。 α 線、中性子線の双方でソフトエラーを封じ込めており、耐放射線リペアラブルFPGAが中性子線によるソフトエラーに強い耐性を持つことを実証することができた。



図 3.2.2-1 放射線照射後の VLSI チップ評価の様子

3.3 耐放射線ホログラムメモリの開発（再委託先：神戸市立工業高等専門学校）

令和 2 年度にはホログラフィックメモリとその記録装置の開発を行った。本年度は昨年度作成したホログラフィックメモリを用いて光電子 FPGA への実装、再構成試験を行った。

3.3.1 フォトマスクを用いたホログラムメモリの作製

(1) サンプル試料の作製

ホログラフィックメモリ作製については、液晶や高分子材料を用いてレーザ光照射による光有機相分離反応を促進し、内部に体積型のサブミクロンレベルの格子構造を明瞭に形成できる作製条件を開発してきた[6-9]。本研究では、これらの作製条件に基づき液晶材料（DIC, RDP98487）、高分子材料（富士フイルム和光純薬, DPHPA）からなる有機複合体材料に光重合開始剤を添加した材料を用いてホログラフィックメモリ用の試料を調合した。この材料を 40 °C 程度に加熱した状態で 10 μm ギャップのガラスセル内に注入してホログラフィックメモリ作製のガラスセルサンプルを作製した。

(2) 回路情報記録用レーザ干渉露光光学系の構成

次に、有機複合体材料を注入したガラスセルを図 3.3.1-1 に示すレーザ干渉露光光学系に設置した。レーザ干渉計の構成のためには、フォトマスクを通過して垂直にガラスセルに入射する物体光と、もう 1 つのレーザビームである参照光は物体光に対して入射角度が 30 度となるようにハーフミラーとミラーを組み合わせて配置した。これらのビームがホログラフィックメモリの中心付近で重なるように調整した後、フォトマスクに照射されるレーザビーム径を調整するため、その前方にピンホールを設置し、その直径をフォトマスクの回路パターンの設計領域に対応するように 5 mm 程度とした。

フォトマスク上に記録されている回路情報をガラスサンプルセル内の有機複合体材料にレーザ干渉露光照射によりホログラフィックメモリに転写して記録するための主なプロセスについて、ステップ毎に説明する。

- ・シャッターを開き、4 軸コントローラでフォトマスクを設置したステージに制御信号を送り、記録したい回路情報の位置と、レーザビームの中心とが一致するように位置を移動させて調整する。
- ・ガラスサンプルセルが設置されたペルチェ付温度制御装置の設定温度を 30 °C に設定し、シャッターを閉じる。
- ・試料が注入されたガラスセルをペルチェ付温度制御装置の保持台にセットし、ペルチェの設定温度に到達するまで保持する。
- ・シャッターを開き、グリーンレーザ（ $\lambda = 532 \text{ nm}$ ）を照射する。
- ・露光に必要な照射量に到達するまでの時間が経過した後にシャッターを閉じ、ガラスサンプルセルを取り出して紫外線照射装置の BOX 内に入れ、サンプル全体に紫外線を照射する。この紫外線照射により、ガラスセル内に封入された有機複合体試料全てに対して光硬化反応を終端させることが可能となり、ホログラフィックメモリ内の情報についての記録・保持特性を安定して保つことができる[10][11]。

上記のようなプロセスの確立によって、信頼性の高いホログラフィックメモリの作製と、このデバイスからの回路情報の高精度な再生パターンの獲得を可能にした。

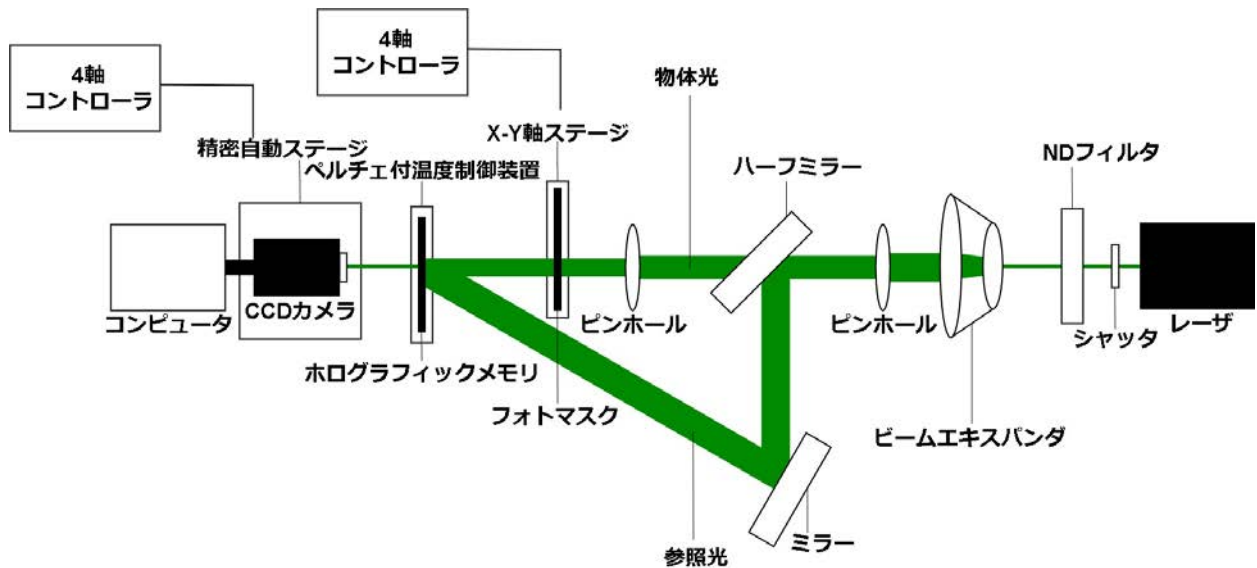


図 3.3.1-1 ホログラフィックメモリ作製用レーザ干渉露光光学系

(3)回路情報の再生とパターン検出

次に、作製したホログラフィックメモリから回路情報を再生する際の光学系を図 3.3.1-2 に示す。ホログラフィックメモリ作製用に使用した図 3.3.1-1 の光学系のフォトマスク設置用の X-Y 軸ステージの後方に遮蔽板を置き、物体光を遮断して参照光のみをホログラフィックメモリに照射する光学系となる。この光学系を用いてホログラフィックメモリを作製したガラスサンプルセルに対して 30 度方向から参照光を照射し、記録した回路パターンの再生を行うものである。回路情報としては、後に説明するフォトマスク上に設計された 2 次元の複数の輝点パターンとなる。これらのパターンは、光再構成用のゲートアレイ VLSI 内にある 2 次元的にフォトダイオードが配置された位置に正確に照射できるように設計している。

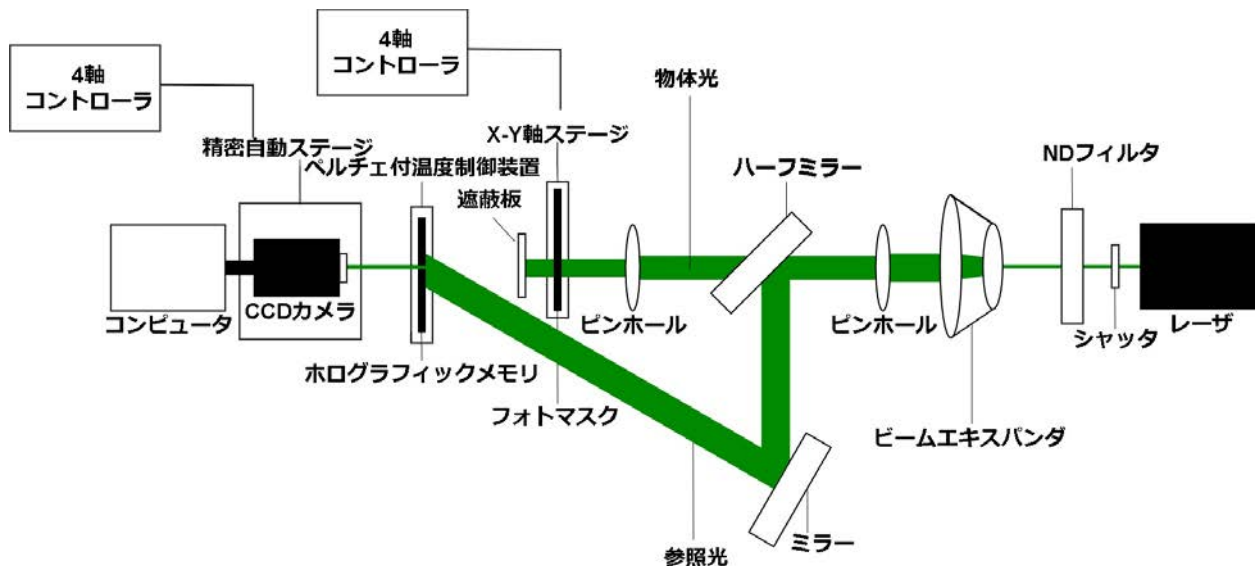


図 3.3.1-2 ホログラフィックメモリからの回路情報再生用レーザ光学系

このホログラフィックメモリから再生される回路情報パターンについては、図 3.3.1-2 で示される精密ステージ上に固定された CCD カメラで撮像され、コンピュータ上に記録して画像の検出が行えるシステムとしている。フォトマスクパターン上に設計した回路情報と、ホログラフィックメモリからの再生像をコンピュータ上で比較し、再生精度の確認を

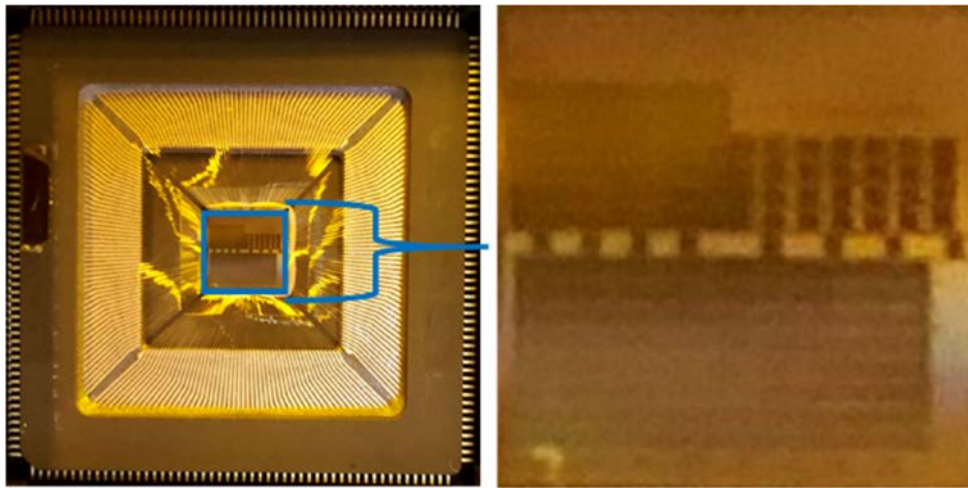
行っている。また、再生する際の参照光の強さと、CCD カメラで記録された再生画像を輝度に変換したデータを比較することで、ホログラフィックメモリからの回折効率の評価も可能となる。

実際の光書き込み実験においては、図 3.3.1-2 の CCD カメラが置かれている位置にゲートアレイ VLSI を設置し、X-Y-Z の三次元のステージに加えて、回転ステージとアオリ調整用のステージを加えた 5 軸からなる自動ステージを制御する。このような構成によって、ホログラフィックメモリから再生された回路情報パターンとしての複数の輝点が、ゲートアレイ上の対応するフォトダイオード上に正確に光ガイドできる構成とした。

3.3.2 ホログラムメモリからの光書き込みシステムと位置制御方法

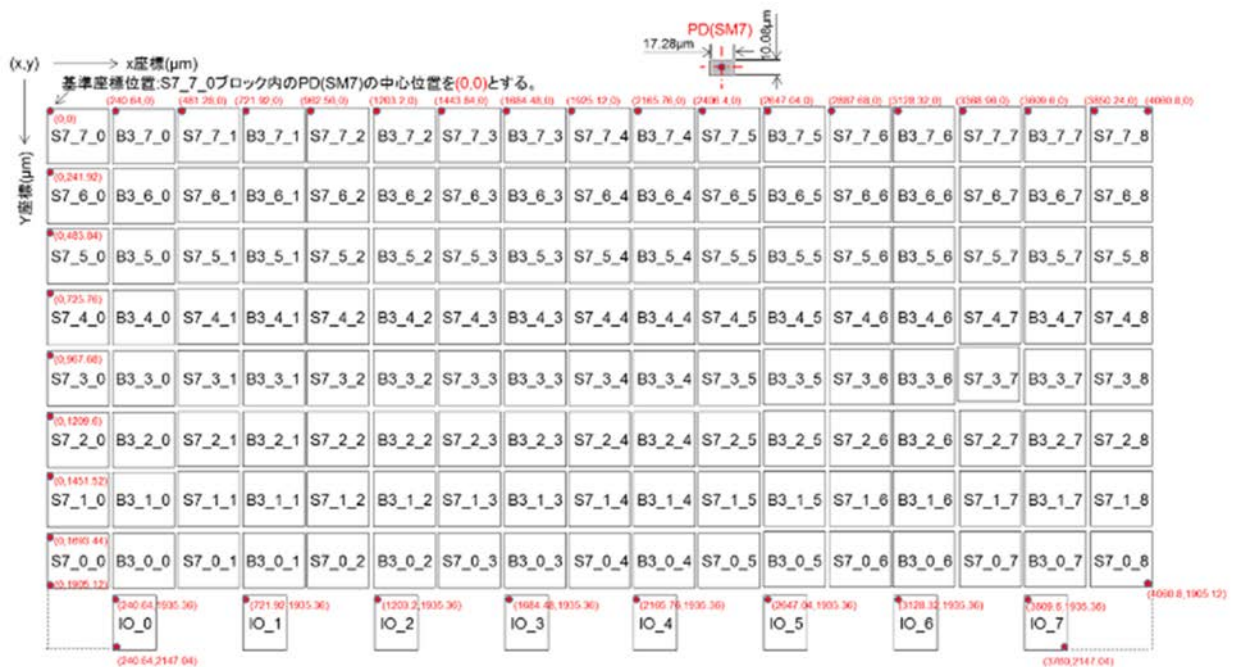
(1) 2次元フォトダイオードの構成と機能

作製したホログラフィックメモリを用いた光再構成のための光書き込み実験において使用するゲートアレイ VLSI の外観写真と、この内部に形成された 2 次元フォトダイオードアレイの配置を図 3.3.2-1 に示す[12][13]。図 3.3.2-1(a)の外観写真において、光書き込みにおいて重要となるフォトダイオード部分を拡大した写真が図 3.3.2-1(b)であり、これらフォトダイオードの詳細な配置を示しているのが図 3.3.2-1(c)である。



(a) ゲートアレイ VLSI 外観写真

(b) フォトダイオード部分の拡大図



(c) 各ブロックの物理的配置

図 3.3.2-1 光再構成ゲートアレイ VLSI の外観と物理的な配置

図 3.3.2-1(c)は、論理制御を行うためのブロックが 17×8 の配列で並んでおり、これらのブロックの記号毎にその役割が決められている。一番下側に配置された 8 個のブロックは入力-出力信号を制御するための I-O ブロックである。S7 の記号が記載されているブ

ックは Switching Matrix (SM) と呼ばれ、入力された信号を演算に必要なブロックへの分岐と伝達を行う機能を有する。

B3 の記号が示されているブロックが Configuration Logic Block (CLB) と呼ばれる回路の論理動作を行う機能を有するものである。これらゲートアレイ VLSI 内に設けられた CLB については、図 3.3.2-2 に示すような回路が内部に組み込まれている。後で説明する光書き込み実験での回路情報の光書き込みのために用いた図 3.3.2-1(c) で示された B3_0_0 のブロック内にあるフォトダイオードの素子配列の詳細を図 3.3.2-3 の ORGA-CLB ブロック図として示している。このブロック内には、CLB0~CLB59 までの 60 個のフォトダイオードが 2 次的に配置されていることになる。フォトダイオードへの光書き込みパターン例として 3 入力 NAND の回路を構成する時に必要となる輝点パターンが照射される位置を黄色で示している。図 3.3.2-2 で示す入力セクタの L, R はセクタ上部の番号に対応している。図 3.3.2-3 の CLB52 については、図 3.3.2-2 で示す INET の配線の該当する番号への出力に対応する。

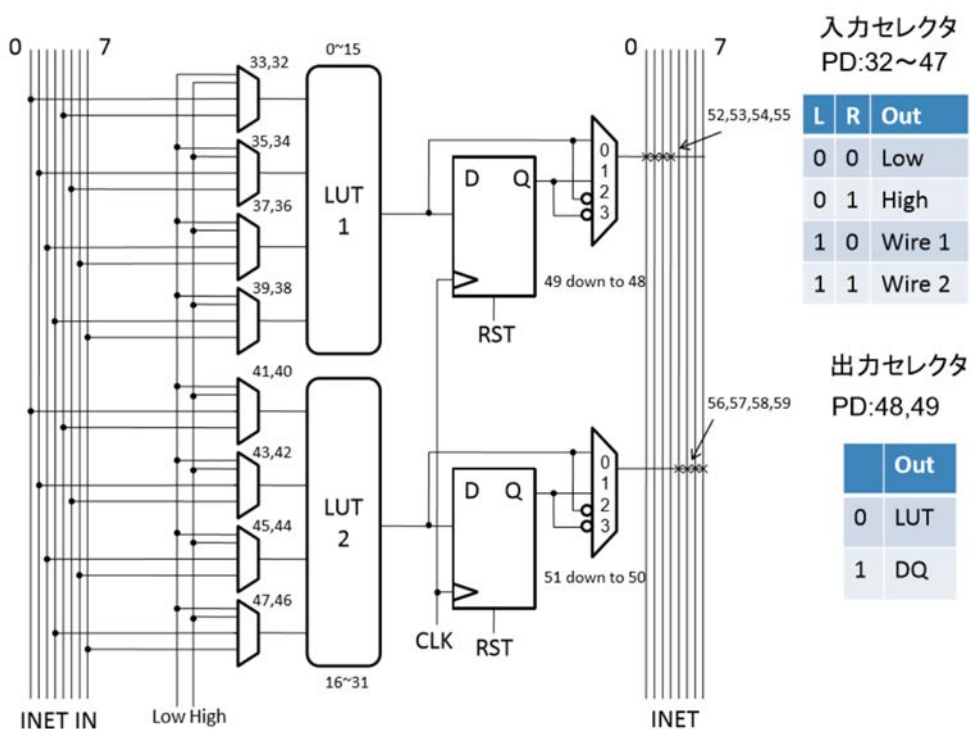


図 3.3.2-2 ORGA-CLB 回路の構成図

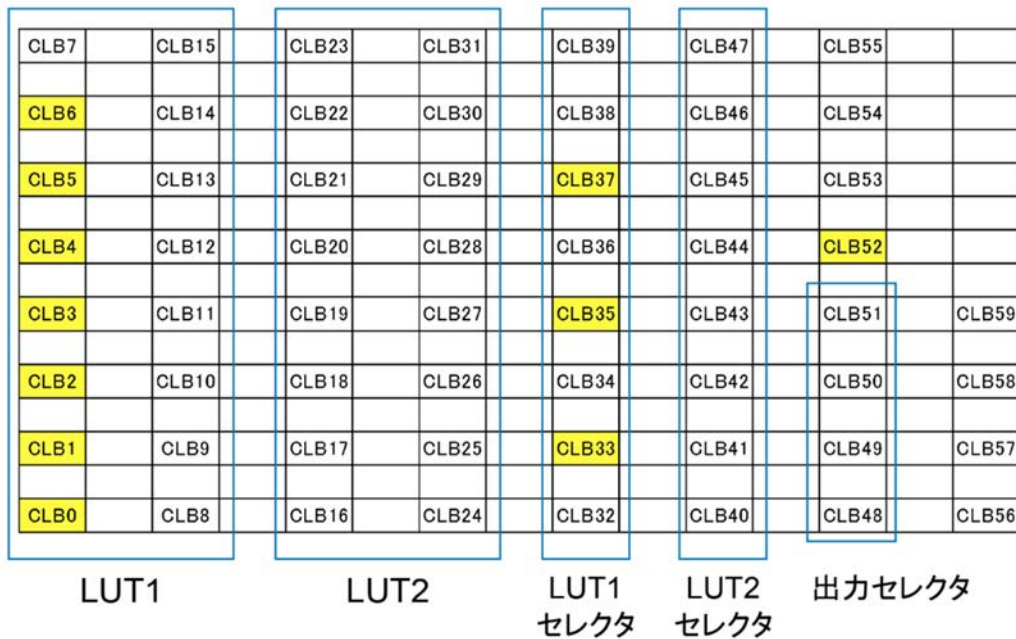


図 3. 3. 2-3 ORGA-CLB ブロック図

3 入力 NAND 回路で用いる CLB-LUT の真理値表を表 3. 3. 2-1 に示す。PD number の欄に示されている左側の数値が図 3. 3. 2-3 の LUT1 に対応し、右側の数値は LUT2 に記載されている番号と対応している。このため、3 入力 NAND 回路に対応する LUT を設計するためには、表 3. 3. 2-1 の真理値表を基に考える必要がある。つまり、NAND 論理では、入力の全てが 1 となる時は 0 であるが、これらの条件以外の出力は全て 1 となるため、PD0～6 の位置は明点（輝点を照射）とする必要があることがわかる。このための光書き込みパターンとしては、図 3. 3. 2-3 の LUT1 における CLB0～CLB6 の縦方向に連続して配置するフォトダイオードにホログラフィックメモリから再生された輝点パターンを照射することが必要である。

表 3. 3. 2-1 ORGA-CLB 真理値表 (3 入力 NAND)

Input 2	Input 1	Input 0	PD number
0	0	0	0,16
0	0	1	1,17
0	1	0	2,18
0	1	1	3,19
1	0	0	4,20
1	0	1	5,21
1	1	0	6,22
1	1	1	7,23

(2) 回路情報記録のためのフォトマスクの設計

次に、ホログラフィックメモリ作製時に回路情報の記録のために用いるフォトマスクの設計について説明する。フォトマスク上に設計した回路パターンの具体的な構成を図 3. 3. 2-4 に示す。今回フォトマスク上に設計した回路情報は 14 種類であり、縦横 10 mm サイズの正方形の中心に、輝点を生成するために開口パターンを領域（縦 2,160 μm×横 4,080 μm）内に設計している。図 3. 3. 2-4 の右側の図に示されている円形の開口は、直径 20 μm のサイズを有し、最小の間隔は隣り合うフォトダイオードの間隔に併せた 30 μm としている。フォトマスク内に設計された開口パターンは、図 3. 3. 2-3 で示すフォトダイ

3.3.2-3

オードのサイズと配置に対応させたものとなっている。さらに、回路情報毎に必要なとされる開口の位置と数が異なるため、図 3.3.2-4 の左側に示した 10 mm サイズの正方形の領域に分割して 14 種類の異なる開口パターンを設計した。

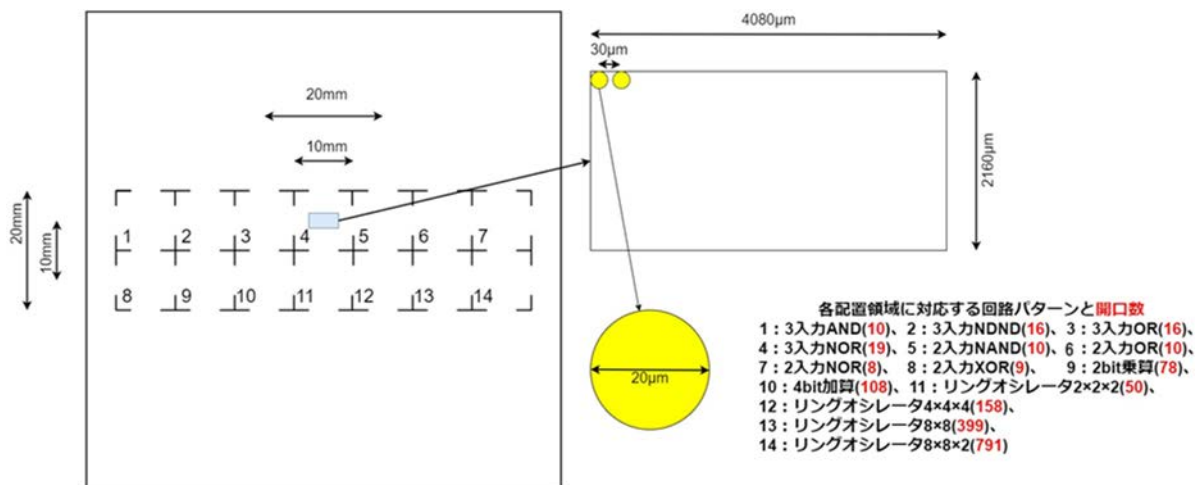


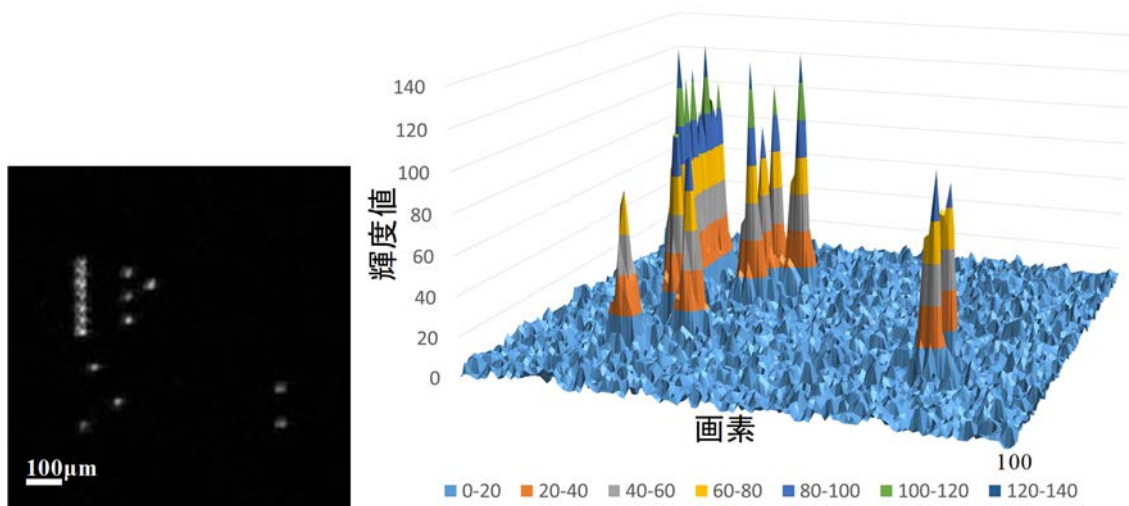
図 3.3.2-4 回路情報記録用フォトマスクの構成

このフォトマスクは、図 3.3.1-1 で示した位置に配置され、必要な回路情報が形成されたフォトマスクの領域内の開口点を通じたレーザー光である物体光と、ミラーでレーザーを反射させ参照光からなる 2 つのレーザービームが 30 度の角度でガラスセルサンプル上に重なることになる。すると、2 つのレーザー光が干渉し、ガラスセル内部に干渉縞の光強度分布を生じさせることになる。この干渉縞には、物体光がフォトマスクを通過することで変調された 2 次元の回路パターンの情報が含まれており、回路情報を干渉縞の強度分布として変調させてサンプル内に三次元構造として記録する方式を確立している。このようにレーザー干渉露光法を用いて、三次元的な情報を有機複合材料内の微細な領域に記録し、再生することが可能である [14] [15]。

3.3.3 ホログラムメモリからの再生パターンの光書き込みによる光再構成結果

(1)回路情報の再生結果

フォトマスクを用いて 3 入力 NAND 用回路情報を記録したホログラフィックメモリを作製し、このデバイスを図 3.3.1-2 で示した回路情報再生用レーザ光学系に設置して再生したパターンを CCD カメラにより検出した結果を図 3.3.3-1 に示す。図 3.3.3-1(a)は回路情報の再生パターンであり、図 3.3.3-1(b)はこの画像から三次元の強度分布を検出した結果である。図 3.3.2-3 の ORGA-CLB ブロック図において、LUT1 に 3 入力 NAND 回路用の輝点パターンの位置 (CLB0~CLB6) を示した。これらの輝点パターン位置が表 3.3.2-1 の真理値におけるフォトダイオード (PD0~PD6) に対応している。これらの輝点位置をホログラムメモリの再生結果と比較すると、図 3.3.3-1(a)の左の上側部分に縦方向に連続した 7 個の輝点を観察することができる。この結果より、フォトマスクを用いたレーザ干渉により作製したホログラフィックメモリにおいて、必要な回路情報の記録と再生が行われていることが確認された。



(a) ホログラムメモリからの再生パターン (b) 再生パターンの三次元強度分布
 図 3.3.3-1 ホログラフィックメモリからの回路情報の再生パターン(3 入力 NAND)

(2)回路情報の光書き込みによる再構成試験結果

3 入力 NAND 用の回路情報を記録したホログラフィックメモリを用いてゲートアレイ VLSI 上に光書き込みを行った結果について説明する。図 3.3.3-2 は、ホログラフィックメモリからの再生パターンをゲートアレイ内の 2 次元フォトダイオードの対応する位置に一致するように調整して光書き込みを行った結果を示している。ゲートアレイ内で処理されている入力信号と出力信号とに対応する信号ピンから経由された信号をガイドしてオシロスコープ上で観察した結果を示したものである。

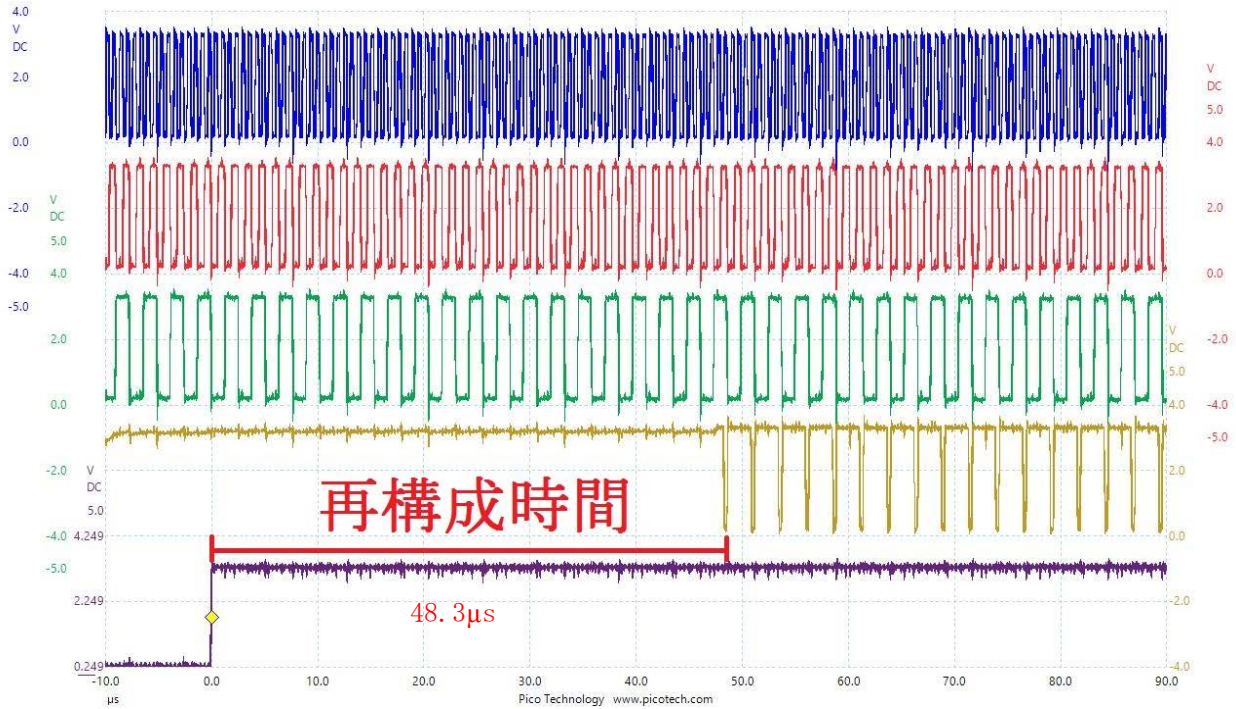


図 3.3.3-2 波形と再構成時間の測定(3 入力 NAND)

上から 3 つの波形は入力信号であり、4 つ目の波形が出力信号を示している。また、一番下の波形はリフレッシュ信号と呼ばれるものであり、この波形が立ち上がった位置から、回路の再構成がスタートし、正しい出力が得られるまでの時間が再構成時間として定義されている。この図 3.3.3-2 の結果をみると、リフレッシュ信号が立ち上がってから、安定して出力信号得られるまでの時間をオシロスコープ上で測定した。この図の場合では NAND 回路を構成しているため、3 つの入力信号のタイミングが重なった時のみ出力が 0 を示し、それ以外は 1 の出力となっている。この時の再構成時間としては波形観察結果より 48.3 μs と測定された。

以上のように、回路情報を記録したフォトマスクを設計し、これをレーザ干渉光学系に導入して作製したホログラフィックメモリを用いたゲートアレイ VLSI への光書き込み実験において、光再構成試験が成功したことを確認することができた。

3.4 英国 (Lancaster 大学) 側の研究成果

イギリスチームは福島第一原子力発電所の廃炉現場で使用できる中性子モニタリングシステムの研究を進めた。福島第一原子力発電所の廃炉現場では非常に低い確率ではあるが、廃炉作業中に再臨界が起きる可能性があると考えられている。もし、廃炉現場で再臨界が起きた場合には速やかに再臨界の原因を特定、除去し、再臨界を止める必要がある。この再臨界時には中性子線が急増するため、この兆候をいち早くとらえる中性子線のモニタリングシステムが求められている。

しかしながら、福島第一原子力発電所の廃炉現場は高い γ 線環境下であり、ワーストケース 1,000 Sv/h もの高い γ 線を想定する必要がある。この高い γ 線環境下で中性子線を検出することは簡単ではない。高い γ 線環境下で放射線をセンシングすると、中性子線と γ 線の双方が検出され、多数を占める γ 線に中性子線の検出が埋もれてしまい、特に微弱な中性子線の検出は困難になる。英国側は放射線を検出するセンサからの信号の波形解析をすることで、中性子線と γ 線を分離する手法を提案している。イギリスチームはこの中性子線の急増を検知するモニタリングシステムの開発を担当した。

イギリスチームはセンサの材料、形状等の研究を進め、各種材料により制作されたセンサの感度、 γ 線除去能力について評価した[16]。センサの材料はダイヤモンド、シリコンカーバイド (SiC)、酸化ガリウム (Ga_2O_3)、窒化ガリウム (GaN)、変換層の材料に炭化ホウ素 (B_4C)、フッ化リチウム (LiF) を用いた。最終的に、変換層に炭化ホウ素 (B_4C)、センシング層にダイヤモンドを用いるものが最も高い γ 線除去能力があることを確認した。シミュレーションにより、センシングした波形形状から γ 線と中性子線の分離が可能であることを実証した。イギリス側では Covid-19 による度重なる研究中断があり、日本チームの FPGA と組み合わせた実証試験は行うことができなかった。

ただし、日本チームの開発した FPGA はイギリスチームが必要とする耐放射線性能 (1 Grad:10 MGy)、処理能力 (2,000 ゲート規模) を満たしており、イギリスチームの放射線センサからの信号解析に日本チームが開発した耐放射線 FPGA を使用することで、 γ 線と中性子線の分離が可能な中性子線モニタリングシステムが実現できることを確認した。

3.5 研究推進

Covid-19の影響により、大学間の往来はできなかったが、研究代表者の下で研究項目間における連携を密にして研究を進めた。令和3年7月7日、令和3年11月17日、令和3年11月22日、令和4年1月11日に神戸市立工業高等専門学校と岡山大学との間でオンラインミーティングを実施し、連携を密にして共同で研究を遂行した。

一方、イギリスのランカスター大学、岡山大学、神戸市立工業高等専門学校との間では、令和3年10月26日、令和3年12月1日、令和4年2月15日、令和4年3月1日にオンラインミーティングを実施し、イギリス、日本間も連携を密にして研究を遂行した。Covid-19の影響により、物理的に双方の大学に行き、双方の施設を利用した共同研究は展開できなかったが、オンラインのミーティングによりそれらを補完し、かつ双方、それぞれの国の施設を有効活用することで令和3年度に予定されていた試験項目、試験目標は全て達成することができた。

また、CLADS とは令和4年3月15日、令和4年3月30日にオンラインミーティングを開き、研究成果の実用化についても具体的に検討を進めた。

4. 結言

本研究では集積回路技術に光技術を導入し、1 Grad (10 MGy) のトータルドーズ耐性を持つ耐放射線光電子 FPGA と光技術を用いずに既存の集積回路技術のみで 200 Mrad (2 MGy) のトータルドーズ耐性を実現する耐放射線リペアラブル FPGA の 2 つの開発を進めた。

令和元年から令和 3 年度までの研究において、耐放射線光電子 FPGA の開発においては目標値であった 1 Grad (10 MGy) のトータルドーズ耐性を実証し、耐放射線リペアラブル FPGA の開発においては目標の 200 Mrad (2 MGy) を大幅に超える 730 Mrad (7.3 MGy) のトータルドーズ耐性を実証した。この結果、1,000 Sv/h の福島第一原子力発電所の廃炉現場において、耐放射線光電子 FPGA では 400 日以上の使用が可能になり、耐放射線リペアラブル FPGA においても、300 日以上の使用が可能になった。加えて、耐放射線光電子 FPGA、耐放射線リペアラブル FPGA の双方とも α 線、中性子線に対するソフトエラー耐性が高く、福島第一原子力発電所の廃炉現場で安定的に動作することが期待できる。これら FPGA を福島第一原子力発電所の廃炉現場に投入するための実用化については CLADS と連携して進めていく。

一方、イギリスチームは中性子線と γ 線を分離するセンサの条件を確定させることに成功した。日本の開発した FPGA はイギリスチームが必要とする耐放射線性能 (1 Grad:10 MGy)、処理能力 (2,000 ゲート規模) を満たしており、イギリスチームの放射線センサからの信号解析に日本チームが開発した耐放射線 FPGA を使用することで、 γ 線と中性子線の分離が可能な中性子線モニタリングシステムが実現できることを確認した。

この研究の成果は福島第一原子力発電所の廃炉作業や、その他原子力発電所で稼働するロボットや再臨界時の中性子線の急増を検知するセンサに用いることができるだけでなく、ロケット、衛星、探査機等の宇宙システムにも使用が期待できる。本デバイスを宇宙システムに適用した場合には、高いトータルドーズ耐性と、ソフトエラー耐性により、組み込みシステムからシールド材を全廃することができ、打ち上げコストを大幅に削減することができる。原子力分野だけでなく、日本の宇宙産業の国際競争力の向上に寄与できる。

本研究で開発した耐放射線 FPGA は既存の VLSI 製造技術で量産することができ、かつ、耐放射線 FPGA は汎用集積回路であることから、福島第一原子力発電所の廃炉現場のあらゆる電子システムに即投入可能である。例えば、これまで、耐放射線性能の問題から原始的なロボットを用いるしかなかったが、本耐放射線 FPGA を用いることで、今後は 2 足歩行ロボットなども実現できる。また、本耐放射線 FPGA 技術を耐放射線プロセッサ、メモリ等に導入することでより高い放射線耐性のプロセッサ、メモリを開発することも可能になる。ロボットにおいてプロセッサ、メモリは必須であり、今後、それらの開発を進めていきたい。

参考文献

- [1] J. Ishido, M. Watanabe, A. Ogiwara, Optically Reconfigurable Gate Array with a 1 Grad Total-ionizing-dose Tolerant Holographic Memory, IEEE Photonics Conference, Oct., 2021, 2p.
- [2] J. Ishido, M. Watanabe, Radiation-hardened Optically Reconfigurable Gate Array Using a Multi-wavelength Holographic Memory, IEEE Workshop on Silicon Errors in Logic - System Effects, Stanford University, CA, USA, Feb., 2020.
- [3] H. Ito, M. Watanabe, Total-ionizing-dose Tolerance Evaluation of an Optoelectronic Field Programmable Gate Array VLSI during Operation, International Conference on Field-Programmable Technology, Dec., 2021, 4p.
- [4] H. Shinba, M. Watanabe, Radiation-hardened Configuration-context Realization for Field Programmable Gate Arrays, Applied Optics, Vol. 59, no. 19, May., 2020, pp. 5680-5686.
- [5] Y. Takaki, M. Watanabe, Optical Multi-Context Blind Scrubbing for Field Programmable Gate Arrays, IEEE Photonics Journal, Vol. 12, no. 6, Dec., 2020, pp. 1-12.
- [6] G. DeJean, R. Bairavasubramanian, D. Thompson, G.E. Ponchak, M.M. Tentzeris, J. Papapolymerou, Liquid Crystal Polymer(LCP); A New Organic Material for the Development of Multilayer Dual-frequency/dual-polarization Flexible Antenna Arrays, IEEE Antennas and Wireless Propagation Lett., Vol.4, 2005, pp.22-26. <https://doi.org/10.1109/LAWP.2004.841626>
- [7] M. Kim, K. J. Park, S. Seok, J. M. Ok, H. T. Jung, J. Choe, and D. H. Kim, Fabrication of Microcapsules for Dye-Doped Polymer-Dispersed Liquid Crystal-Based Smart Windows, ACS Appl. Mater. Interfaces, Vol.7, 2015, pp.17904-17909. <https://doi.org/10.1021/acsami.5b04496>
- [8] J. F. V-Manríquez, M. O-Gutiérrez, M. P-Cortés, J. C. I-Torres, A. O-Pérez, Holographic Gratings Recorded in PDLC Mixed with Crystal Violet Dye, Optik, Vol.144, 2017, pp.219-223. <https://doi.org/10.1016/j.ijleo.2017.06.089>
- [9] T. Ishinabe, Y. Horii, Y. Shibata, and H. Fujikake, Light Distribution Control of Layer-structured PDLC Fabricated by Using Micro Lens Structure and Anisotropically Diffused UV Light, Opt. Express, Vol.27, no.9, 2019, pp.13416-13429. <https://doi.org/10.1364/OE.27.013416>
- [10] H. Mehrzad, E. Mohajerani, K. Neyts, and M. Mohammadimasoudi, Polymer Dispersed Liquid Crystal-mediated Active Plasmonic Mode with Microsecond Response Time, Opt. Lett, Vol.44, no.5, 2019, pp.1088-1091. <https://doi.org/10.1364/OL.44.001088>
- [11] A. Ogiwara and M. Watanabe, Optical Reconfiguration by Anisotropic Diffraction in Holographic Polymer-dispersed Liquid Crystal Memory, Appl. Opt, Vol.51, no.21, 2012, pp.5168-5177. <https://doi.org/10.1364/AO.51.005168>
- [12] H. Shinba and M. Watanabe, Optically Reconfigurable Gate Array Platform for Mono-instruction Set Computer Architecture, in IEEE Annual Computing and Communication Workshop and Conference, 2017, pp.1-4. <https://doi.org/10.1109/CCWC.2017.7868473>
- [13] T. Fujimori and M. Watanabe, Optically Reconfigurable Gate Array Using a Colored Configuration, Appl. Opt, Vol.57, no.29, 2018, pp.8625-8631. <https://doi.org/10.1364/AO.57.008625>
- [14] A. Ogiwara, M. Toda, J. Ishido, M., Watanabe, and H. Kakiuchida, Effects of a Radiation Dose in Gamma-ray Irradiation Fields on Holographic Gratings Formed by Liquid Crystal Composites, OSA Continuum, Vol.4, no.2, 2021, pp.514-528. <https://doi.org/10.1364/OSAC.415702>

- [15] A. Ogiwara and M. Watanabe, Analysis of Optical Properties and Internal Structures of γ -ray-irradiated Holographic Devices Formed Using Liquid Crystal Composites, *Optical Materials*, Vol.123, 2022, 111932, pp.1-8.
<https://doi.org/10.1016/j.optmat.2021.111932>
- [16] Z. Zhang, M. D. Aspinall, Comparison of Neutron Detection Performance of Four Thin-Film Semiconductor Neutron Detectors Based on Geant4, *Sensors*, Vol.21, 2021, 7930, pp.1-15. <https://doi.org/10.3390/s21237930>

This is a blank page.

