

JAERI-M

4 8 2 3

JRR-4 の中性子計器の改装

—起動系，校正信号発生器，高压電源—

1972年6月

金原節朗・木村和磨・熊原忠士

猪俣新次・薄羽皓雄・田和文男

日本原子力研究所
Japan Atomic Energy Research Institute

J R R - 4 の中性子計装の改装
一起動系，校正信号発生器，高圧電源一

日本原子力研究所東海研究所技術部

金原節朗・木村和麿・熊原忠士

猪俣新次・薄羽皓雄・田和文男

(1 9 7 2 年 4 月 2 5 日 受 理)

J R R - 4 の中性子計装の改装を設計，製作の立場から担当した，その報告である。

J R R - 4 は 4 3 年度リニヤN系，ログNベリオド系の直流系の改装を行なったが，それに引続き起動系（パルス系）と校正信号発生器や高圧電源等の改装を行なった。改装の特徴は，N I Mモジュール（5インチ型）を用いた点と回路の主要素子としてI C化を行なった点である。これらの内容を，各ユニット毎と，ピン単位に組立てられたセット毎に回路構成，特性等について述べた。

Improvements on the Instrumentation for JRR-4

- Start-up Channels, Signal Generators and High-Voltage Supplies -

Setsuo KINBARA, Kazumaro KIMURA, Tadashi KUMAHARA

Shinji INOMATA, Teruo USUBA and Fumio TAWA

Div. of Engineering Services, Tokai, JAERI

(Received 25 April 1972)

Improvements of the instruments for JRR-4 are reported from the standpoint of design and construction. Following the improvements on the direct-current systems such as linear N channels and log-N period channel which have been made in 1968, start-up (pulse) channels, signal generators and high-voltage supplies are improved in this time.

Main features of the instruments are the use of modular system (5 inches AEC-NIM units) in construction and of integrated circuit as the circuit elements.

Circuit configurations, functions and characteristics of units which compose the improved instruments including the start-up channel, signal generators and high-voltage supplies are described in detail.

目 次

第1章	まえがき	1
1.1	はしがき	1
1.2	JRR-4の概要	2
1.3	起動系の概要と特徴	4
1.4	他のユニットの概要	5
第2章	ユニットの説明	8
2.1	前置増幅器	8
2.2	パルス増幅器	18
2.3	比例計数率計	26
2.4	スケーラ	38
2.5	対数計数率計・ペリオド計	51
2.6	微小電流発生器	61
2.7	ペリオド信号発生器	68
2.8	トリップ信号発生器	79
2.9	高圧電源	86
2.10	共通電源	100
2.11	ガルド系高圧電源	109
第3章	セットの説明	112
3.1	スタート・アップB	112
3.2	スタート・アップC	116
3.3	高圧電源セット(CIC用)	120
3.4	高圧電源セット(ガルバ・FC用)	124
3.5	校正信号発生器	127
第4章	おわりに	133

第1章 まえがき

1.1 はしがき

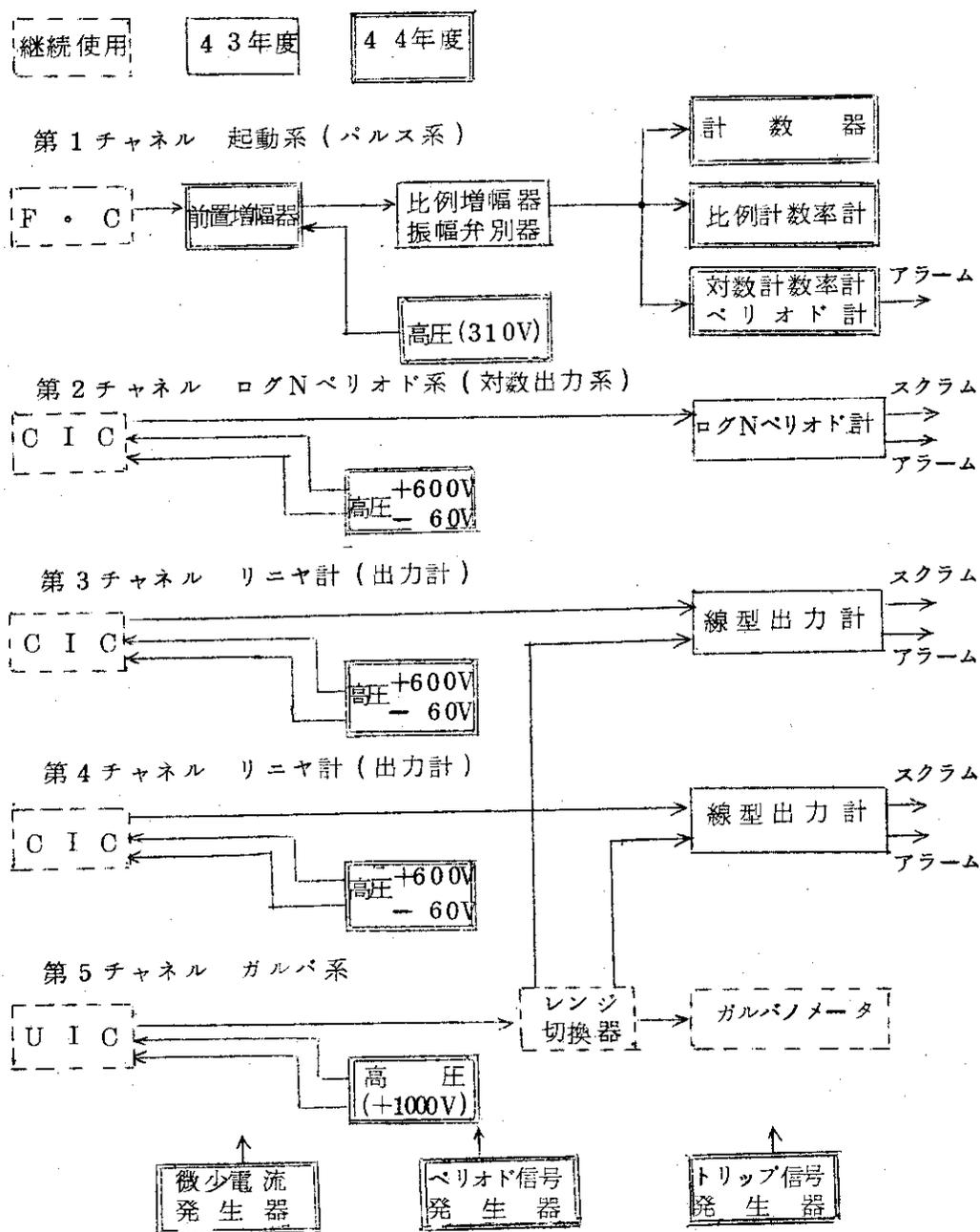
43年度から44年度にかけてJRR-2, JRR-3, JRR-4の中性子計装の改装を行ない, 建設以来使われて来た真空管式・中性子改装を半導体化し, さらにNIMモジュールの適用を行なって, 各炉共通の標準化を行なって来た。この第1回の改装は上記のようにJRR-2, 3, 4の3つの炉の計装を同時に扱ったものであるが, その内容はJRR-2と, JRR-3が主体で, JRR-4はリヤN系の一部を行ない, 起動系等が残されていた。その残された起動系を中心に, 高圧電源, 校正信号発生器等の改装を行なったものである。

起動系は, リヤN系(直流系)と異なりパルス系であるため回路内容も異なった点が多く, デジタル回路技術が多く用いられ, 技術的な趣も異なったものである。高圧電源はパルス系および直流系等全般の検出器用電源で, 直流系はCICを用いているので正, 負両極性の電源が1組となって使われている。また校正信号発生器は, 各ユニットのチェック用でピリオド信号, トリップ信号, 微小電流信号等である。この外に電池を用いたガルバ系の高圧電源, ビン用の直流電源等も含まれている。

これらの概要, 仕様, 回路構成と動作, さらに特性等についてユニット単位に説明し, 各ユニットを系の目的に応じて組み合わせたビン単位のセットについて説明する。

1.2 JRR-4の概要

JRR-4はスイミング・プール型の2.5 MW原子炉で、その中性子計装のブロック図を示すと第1.2.1図のようである。直流系は4チャンネルで、その内容はログNベリオド系1、リニヤN2、カルベ系（リニヤN系と同じ）1となっている。起動系（パルス系）は比例増幅器の出力（弁別後のロジック・パルス）を3つに分ける計数器等をそれぞれ働かせている。第1.2.1図で点線枠の部分は特に改装を行なわなかった部分であり、1重枠部分は43年度分として改装済みの部分で、2重枠の部分が今回44年度分として改装を行なった部分である。



第1. 2. 1図 JRR-4 中性子計装系

各チャンネルの計測範囲等を示しておくとして第1.2.1表のようである。

第1.2.1表 各チャンネルの計測範囲

チャンネル		計測範囲	表示範囲	レンジ数, レンジ比
起動系 (パルス系)		1CPS~10 ⁵ CPS	(1mW~100W)	10R, 1・3・
線形出力系		1×10 ⁻⁹ ~3×10 ⁻⁴ A	10W~3MW	12R, 1・3・
ログN	ログN	1×10 ⁻¹¹ ~1×10 ⁻⁴ A	0.3W~3MW	1R,
ペリオド系	ペリオド		-30~∞~+3sec	1R,

1.3 起動系の概要と特徴

第1.2.1図に示す起動系の概要を説明すると、検出器はフィッション・チェンバ(F.C)を用いており、その電流出力パルスを前置増幅器の入力部分で積分すると共に電圧増幅し、出力波形としてライズタイム100nscc程度、デケイタイム50 μ sccのデケイ・パルスを主増幅器まで伝送する。伝送ケーブルは特性インピーダンス75 Ω で、長さは約20mである。主増幅器は最大利得250倍で計数率特性を良くするため0.8 μ sccのデレイ・ラインによるDDL整形を行なっている。

主増幅器の内部には波高弁別器も含まれており、適当な弁別レベルで波高弁別を行ない、ロジック・パルスとして出力を出している。

主増幅器の出力は3つに分けて出しており、その1つは計数器に送り、パルス数を直接計数器で計数する。これは、特に起動前や起動直後の計数率の低いときの測定を行ない、パルスの計数法を確認する。第2の出力は比例計数率計に送り、計数率計を働かせ、計数率を細かく測定する。レンジは1.3の比で10cpsから100kcpsまでである。第3は対数計数率計、ペリオド計で、2つの機能は関連を持っているので1つのユニットにまとめられている。対数計数率計としては $1 \times 10^{-11} \sim 1 \times 10^{-4}$ Aの7桁の範囲をログ化してメータで表示している。さらにこの範囲のペリオドを-30scc $\sim \infty \sim +3$ secの範囲で測定し、メータ表示する。またログN計には起動インターロック回路があり、故障の場合を含めて出力が所定の値以下では起動条件が揃わないようにトリップ回路が用意されている。

この起動系は各ユニットを3組に分け、3つのピンにまとめている。

1.4 他のユニットの概要

高圧電源は各チャンネルの検出器用で、各種検出器に共通に使うことができるように考慮してある。出力電圧はヘリポットで設定でき、0ボルトから1000ボルトまで連続的に任意の値を選ぶことができる。また極性の選択は内部回路の部品取付けを多少変更することにより正または負を出すようになっており、両者の基本回路やプリント板などは共通になっている。出力電流容量は1mAである。回路的な特徴としては、電圧喪失検出回路があつて、所定の値以下に低下するとそれを検出し警報等を発するようになっている。このユニットは2幅(5"型)に作られている。

低圧電源は前回設計製作したもの1)を基本として使用しているが、電流容量が不足するセット用として電流容量の大きな型を新たに設計した。そして前回のものを多少改良してA型とし、今回設計した電流容量の大きなものをB型とし、低圧電源として2種類を用意して、任意に使い分けるようにしている。

次に測定チャンネルには直接関係しないが、各系のチェックおよび校正用として校正信号発生器3種を用意してある。これらは、微小電流発生器、ペリオド信号発生器、トリップ信号発生器である。微小電流発生器は直流系の校正用で、検出器電流に相当した電流を作り直流増幅器の動作試験や校正を行なうのに用いられる。ペリオド信号発生器はログNペリオド計のテストと校正用で、指数函数的な電流を作り、ログN計から入力を加え、ペリオド計のテストを行なうものである。トリップ信号発生器はトリップ動作のチェック用で、リニヤN系の入力段からスイッチ操作で模擬入力が増幅系を含めたオーバーオールトリップ動作のチェックを行なうようになっている。

以上に示した44年度分のユニットと、43年度用として製作した直流系を含めてJRR-4は一通りの改装が終つたことになる。

JRR-4の各ユニットは前回の改装分を含めて13となり(共通電源は2種類とする)、各ユニットのキー番号をまとめておくと第1.4.1表のようになる。

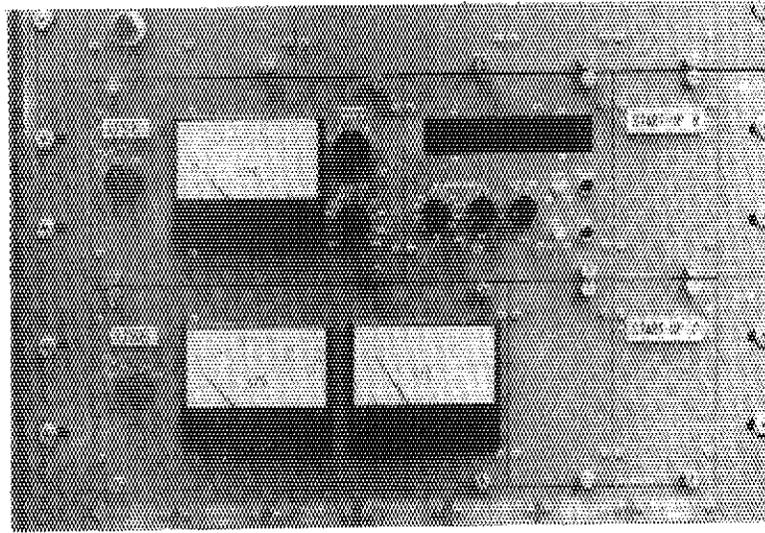
JRR-4に実装したときの外観を第1.4.1図、および第1.4.2図、第1.4.3図に示す。

(金原節朗)

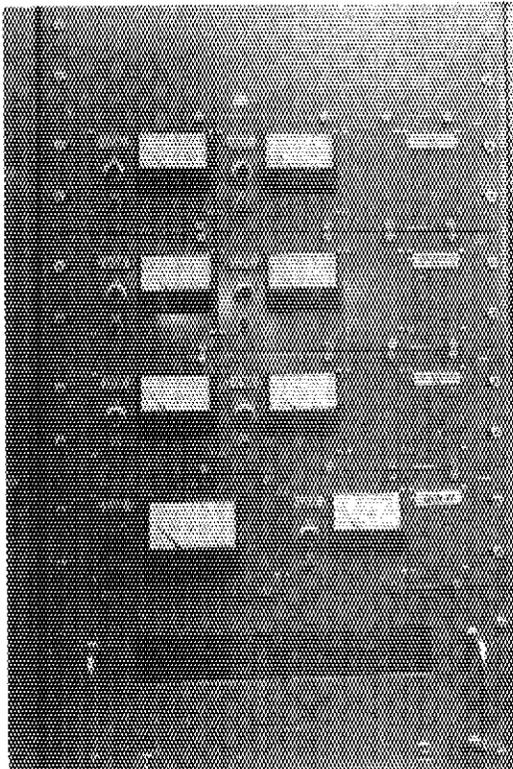
脚注 1) JAERI memo 3753 (1969)

第1.4.1表 -JRR-4のユニットとキー番号

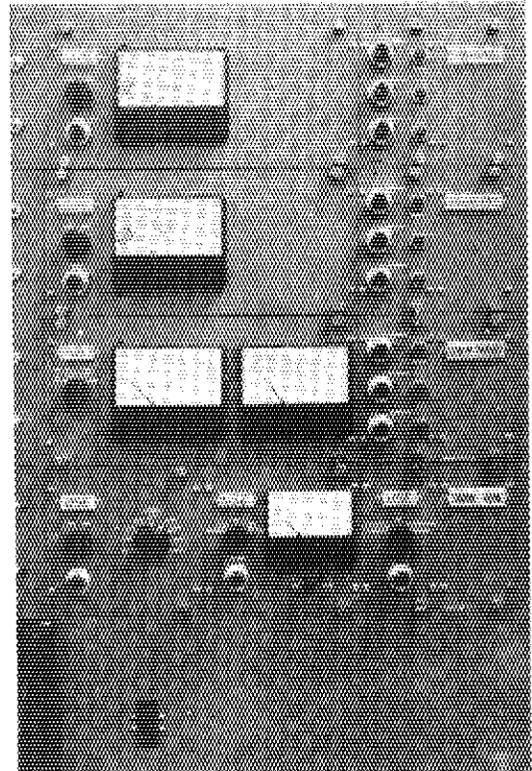
キー番号	ユニット名	備考
1	高圧電源	正負共通
2	トリップ信号発生器	
3	(予備)	サーボ増幅器の予定
4	—	
5	リニヤN計, 微小電流発生器	両者共通
6	ログNベリオド計	
7	共通電源	旧型およびA, B共通
8	対数計数率計, ベリオド計	
9	ベリオド信号発生器	
10	—	
11	トリップ, ユニット	
12	比例計数率計	
13	パルス増幅器	
14	スケーラ	
15	—	
16	—	



第1.4.1図 スタートアップB, Cを完装した写真



第1.4.2図 高圧電源セットの写真
上3段がCIC用電源, 4段目は, ガルバ
系およびFC用電源



第1.4.3図 校正信号発生器セットの写真
上3段はリニヤN系およびログNベリオド系,
4段目が校正信号発生器セット

第 2 章 ユニットの説明

2.1 前置増幅器

2.1.1 概要

ここで述べられる前置増幅器は、パルス系の核分裂計数管 (FC) や BF3 計数管などの中性子検出器の近くに設置し検出器の出力電流を積分、増幅して、信号対雑音比のよい状態で比例増幅器に信号を導くためのもので、入力ケーブルの長さの違いなどによる入力容量変化には無関係、に一定のデスクリ・レベルが得られるように電荷型増幅器としている。

構造は第 2.1.1 図に示されるように、たて 100 mm、横 150 mm、高さ 50 mm の防滴箱型構造で、前部には入力コネクタ (HN)、後部には高圧コネクタ (HN)、出力および電源コネクタ (MS 3102A 16S-1P) およびゲイン・スイッチを備えている。さらに後部には試験、調整に便利をように独立の出力コネクタ (2×UG625/U) およびパルサ・コネクタ (UG625/U) を備え、通常はこれらのコネクタはキャップでふたをしておくようにしている。

この前置増幅器の電源は ±12V で、比例増幅器が取付けられるピンから供給される。前置増幅器の出力端子および帰路端子は 75 Ω の特性インピーダンスをもつ 2 本の同軸ケーブルで比例増幅器の差動入力段に接続され、比例増幅器の同相除去特性に従って、これらの同軸ケーブルに誘導される雑音が抑圧できるようになっている。

前置増幅器の使用にあたって、高圧を印加したままで入力コネクタを着脱したり、入力回路のチェックなどをおこなうと、入力段素子を破壊するおそれがあるので電源は必ず切ってから着脱をしなければならぬ。また前置増幅器のゲイン・スイッチは通常 ×2 で使用するようにし、レンジを広げて計数率特性をよくしておき、特に利得の低い検出器を使用する場合や、比例増幅器の雑音が問題になる場合はゲインを ×10 にすることを検討する必要がある。

2.1.2 仕様

電 荷 利 得 ; 約 1×10^{11} V/クーロン (×1, 終端整合)

入力換算雑音電荷 ; 2×10^{-16} rmsクーロン以下 (0 入力容量 1 μs CR-RC 整形)

利 得 設 定 ; ×1, ×10

ライズタイム ; 30 ns 以下 (0 入力容量)

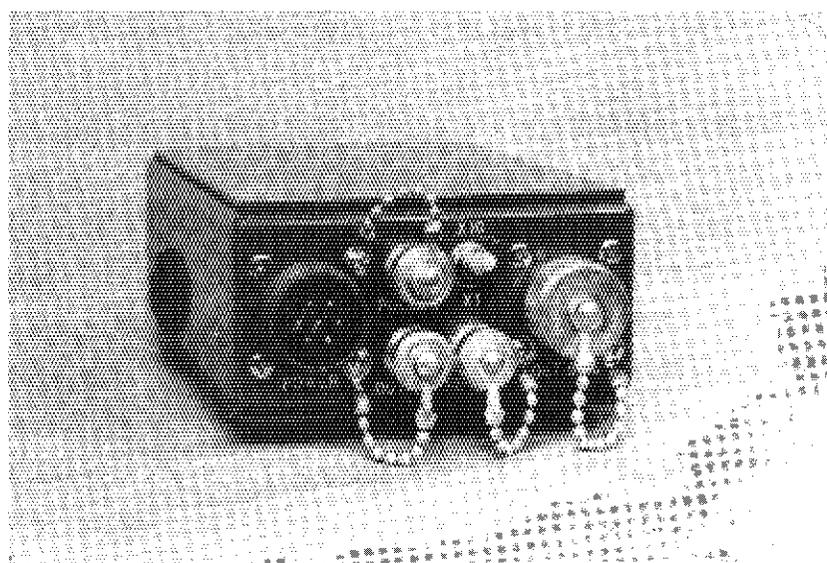
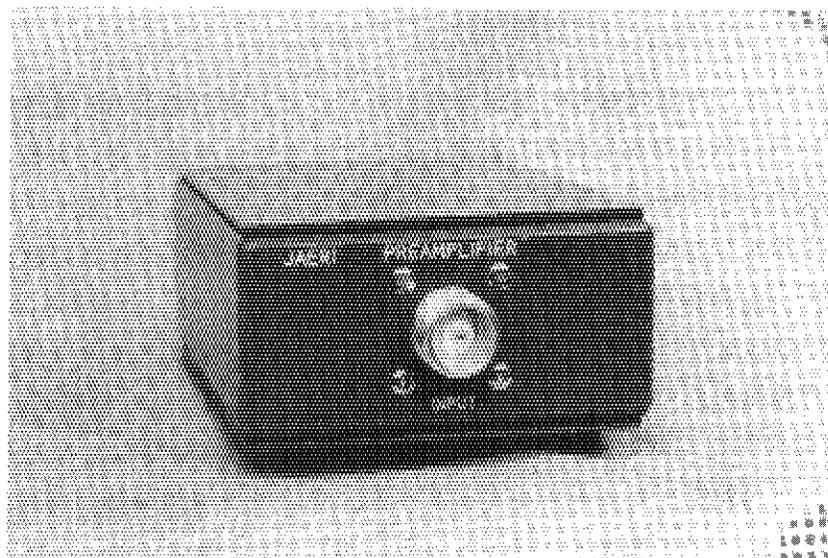
デケイタイム ; 約 50 μs

最大出力波高 ; ±5 v 以上

無歪最大計数率 ; 約 400 KCPS (×1)

利得安定度 ; 0.01%/°C 以下

高圧回路耐圧 ; 4 kv DC 以上



第 2.1.1 図 前置増幅器の構造

消費電流；+12v 21mA, -12v 20mA
 構造；たて100mm, 横150mm, 高さ50mm, 防滴箱型
 コネクタ；入力および高圧(HN)
 出力および電源(MS3102A16s-1p)
 チェック用(UG-625/U×3)

2.1.3 回路構成と動作

第2.1.2図は電荷増幅型前置増幅器の構成を示したもので、検出器出力と電荷増幅段の入力部は交流結合されている。検出器からの入力電流パルスは容量性負帰還(C_3)をもつ電荷増幅段 A_1 に入れられ、この電荷増幅段で電流パルスが積分され、入力電荷(Q_i)に比例した波高($V_o = Q_i / C_3$)をもつステップ・パルスが得られる。このステップ・パルスの減衰時定数(T_c)は負帰還容量(C_3)と負帰還抵抗(R_3)で決められて $T_d = R_3 \cdot C_3$ となる。 S_1 はゲイン・スイッチで電圧増幅段 A_2 の入力抵抗を変えることによって、 $\times 1$, $\times 10$ の利得を得るようにしている。この時の電圧利得は R_{33} / R_{23} または R_{33} / R_{24} で決まる。増幅段の出力インピーダンスは R_{33} の負帰還作用により 1Ω 以下となっている。そのため外部出力に対しては出力直列抵抗(R_{33})によって送端整合をとるようにしている。 R_{33} は信号帰路用の終端抵抗で伝送回路を同相除去構成とすることができるようになっている。 R_2 , C_4 , R_4 , C_5 は検出器高圧回路の負荷抵抗およびデカップリング回路で、種々の検出器に使用できるように4KVの耐圧をもつようにしている。 C_2 , R_4 は試験、調整用のパルサ信号注入回路で、ステップ状の電圧パルスを加えることにより、前置増幅器の入力部に検出器信号と同様の疑似パルスが注入できるようになっている。

第2.1.3図は前置増幅器の具体回路を示したもので、部品番号は第2.1.2図の構成図に対応しており、 $Q_1 \sim Q_5$ のトランジスタで A_1 を、 $Q_6 \sim Q_{10}$ のトランジスタで A_2 を構成している。

第2.1.3図で Q_1 は入力段ソース接地型電界効果トランジスタ(FET)で、低雑音、高入力インピーダンスの点から高周波FETを入力段に使用している。 Q_2 はベース接地トランジスタで、 Q_1 とともにカスコード回路を構成している。 Q_3 は Q_2 の負荷抵抗で、インピーダンスを高くし、大きな利得を得るための定電流源回路としている。 Q_4 , Q_5 は Q_2 の負荷抵抗と並列に入るので高い入力インピーダンスを持ち、低い出力インピーダンスを得るためにダーリントン・エミッタホロアを構成している。 D_1 , D_2 は入力段FETのゲート・チャネル接合を保護するためのダイオードで、 D_3 は Q_2 のベース・エミッタを逆バイアスに対して保護するダイオードである。この電荷増幅段の開放利得は 6×10^3 程度である。

第2.1.3図で Q_6 はエミッタ接地型電流増幅トランジスタで、 Q_7 はベース接地トランジスタで、高い利得帯域積を得るように Q_6 とともにカスコード回路を構成している。 Q_8 は Q_7 の負荷抵抗で、インピーダンスを高くするため定電流回路を構成し、 Q_9 , Q_{10} は Q_7 のコレクタ負荷インピーダンスを高くして、低い出力インピーダンスを得て、対称出力回路とするためのコンプリメンタリ・エミッタホロアを構成している。 D_4 は Q_6 のベース・エミッタ電圧の温度特性を補償し、出力直流レベルを0V附近に設定するためのダイオードで、 D_5 , D_6 は Q_9 , Q_{10}

のベース・エミッタにバイアス電圧を与え、温度特性を補償するためのダイオードである。C₂₇はこの増幅回路の位相補正用のコンデンサである。

第2.1.3図でR₀は入力段FETを交換したときに、電荷増幅段の出力直流レベルを-1V程度に設定して、ダイナミック・レンジを確保するためのトリマ抵抗である。

第2.1.4図はプリアンプ内のPC板および取付部品間の相互配線を示した図で、入力段回路はシールド板で他回路に対して静電遮蔽が施こされるようになっている。

2.1.4 特 性

第2.1.5図～第2.1.8図に前置増幅器の代表特性の測定結果を示す。

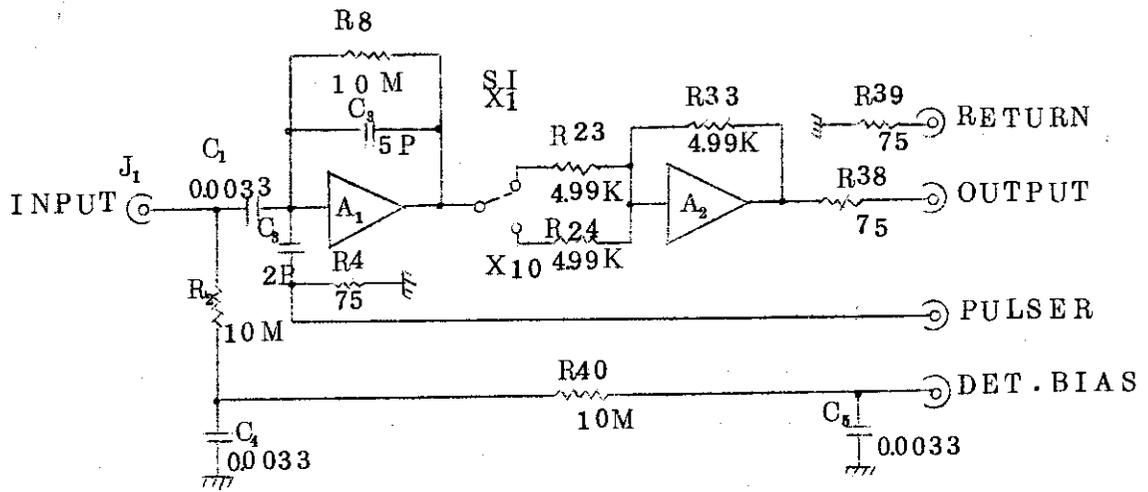
第2.1.5図はライズタイムが50ns、デケイタイムが1msのパルサ信号を加えたときの前置増幅器のライズタイムおよびデケイタイムを示したもので、(a)はライズタイムを0.2V/div, 0.1μs/divで、(b)はデケイタイムを0.2V/div, 50μs/divでそれぞれ上側に入力波形を、下側に出力波形を示している。(a)の結果から $T_r = \sqrt{T_{ro}^2 - T_{ri}^2}$ で前置増幅器のライズタイム(T_r)が求められ、T_r≒20nsである。(b)の結果から入力波形がステップ波形ではないので出力波形にアンダシュートが生じているが、前置増幅器の減衰時定数(T_d)は初期値の1/e(≒37%)となる時間から求められ、T_d≒50μsとなっている。

第2.1.6図は外部入力容量の変化に対する前置増幅器の電荷利得およびライズタイムの変化を示したもので、(a)は相対電荷利得を、(b)はライズタイムを示している。この結果から100PFの入力容量(3C-2Vで1.5m程度)に対して電荷利得の減少分は1%以下であり、ライズタイムは7.0nsとなることが示されている。一般に電荷利得の減少分とライズタイムは入力容量の増加に比例して増加する傾向をもつ。

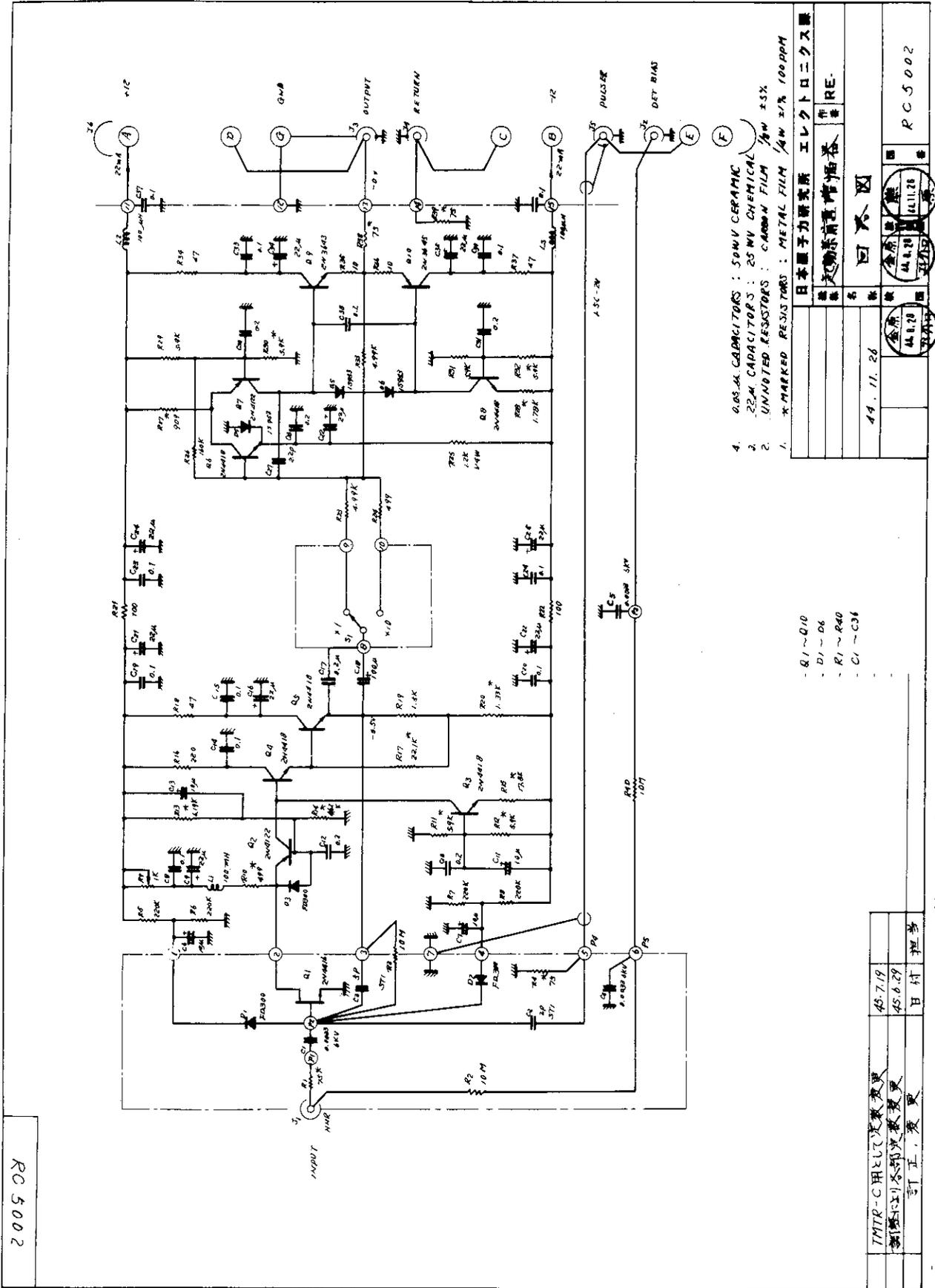
第2.1.7図は外部入力容量の変化に対する前置増幅器の入力換算雑音電荷の変化を示したもので、比例増幅器として1μsのCR-RC整形回路をもつもの(Mobel 131A)を使用して測定している。この結果から100PFの入力容量のときの雑音は 3×10^{-16} RMSクーロンであり、この雑音は入力容量に従って増加する傾向をもっている。

第2.1.8図は前置増幅器の電荷利得および出力直流レベルの温度特性の測定結果を示したもので、(a)は利得安定度をCR-RC整形回路をもつ比例増幅器を使ったときの出力偏差電圧を、(b)は前置増幅器の出力直流レベルのそれぞれ測定値を示したものである。この結果から利得安定度は0.01%/°C以下であり、出力直流レベル安定度は0.5mV/°C以下となっている。

前置増幅器の消費電流の測定結果は±12Vが21mA、-12Vが20mAであった。

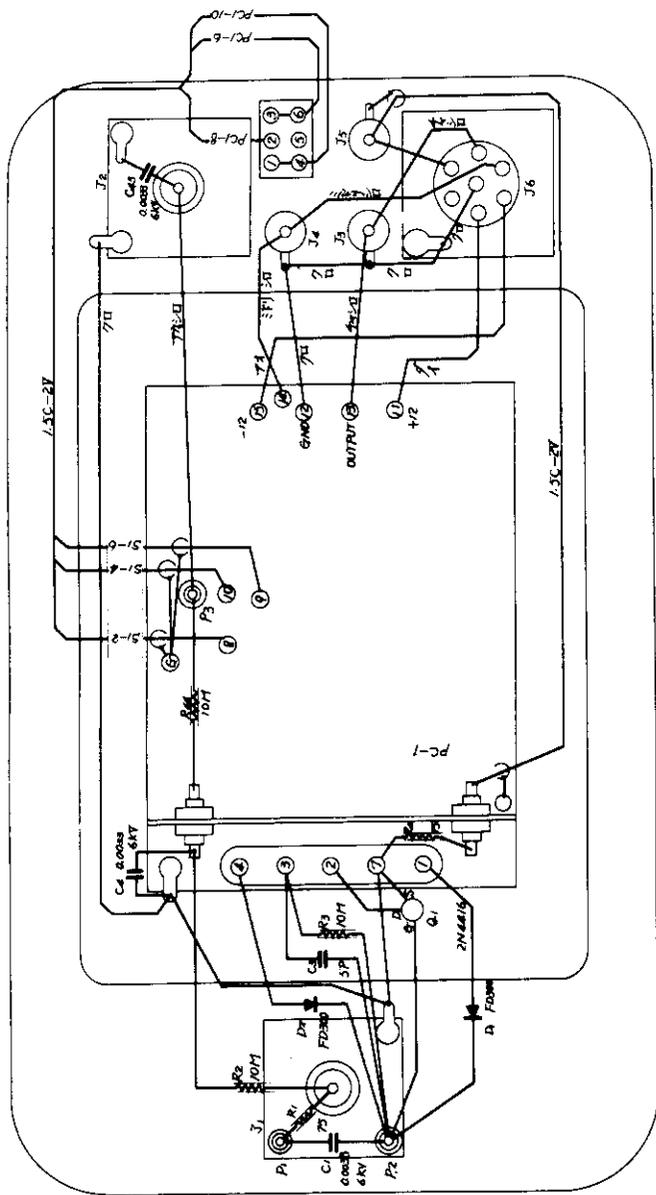


第 2.1.2 図 前置増幅器の回路構成図



第 2.1.3. 前置増幅器回路図

RC 5004

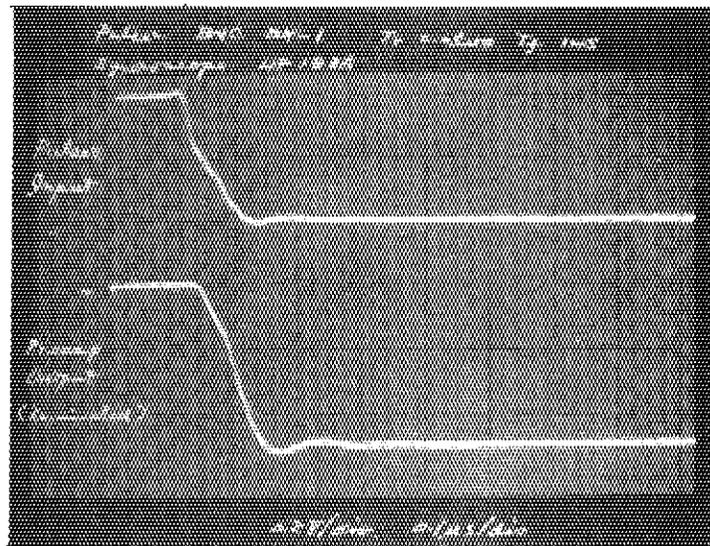


2. 0.01μF 全部配線は極力ストレイキャパを少なくするように行うこと。
1. 一般線材は 0.18/12 耐熱ビニール線とする。

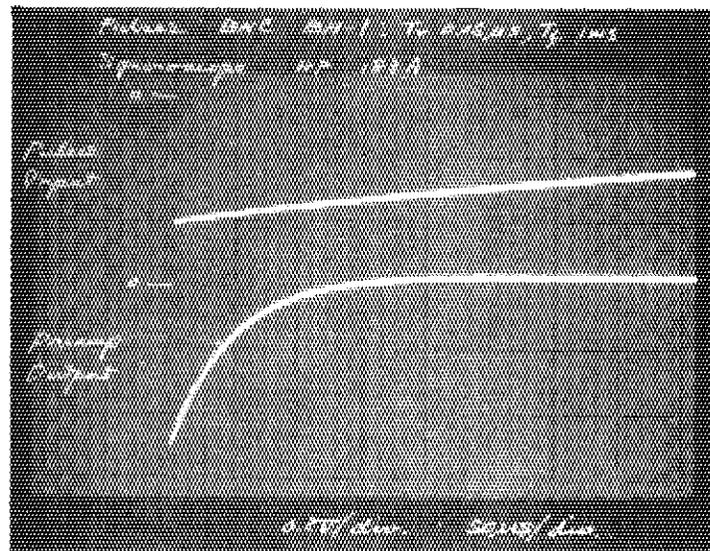
日本原子力研究所		エレクトロニクス課	
機	名	作	番
	起動系前置増幅器	RE-	
44	11	26	
配線図		RC 5004	
金	44.11.28	金	44.11.28
金	44.11.28	金	44.11.28

第 2.1.4 図 前置増幅器の配線図

訂正, 変更 日附 担当



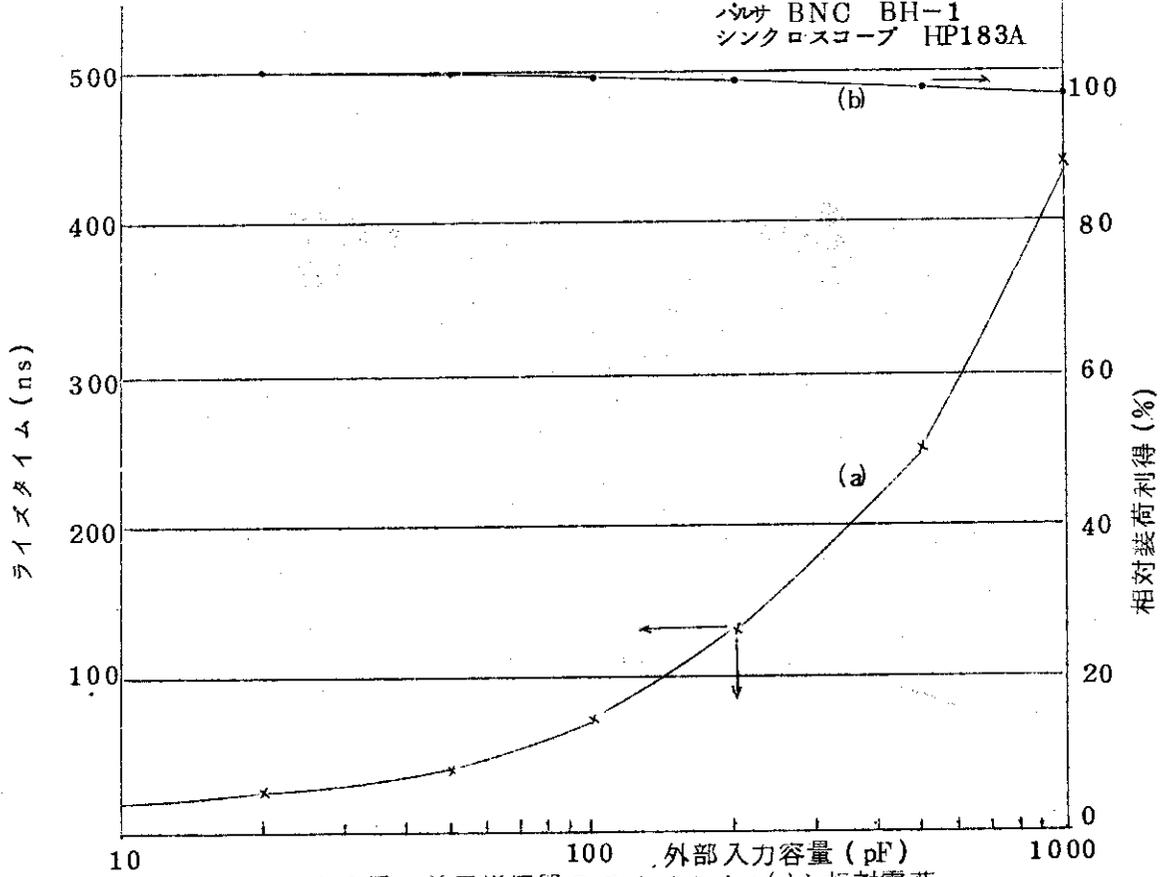
(a) ライズタイム (0.2 v/div, 0.1 μs/div)



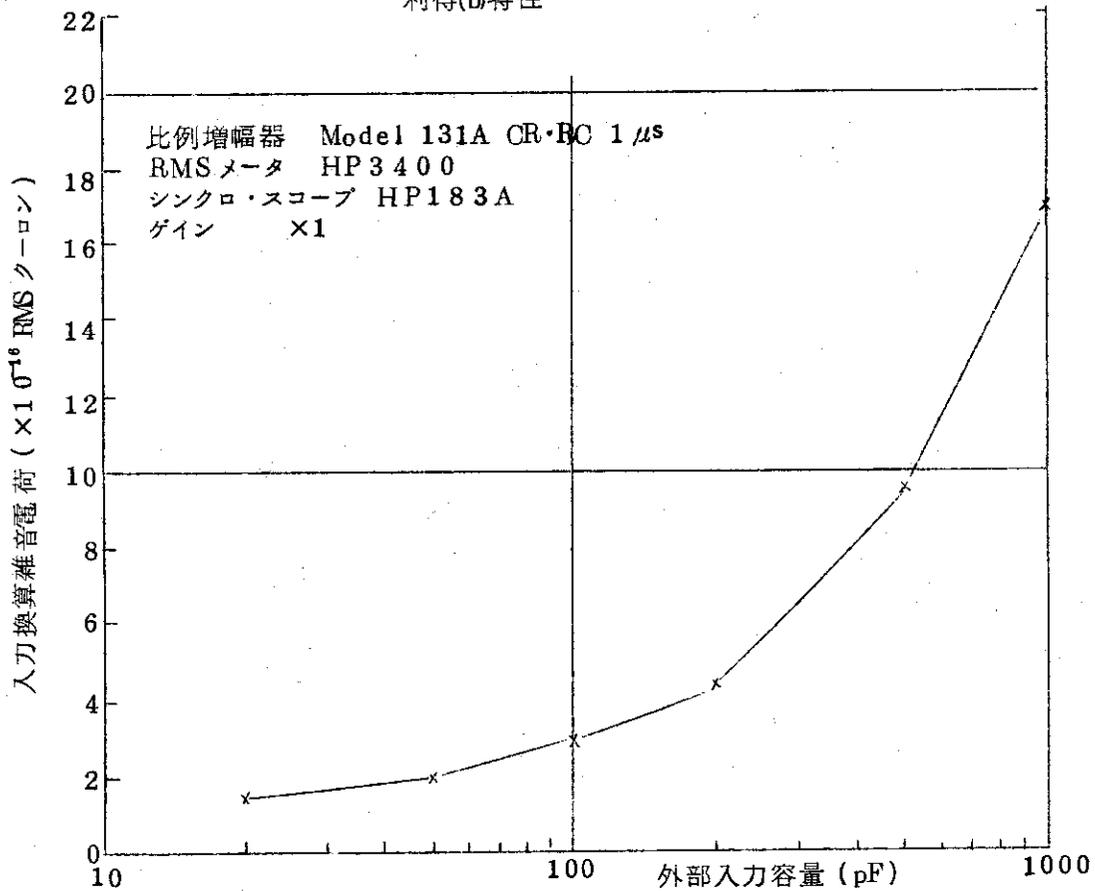
(b) デケイタイム (0.2 v/div, 50 μs/div)

第 2.1.5 図 前置増幅器の出力パルスのライズタイム(a)
およびデケイタイム(b)の測定結果

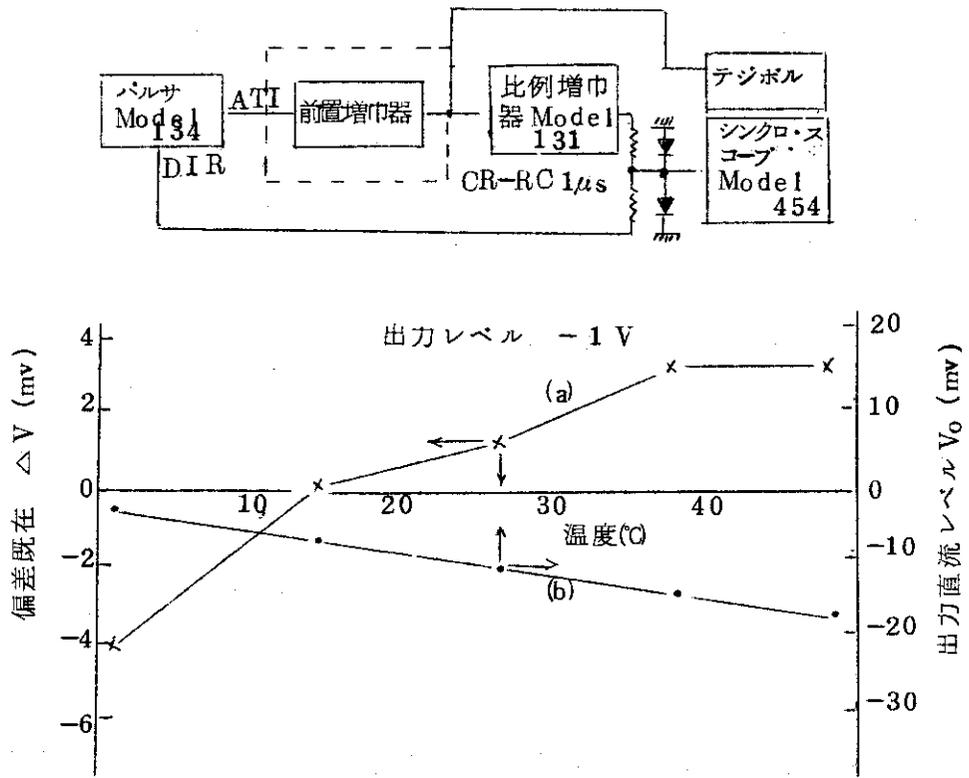
ゲイン×1, 出力終端 -1V
 パルサ BNC BH-1
 シンクロスコープ HP183A



第 2.1.6 図 前置増幅器のライズタイム(a)と相対電荷利得(b)特性



第 2.1.7 図 前置増幅器の入力換算雑音装荷特性



第 2.1.8 図 前置増幅器の利得安定度(a)と出力直流レベル安定度(b)の測定結果

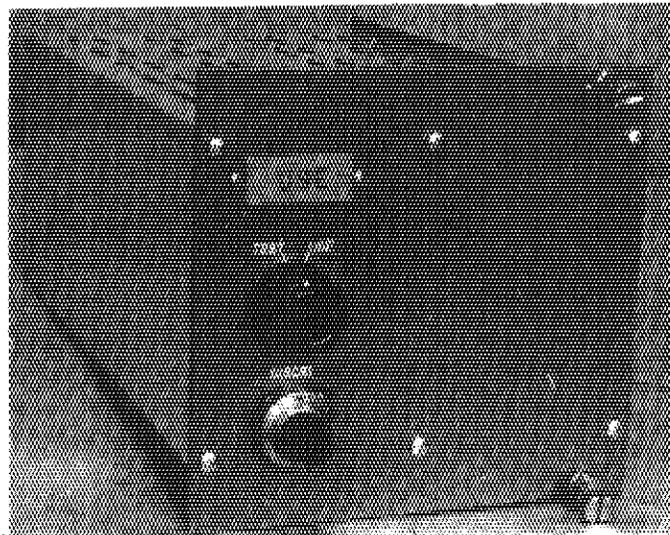
2.2 パルス増幅器

2.2.1 概 要

パルス増幅器は第1章でも述べてあるように、このユニットは43年度分として作られ、その内容も既に発表されたものであるが(注)、起動系(パルス系)の大半が今回の報告の中に含まれており、パルス増幅器だけが既製であるため外れることになるので系統的に見やすくするためここに再掲するものである。

このパルス増幅器は、リニア増幅部と弁別部、テスト信号発生部から構成されており、プリアンプから送られて来るデケイ・パルス(50 μ secデケイ)を増幅し、デレイ・ライン整形(0.8 μ sec)によるDDL波形に整形して、5Vフルスケールのリニア・パルス出力を出す。さらに弁別部では、0~フルスケールの間を連続的に弁別できるインテグラル弁別機能を持っており、正および負極性のロジック出力を出している。テスト信号発生部は水銀パルサで50Hzのテスト信号を作り、これをプリアンプから加えるような考慮がなされている。

(注) JAERI-memo 3753(1969) 78-89, 175-177



第2.2.1図 σ パルス増幅器ユニット

リニヤ増幅部で整形波形としてDDL波形を採用した点は、高計効率特性を改善するためである。従来はユニポーラ・パルスが一般に用いられていたが、分解時間があまり良くなく、特にベースラインの変動が大きく弁別レベルの設定が高計効率時において正確に行なわれていると云う保証も得られない状態であったので、計効率特性改善を行なうためDDL整形を採用した。

JRR-4のパルス系の計測範囲は、 $1 \sim 10^5$ CPS ($1 \text{ mw} \sim 100 \text{ w}$)であるが、 10^5 CPSにおいて数%の計数損(弁別レベル $1 \sim 2 \text{ V}$ の範囲)で計数が可能である。

第2.2.1図にパルス増幅器の外観を示す。左側上部のモード・スイッチはTESTとUSEで、USEが通常の使用状態、TESTで発振器を発振させ、高圧電源の電源を切る機能がついている。左下のヘリポットは弁別レベル設定用で0～フルスケール間を任意に設定できる。

回路構成は極力ICを用い、信頼度向上と、回路の簡素化を計っている。

2.2.2 仕様

比例増幅回路部

入 力；正または負のデケイ・パルス，同相除去回路(最大 2 V)

出 力；正先行バイポーラ・パルス $0.8 \mu \text{ sec}$ 5 V

最大利得；約250

ライズ・タイム； 250 nsec 以下

入力換算雑音電圧； $100 \mu \text{ V}$ 以下

積分非直線性；0.2%以下

クロスオーバー・ウォーク； $\pm 5 \text{ nsec}$ 以下

温度安定度； 0.01% /°C以下

振幅弁別部

ディスクリ・レベル； $0.1 \sim 5 \text{ V}$ 10回転ヘリポット

積分非直線性；2% ($0.1 \sim 5 \text{ V}$)

ダブル・パルス分解時間； $1.6 \mu \text{ sec}$

出 力；正および負 10 V ， $0.5 \mu \text{ sec}$

出力インピーダンス； 20Ω 以下

発振部

方 式；水銀パルサ， 50 Hz ， $50 \mu \text{ sec}$ デケイパルス

構造寸法；5インチ型 4幅

キ ー 番 号；No 13

2.2.3 構成と動作

このユニットの詳細については既に報告されているので構成の概要だけを述べておく。

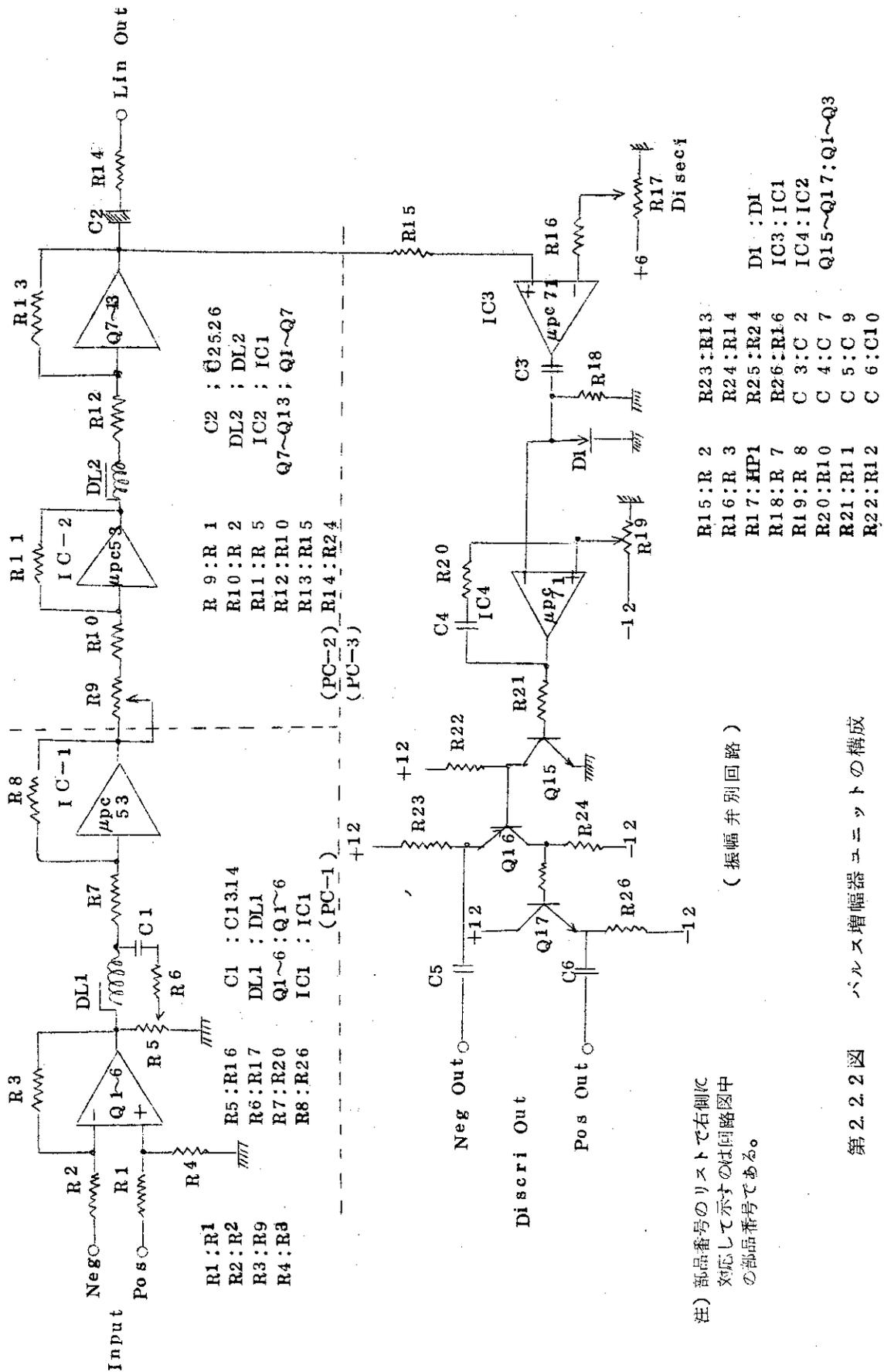
回路構成の概要は第2.2.2図の簡略化回路に示すようで、3枚のPC板から成っている。PC-1とPC-2はリニヤ増幅部でそれぞれ2段の増幅段を持ち、PC-1には同相除去回路と第

1段のクリッピング回路、PC-2にはゲイン調整(2:1)と2段目のクリッピング回路がある。そしてPC-2からリニア出力が出て外部に送り出されると共にPC-3の弁別部に入っている。PC-3は弁別部と発振器があるが、第2.2.2図には弁別部のみ示している。弁別部ではIC₃でインテグラル・ディスクリが構成されており、0~フルスケール(5V)の間任意のレベルで弁別ができる。IC₄はユニバイプレータで、こゝで0.5μsecのパルス整形を行ない、Q₁₅、Q₁₆を通して負のパルスを、さらにQ₁₇を通して正のパルスを出している。

各PC板およびモジュール配線は第2.2.3図~第2.2.6図のようである。これらの細部および特性については(注)を参照して欲しい。

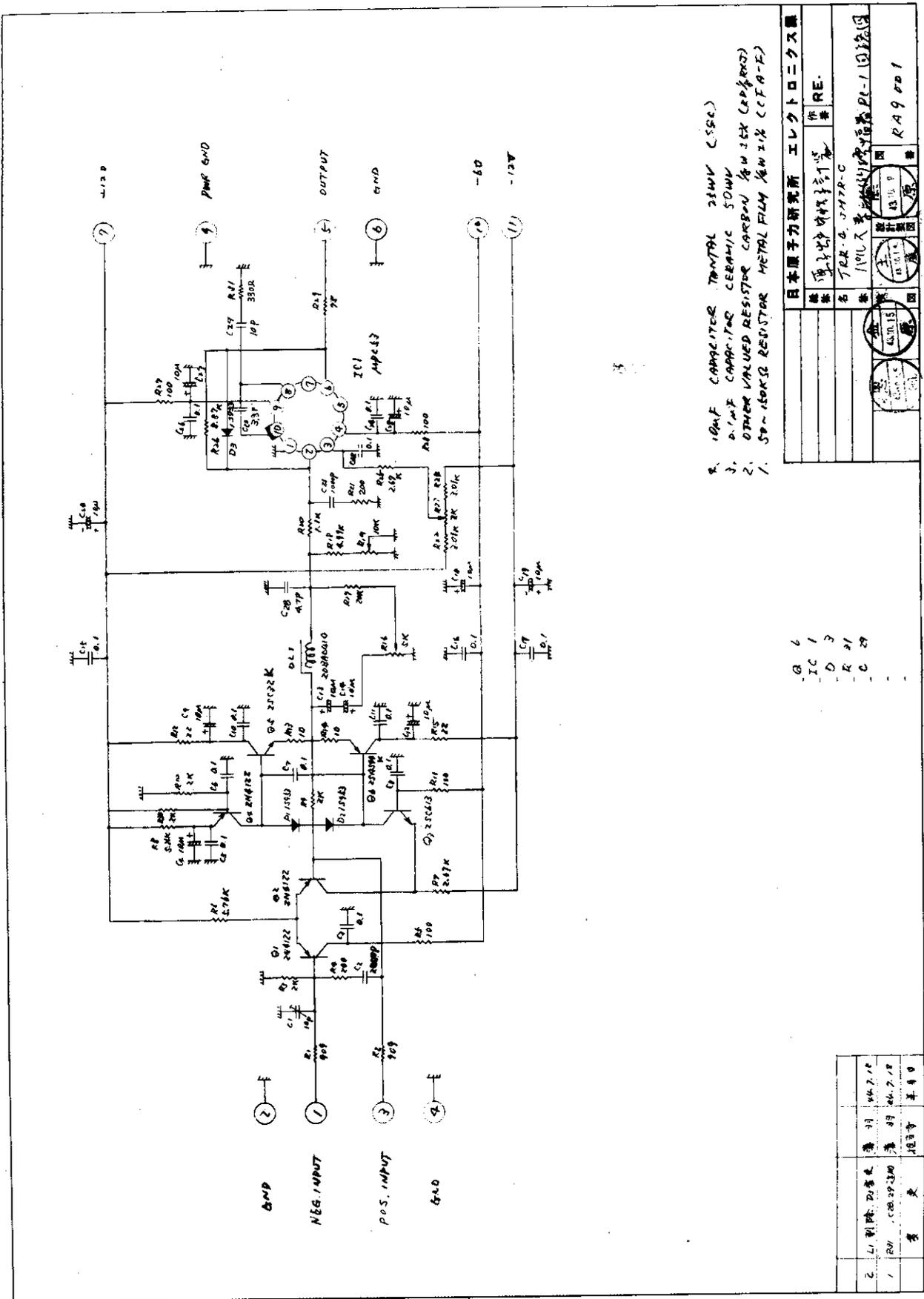
(熊原忠士, 薄羽皓雄)

(リニヤ増幅部)

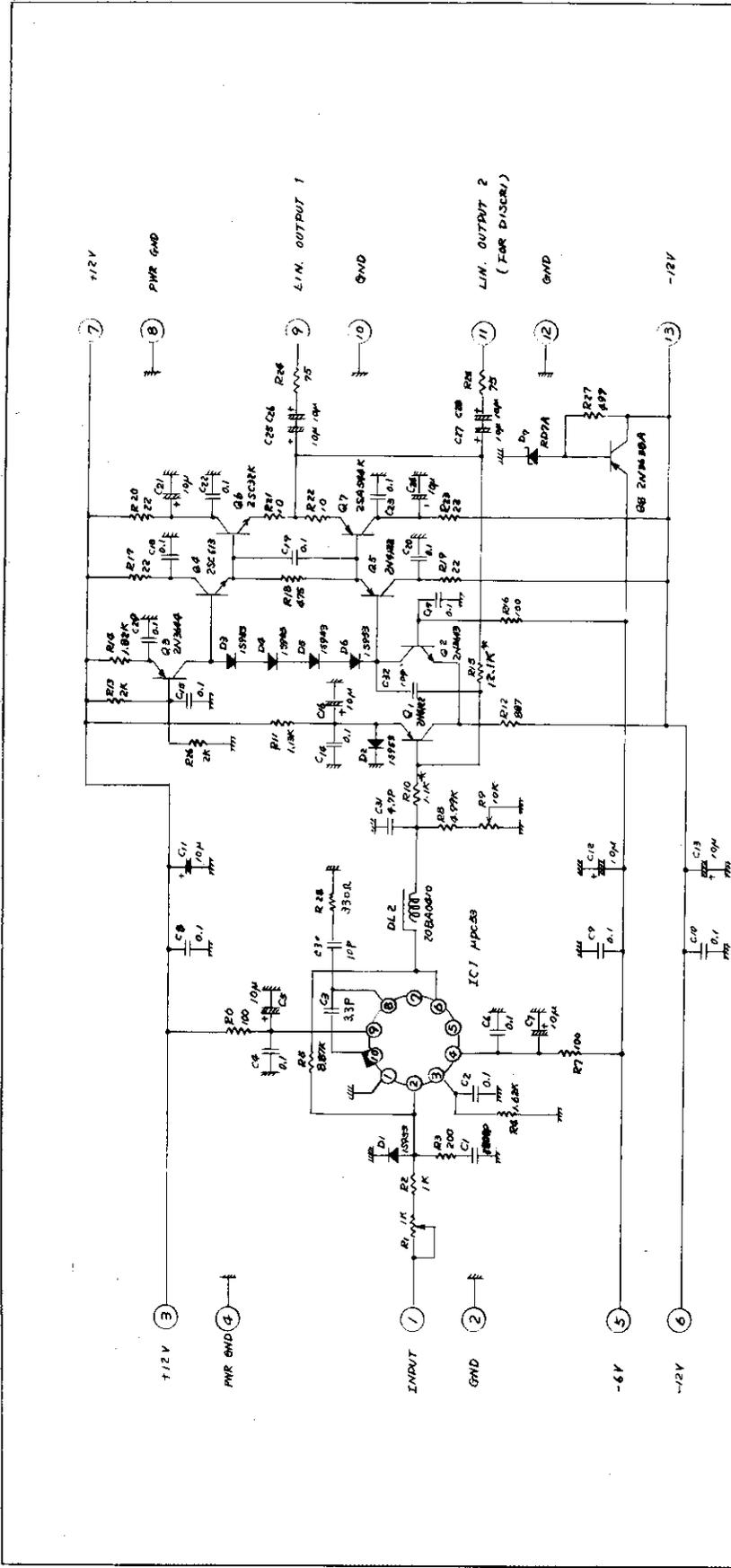


(注) 部品番号のリストで右側に
対応して示すのは回路図中
の部品番号である。

第2.2.2図 パルス増幅器ユニットの構成



第 2.2.3 図 パルス増幅器の第 1 段増幅部



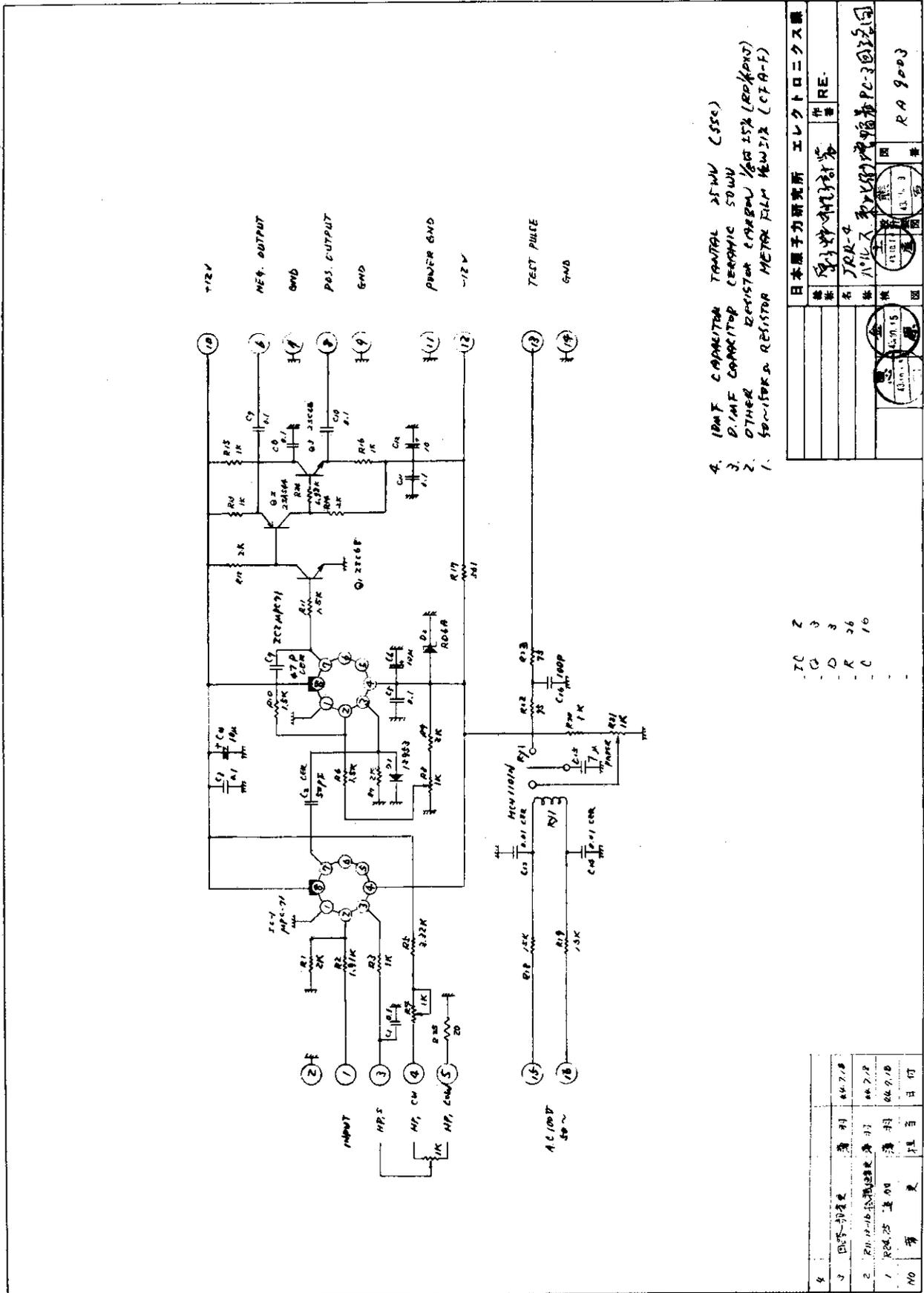
- 4 10MF CAPACITOR TANTALUM 25MV (55C)
- 3 0.1MF CAPACITOR CERAMIC 50MV
- 2 OTHER VALUED RESISTOR CARBON 1/4W±5% (RD/SD/DT)
- 1 50-150KΩ RESISTOR METAL FILM 1/4W±1% (CFA-F)

日本原子力研究所 エレクトロニクス課	
機 名	電子回路設計書
機 種	JRR-G, JMTA-C
機 号	電子系比較増幅器 PC-2回路図
機 名	増幅器
機 号	RA 9002
機 名	増幅器
機 号	RA 9002

IC1	-
Q1	-
D1	-
R1	-
C1	-

第2.2.4図 パルス増幅器の第2段増幅部

5	40C23 CMOS	薄明	45.6.18
4	2N4340 JFET	薄明	45.7.17
3	2N4333 JFET	薄明	45.7.18
2	42割除	薄明	45.7.18
1	C100-02 300	薄明	45.7.18
No	変更	担当	日付



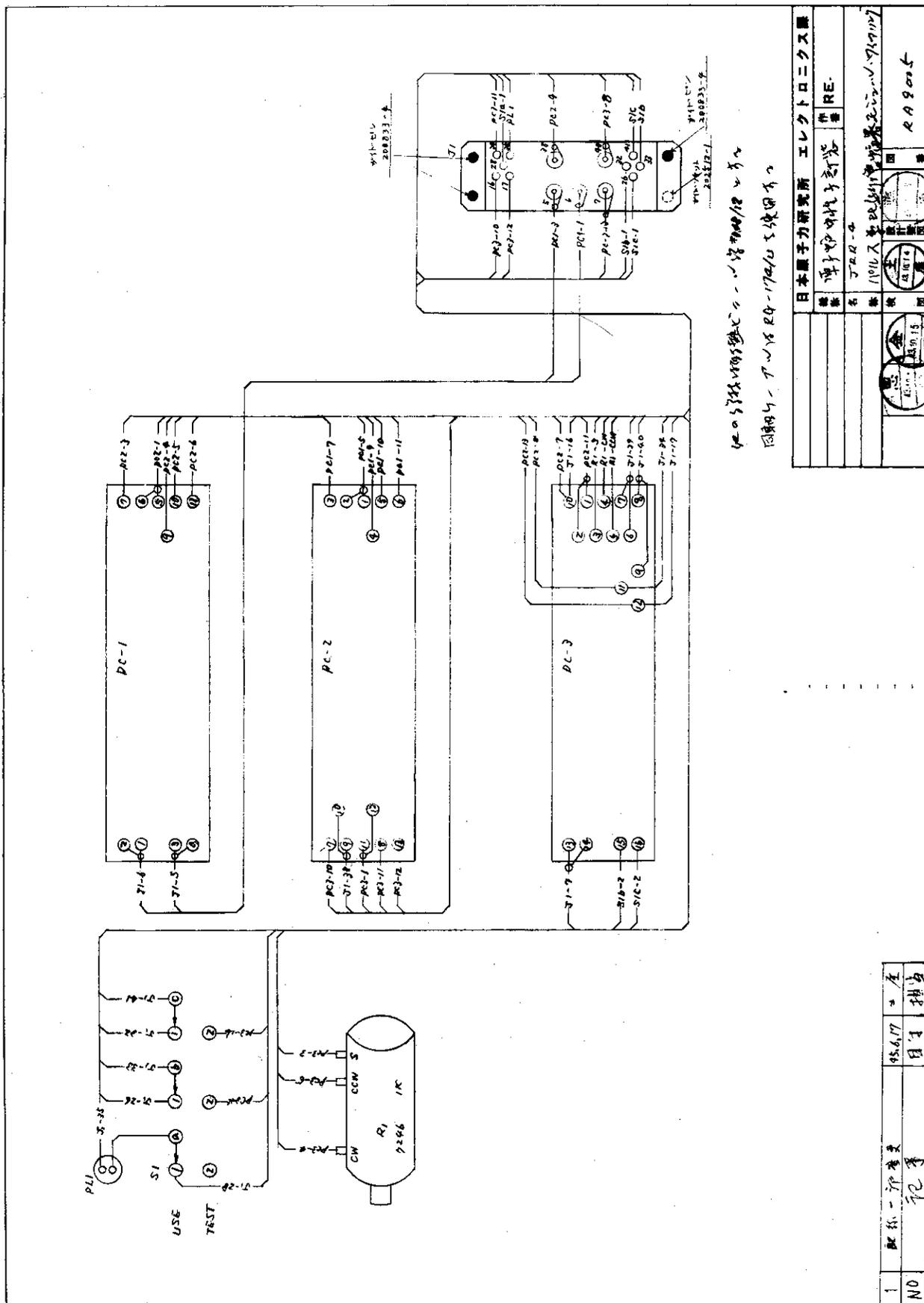
4. 10MF CAPACITOR TANTALUM 25MV (55C)
3. 0.1MF CAPACITOR CERAMIC 50WV
2. OTHER RESISTOR CERAMIC 1/4W 5% (R0400)
1. 50-150KΩ RESISTOR METAL FILM NEWJIS (CFA-F)

日本電子力研究所 エレクトロニクス課	
機番	4101
本機	JRR-4
機名	パルス増幅器PC-3025
機種	増幅器
機号	RA 9003

IC	2
C	3
D	3
R	26
C	10

図	44.71.0
2	44.71.0
1	44.91.0
NO	理直
日付	

第2.2.5図 パルス増幅器の弁別、発振器部



第2.2.6図 パルス増幅器の配線図

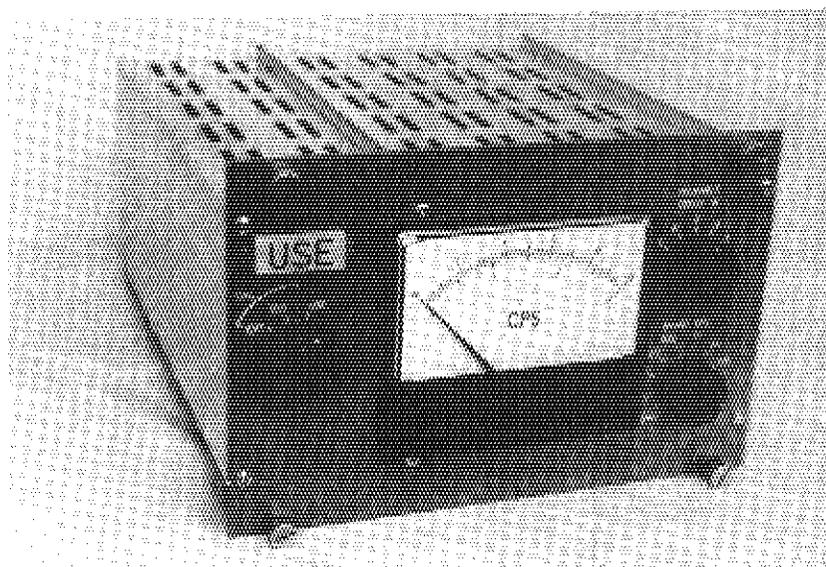
日本原子力研究所 エレクトロニクス課	
機名	作 RE-
名	単子増幅器
機	AVLシステム
製	日立製作所
図	RA9005

2.3 比例計数率計

2.3.1 概要

この計数率計はパルス増幅器の出力パルス・レートを測定する比例計数率計である。このユニットはJRR-4起動系を構成している1ユニットであり、スケアラと組んで1つのビンに納められ、スタード・アップBと呼んでいる。計測範囲は100k cpsまであり、この範囲を3倍、10倍のステップで9段に切換えている。統計的動揺を抑圧するための平滑時定数は、各レンジのフルスケール・レートにおける指示値が1, 2, 4, 8, 16%の%確率誤差(±0.675)となるようにきめてある。計数率はフロントパネルにあるメータに表示し、あるいは記録計出力として取り出すこともできる。

このユニットの外観を第2.3.1図に示す。モジュール外形は6幅であり、フロントパネルにはファンクション・スイッチと動作表示ランプ、メータ、レンジ切換スイッチ、設差切換スイッチがある。ファンクション・スイッチはUSE, 100, EXTの3点に切換えられる。USEでは動作表示ランプが点燈し、パルス増幅器からの出力パルスが計数率計の入力端子に接続される。100では内蔵のパルス発生回路から100CPSのパルスが、EXTでは外部のパルス発生器からのパルスが、計数率計の入力端子へ印加される。リヤ・パネルには直流増幅器のゼロ調整用の可変抵抗器と、アダプタとモジュール間の配線を接続する42P基本コネクタが取り付けられている。



第2.3.1図 比例計数率計

2.3.2 仕様

入力；ロジック・パルス， $+5V$ ，パルス幅 $0.5\ \mu\text{sec}$
 入力インピーダンス； $1K\ \Omega$
 入力レート；最大 $100\ \text{KCPS}$
 パルス間隔；最小 $1\ \mu\text{sec}$
 レンジ切換； $10, 30, 100, 300, 1K, 3K, 10K, 30K, 100K$ ，
 CPS の9段
 時定数； $1, 2, 4, 8, 16\%$ ，たゞしフルスケール値の $\%$ 確率誤差 (0.675σ)
 時間安定度； $0.5\%/24\ \text{hr}$
 温度安定度； $0.3\%/^{\circ}\text{C}$
 指示計； $100 \times 88\ \text{mm}$ ，槍型指針 2.5 級，単位は CPS
 出力 (1)；直接出力，フルスケール $+1V$ ，インピーダンス， $100\ \Omega$ 以下
 出力 (2)；記録計出力： $+10\ \text{mV}$ ，(約 $100\ \Omega$)
 内部校正用パルス； $100\ \text{CPS}$ (電源依存)
 消費電流； $+24V: 34\ \text{mA}$ ， $+12V: 30\ \text{mA}$ ， $-12V: 39\ \text{mA}$
 キー番号；12番

2.3.3 回路構成と動作

比例計数率計ユニットの構成を第2.3.2図のブロック図に示す。

ファンクション・スイッチ $S1$ が USE の位置におかれると動作表示ランプが点燈して，線形パルス増幅器からのパルスが入力端子に加えられる。 100 と EXT は校正モードであって， 100 では内部パルサから $100\ \text{CPS}$ のパルスが入力端子に加えられ，回路の動作チェックができる。このパルサはライン電源 $AC\ 50\ \text{HZ}$ をトランスで $6.3\ \text{V}$ に降圧した後，両波整流して $100\ \text{CPS}$ のパルスを得ている。 EXT では外部パルサの出力パルスを加えて指示値の校正を行うモードである。

信号パルスはまず $D1, D2$ からなるリミッタに加えられ，過大振幅のパルスがデスクリミネータに加わらないように $+0.5\ \text{V}$ 以下に振幅を制限される。デスクリミネータは $+0.2\ \text{V}$ 以上の振幅を有するパルスにのみ出力を生ずるようにレベルを設定して，入力パルスである線形パルス増幅器の出力パルスの内からおもに雑音と低いレベルのパルスを除いている。波形整形回路はパルス頂部が平坦で，ポンプ回路の充放電時間より充分広い幅のパルスを得るための回路である。波形整形回路の出力パルスは振幅が一定の立上りから立下りまでの時間幅がランダムな方形波である。ポンプ回路は1ケの方形波パルスを電荷量一定の電流パルスに変換する回路であって，入力方形波パルスの計数率に比例した数のパルス電流を出力とする回路である。このパルス電流は次段の直流増幅回路でフルスケールが $+1\ \text{V}$ となるように増幅されるが，ここではパルス電流の統計的ゆらぎを抑圧するため，レンジ抵抗 $R1 \sim 9$ と並列に積分用コンデンサ $C1 \sim 5$ が接続されている。この積分用コンデンサの切換はフルスケール値の確率誤差で表示されている。レンジ切

換はパルス電流が流れる直流増幅回路の負帰還抵抗 $R_1 \sim 9$ を切換えている。直流増幅回路の出力はフロント・パネルのメータに指示されるとともに、電圧出力（出力1）と記録計出力（出力2）として外部にとり出される。なお直流増幅回路のゼロ調整はレンジ・スイッチを ZERO にしてリヤ・パネルにある可変抵抗器 ZERO ADJ をまわせばよい。

比例計数率計のプリント・カード回路図を第 2.3.3 図に示す。ファンクション・スイッチが USE の位置に置かれると信号入力パルスは端子 1 に印加される。入力パルスは $D_{1,2}$, $R_{1 \sim 5}$ からなる電圧リミッタで $+0.5$ V に制限された後、次段のデスクリミネータであるコンパレータ IC-1 の逆相入力端子 3 へ加えられる。同相入力端子 2 には約 $+0.2$ V のデスクリ・レベルが与えてある。IC-1 の出力端子 7 が 3 の出力パルスは $C_{4,9}$ で微分され、パルスの立下りでバイナリ $Q_{1,2}$ をトリガする。 Q_2 コレクタに生ずる方形波は相補形エミッタ・ホロワ $Q_{6,7}$ を通してポンプ回路に加えられる。このエミッタ・ホロワはポンプ回路を低インピーダンスで駆動するためのものである。ポンプ回路は C_{11} , $D_{6,7}$ 確率誤差を規定するタンク・コンデンサから構成されていて、方形波パルスの立上りでエミッタ・ホロワは C_{11} , D_6 の回路を正方向に駆動して C_{11} を充電する。次に方形波パルスの立下りでエミッタ・ホロワはタンク・コンデンサ, D_7 , C_{11} を負方向に駆動して C_{11} に充電された電荷をタンク・コンデンサへ移す。この電荷の移動は電流パルスとなって次段の直流増幅回路へ流入していくが、直流増幅回路には高インピーダンスで高ゲインのオペレーショナル・アンプ K_{302} を使用しているの、流入してくるパルス電流はレンジ抵抗とタンク・コンデンサへ分流して、パルス電流の平均値に比例した電圧が IC-2 の出力端子 6 に生ずる。直流増幅回路の出力電圧は比例計数率計の出力であり、端子 10, 11 からフロント・パネルのメータへ、端子に 12, 13 から記録計へ、端子 15, 16 から電圧出力として取り出される。

なお直流増幅回路のゼロ調整はレンジ抵抗を ZERO としたとき入力のオフセット電圧がそのまま出力へ現われるので IC-2 端子 9 へ可変抵抗 ZERO ADJ からバイアスを与えて打ち消している。オフセット電流については、IC-2 のオフセット電流は 10^{-14} A であり信号電流にくらべてはるかに小さく、また負帰還抵抗も最大 10^7 オームであるのであえて調整してない。

100 CPS パルサは AC 100 V 50 HZ をトランスで 6.3 V に降圧し、 $D_{8 \sim 11}$ で両波整流したのちシュミット・トリガ回路 $Q_{8,9}$ へ加えて方形波パルスに整形している。

比例計数率計のモジュール内配線図を第 2.3.4 図に示す。ファンクション・スイッチ S_1 、動作表示ランプ PL_1 、メータ M_1 、レンジ切換スイッチ S_3 、確率誤差切換スイッチ S_2 はフロント・パネルに取りつけられている。ファンクション・スイッチ S_1 は、動作表示ランプの点滅と入力信号の切換えをおこなっている。レンジ切換スイッチは $\times 1$, $\times 3.3$ ステップで抵抗 $R_1 \sim R_9$ を切換えてフルスケール 10 CPS から 100 KCPS までを 9 段に切換えている。同時に $C_{6 \sim 9}$ を切換えて、隣接レンジ間のずれを補正している。これらのコンデンサはプリント・カード内の C_{11} と並列に加わる。 S_2 のタンク・コンデンサはオペレーショナル・アンプ IC-2 の入出力端子間に並列に接続されていて、 S_2-a が入力端子へ、 S_2-c が出力端子へ接続されている。 S_2-b は使用中の接点を除いて残りの他の接点をすべて短絡するような接続になっていて、 R_{11} , $1 K\Omega$ を通してシャント・グラウンドに落してある。またスイッチ S_2

の接点は短路型である。このようなスイッチを使っているのは、IC-2の入力端子をOVにしたまま、次のステップのコンデンサを充電して、IC-2の飽和とメータの振り切れを防いでいる。

リア・パネルにはIC-2のゼロ調整用可変抵抗R10、100CPSパルサの入力信号であるAC100VをAC6.3Vに降圧するトランスT1、モジュール・コネクタJ1が取り付けられている。

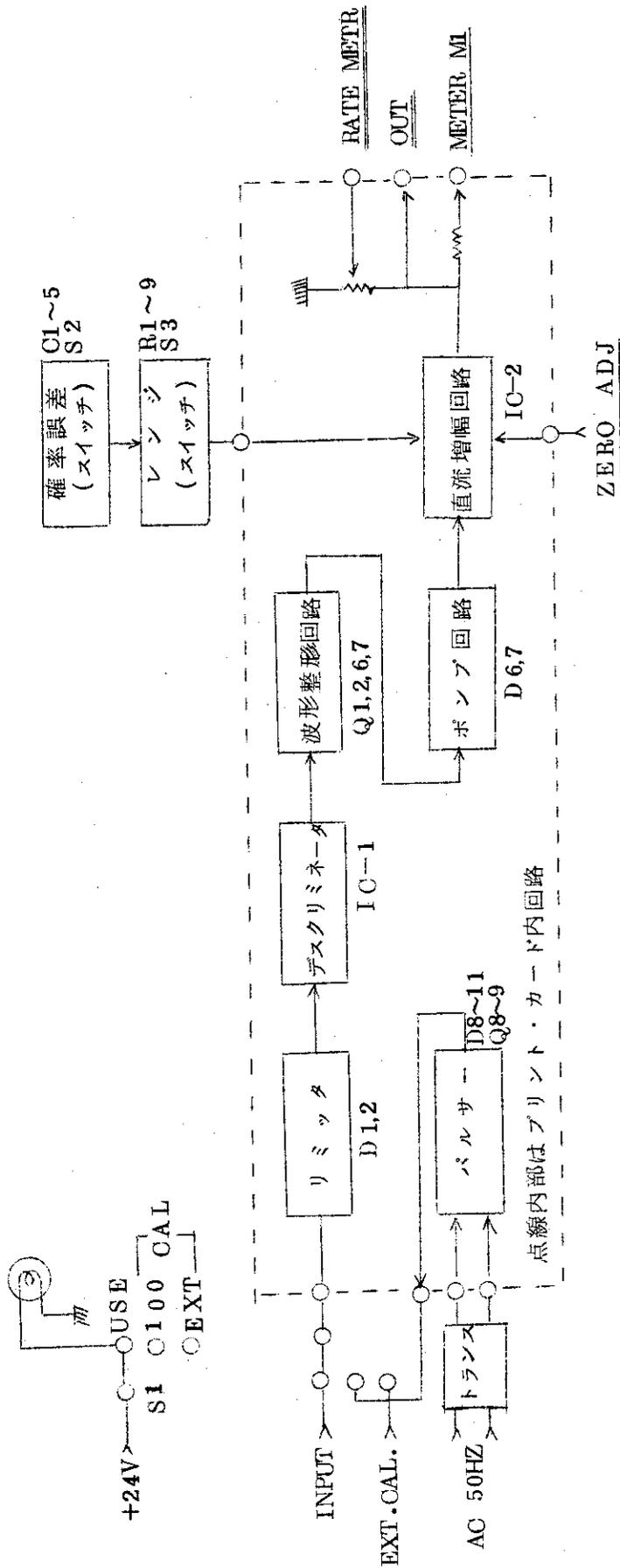
2.3.4 特 性

比例計数率計の特性としては、各レンジごとに入力パルスの計数率と出力電圧の間の比例関係を示す直線性、出力電圧の温度依存性を示す温度特性、電源投入以後の出力電圧の変動を示す時間安定等が重要である。

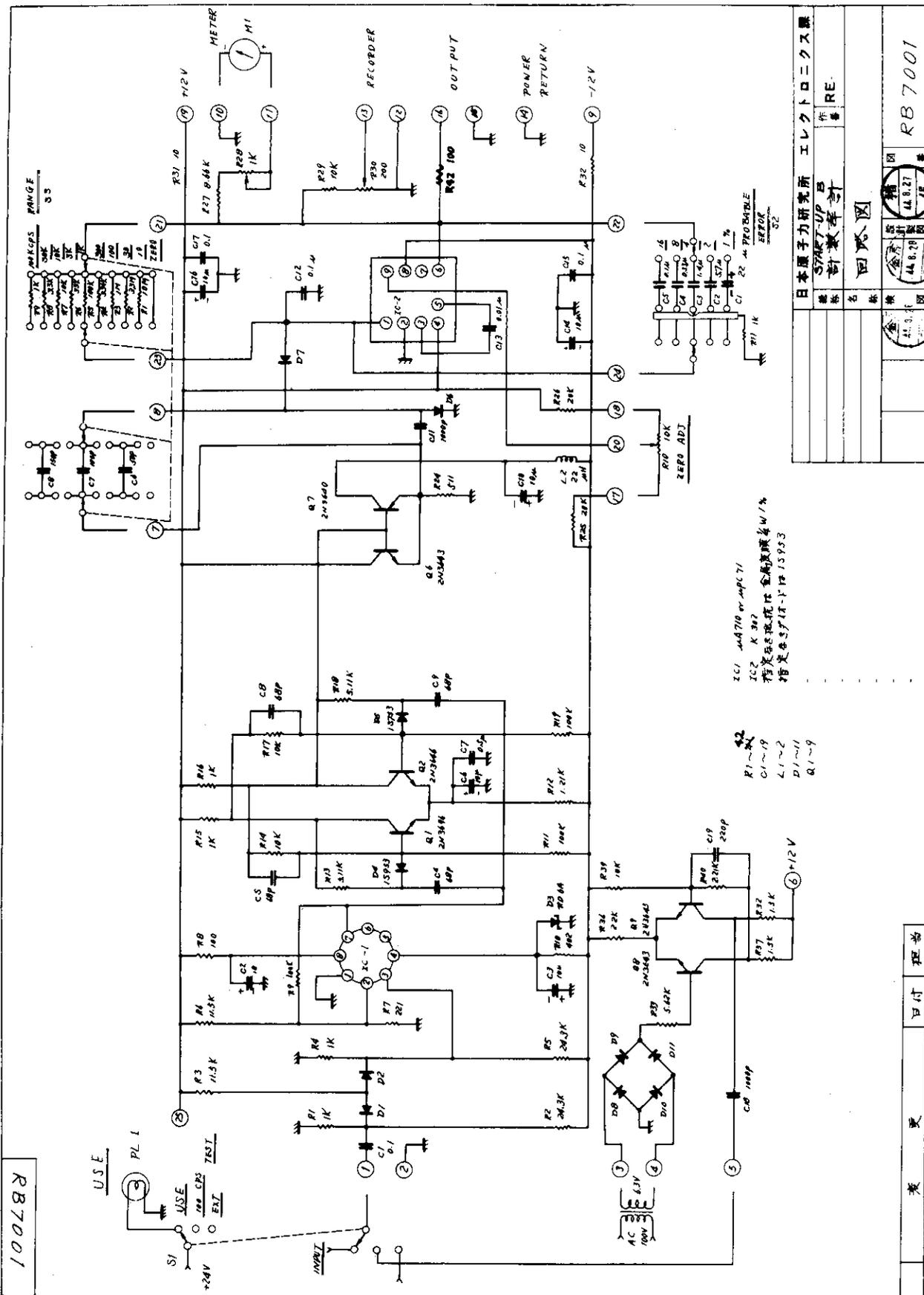
第2.3.5図に最低レンジ10CPSと最高レンジ100KCPSの入出力特性を示す。両者はほとんど一致しており、さらにこれらの中間レンジにおいても同様な直線性を有していて、第2.3.6図に示すように偏差は2%以下である。ダイオード・ポンプ回路を用いた計数率計回路では、回路が有する充放電時定数のため、計数率が高くなると計数値が目立ってくる。第2.3.7図に周期パルスとランダム・パルスに対する出力電圧のちがいを示す。10KCPS以下のレンジでは両者の差はほとんどない。温度特性としては第2.3.8図に100KCPSレンジの場合を示す。温度変動はフルスケール点において2.5%/50°Cである。また100CPSレンジではフルスケール点で2%/50°Cであった。時間安定度については第2.3.9図のようで内蔵の100CPSパルサの出力を加えて、電源投入後約9時間にわたって出力電圧を記録計に描かせてみたが変動幅は最大0.2%であった。

なお、入力パルス感度はパルス振幅+2.0V(パルス幅0.5 μ S)であった。またこのユニットの消費電流は仕様に示す値であった。

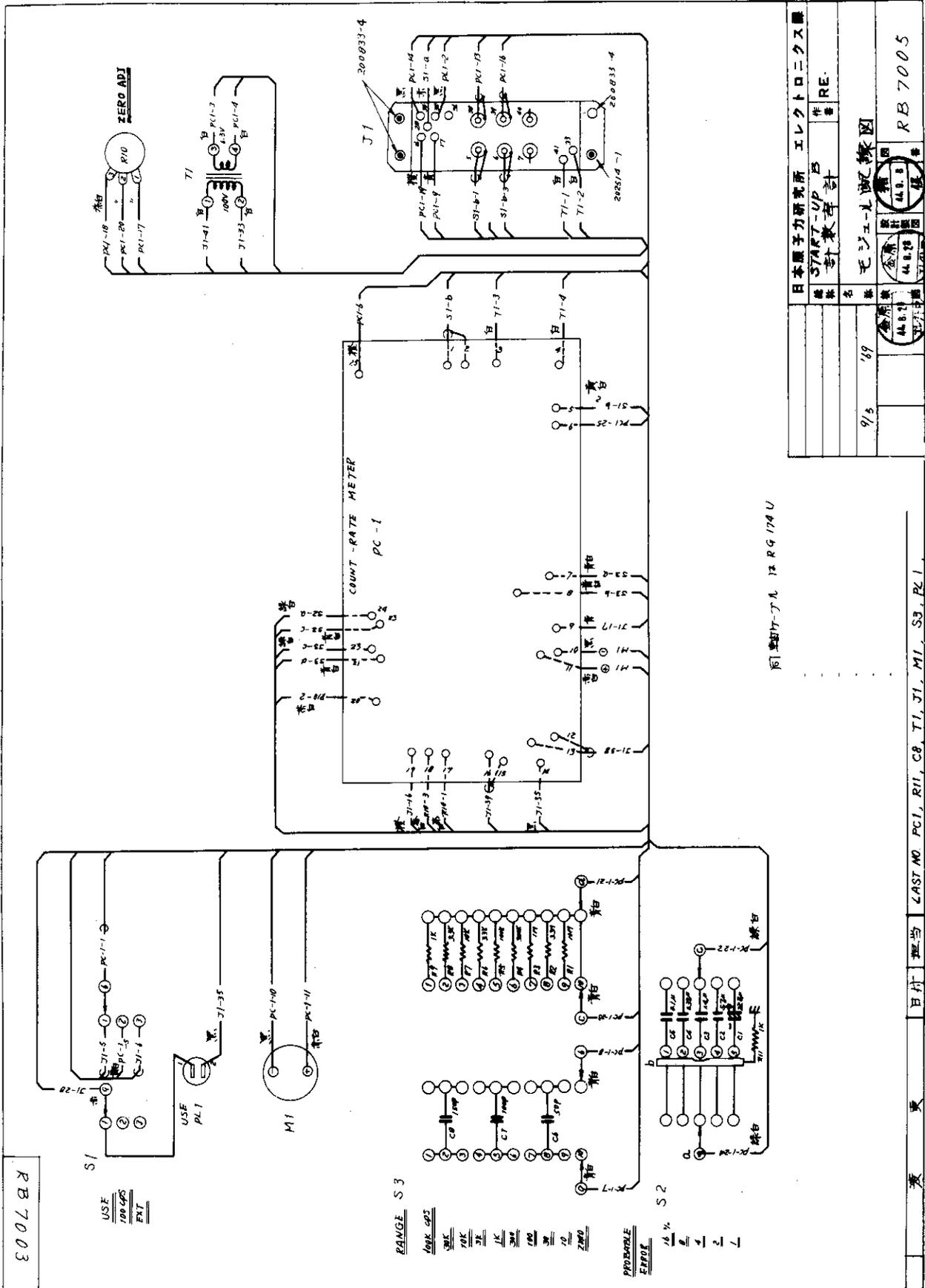
(猪俣新次)



第 2.3.2 図 比例計数率計のブロック図



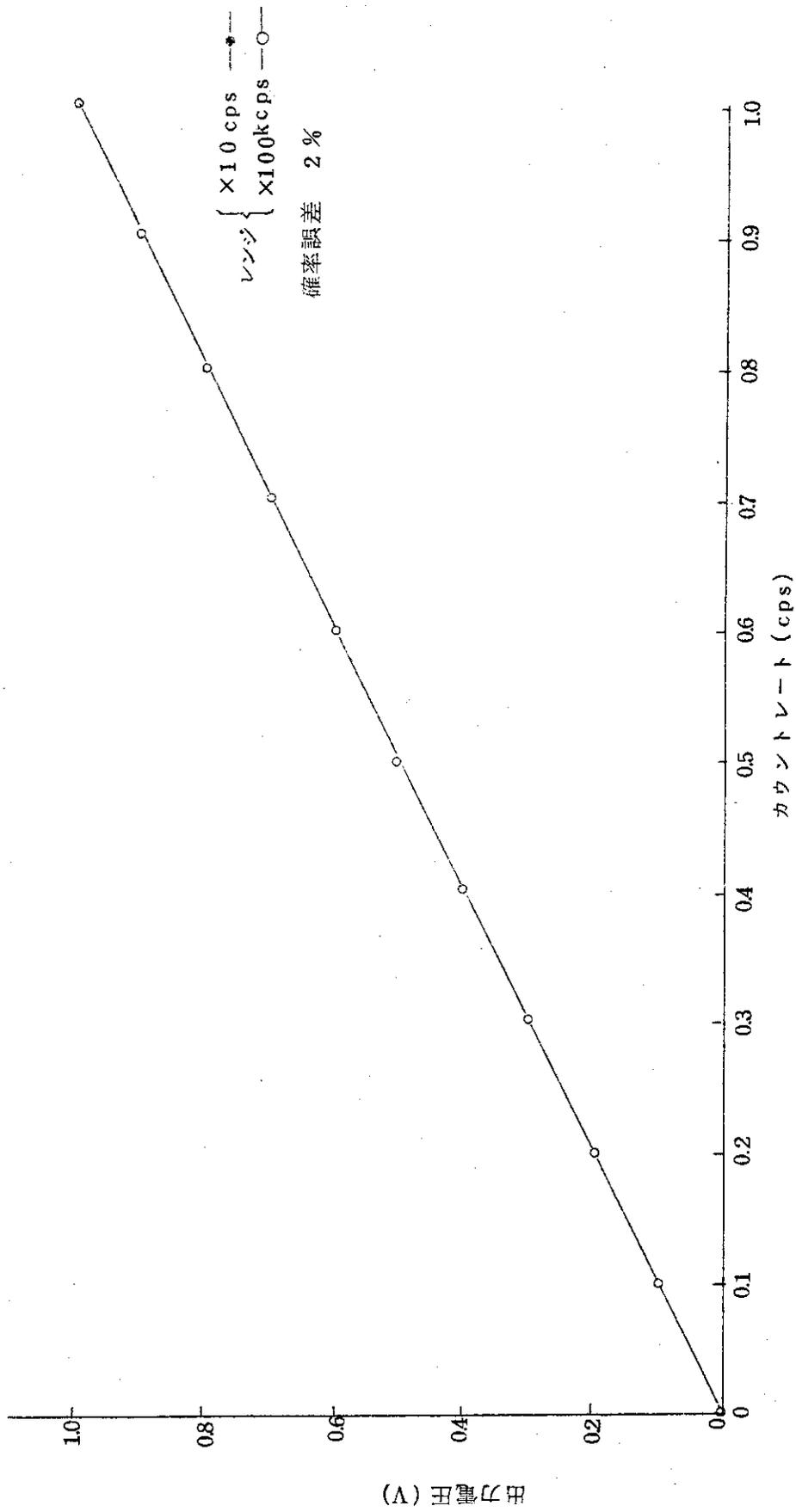
第 2.3.3 図 比例計数率計回路図



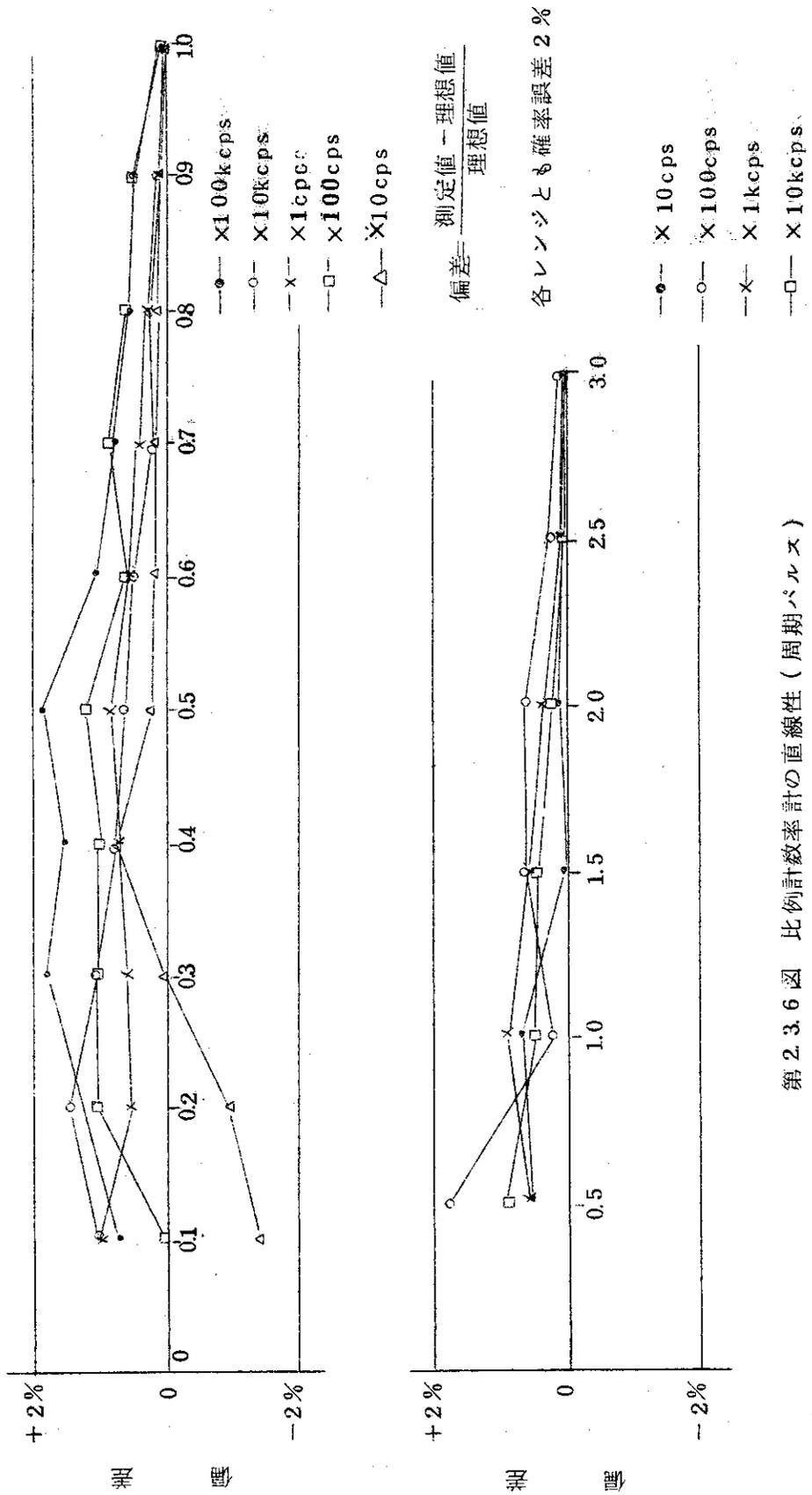
同機組付-JAL 12 RG 174 U

日本原子力研究所 エレクトロニクス課	
機名	START-UP 針兼時計
製作	RE
名	モジュール配線図
数量	1/5
金額	44,827
年月	44.8.28
場所	電子部
担当者	RB 7005

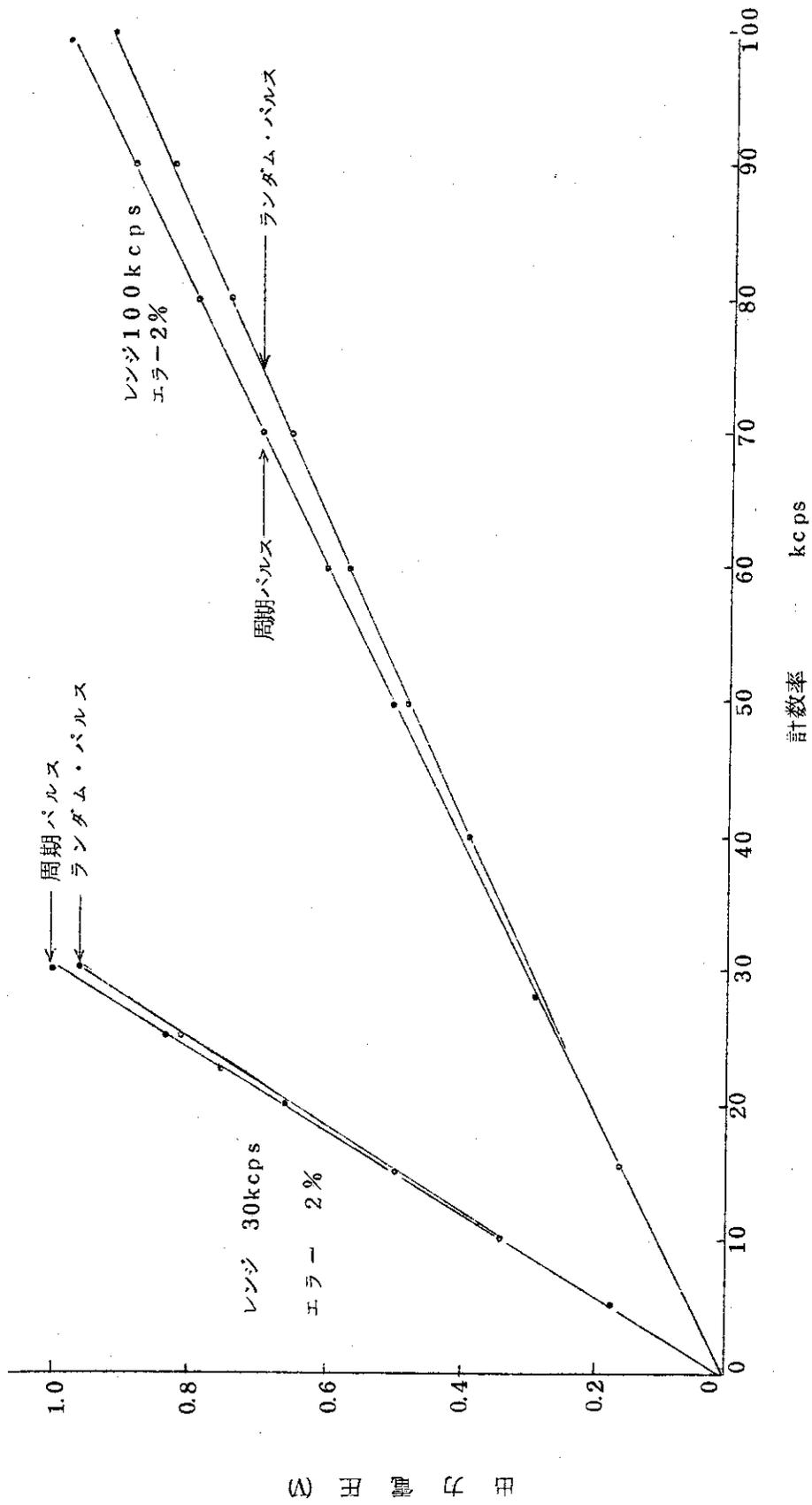
第 2.3.4 図 比例計数率計モジュール内配線図



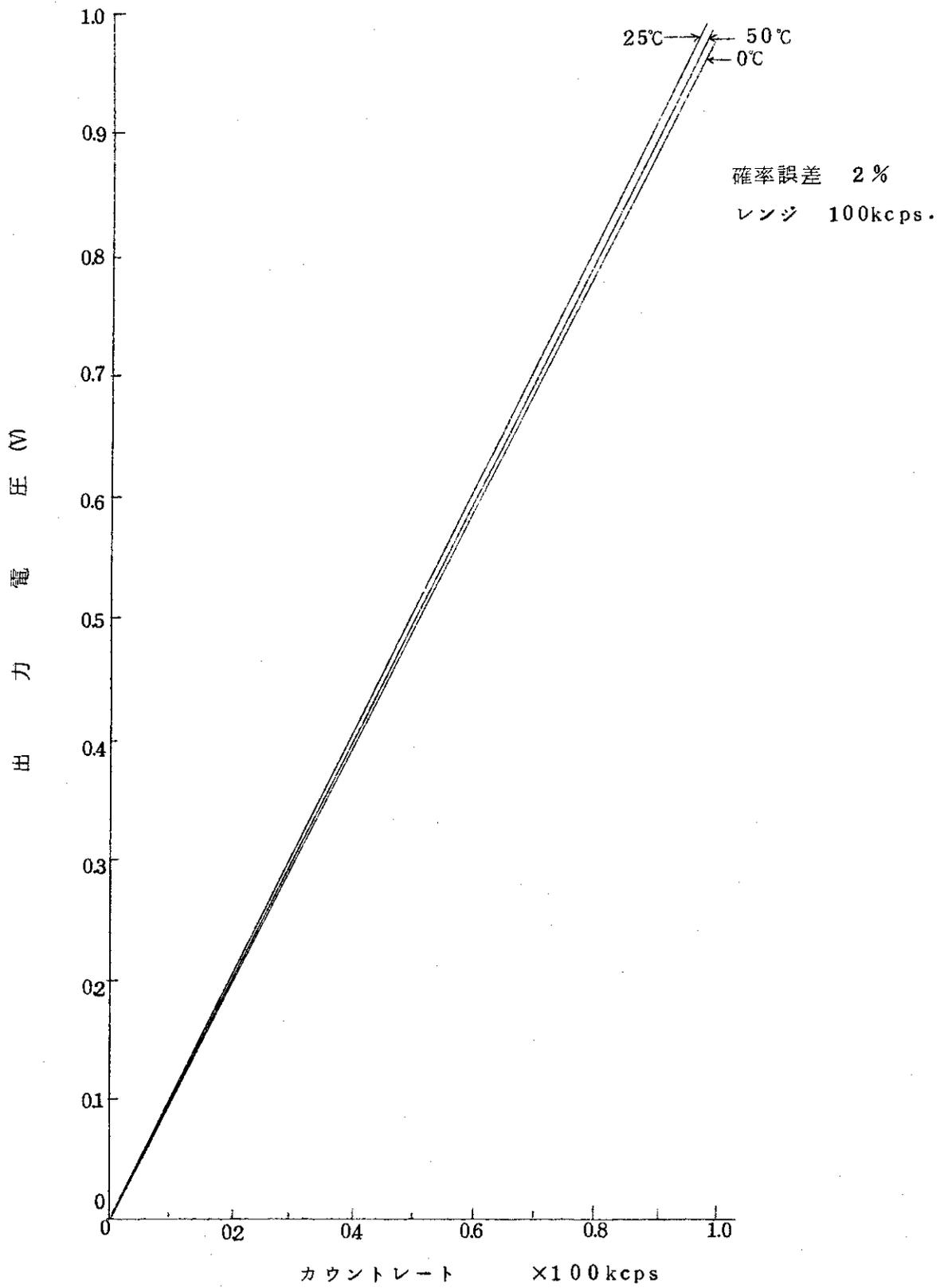
第 2.3.5 図 比例計数率計の入出力特性
(JRR-4 START-UP B)



第 2.3.6 図 比例計数率計の直線性 (周期パルス)

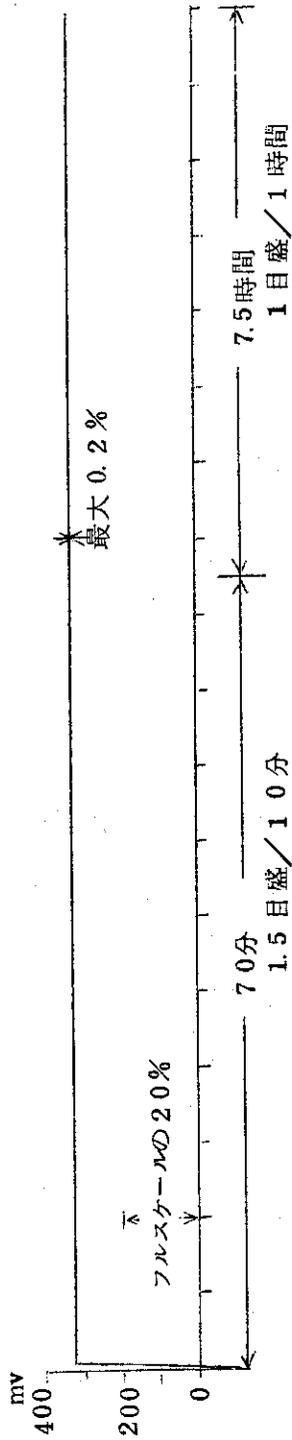


第 2.3.7 図 周期パルスとランダム・パルスに対する出力電圧



第2.3.8図 計数率計の温度特性
(JRR-4 START-UP B)

レンジ：300cps
信号：100cpsパルス
確率誤差：2%
温度：室温

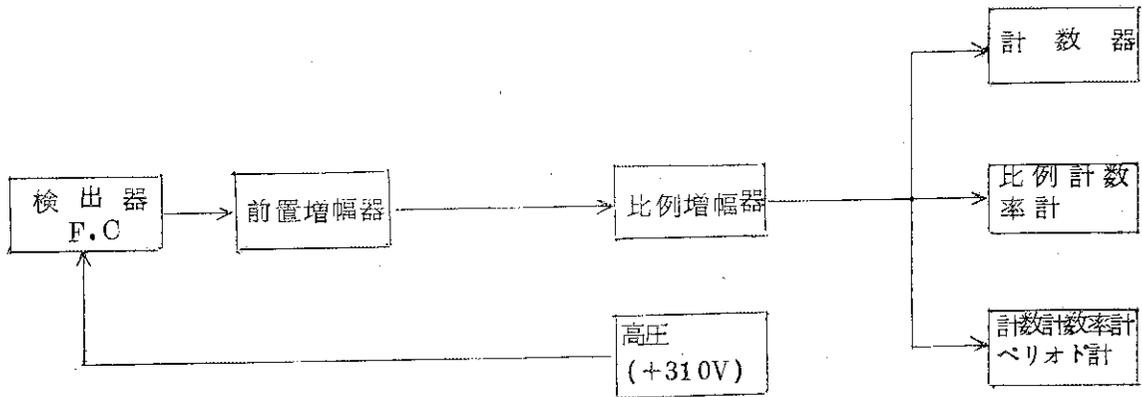


第2.3.9図 比例計数率計の時間安定度

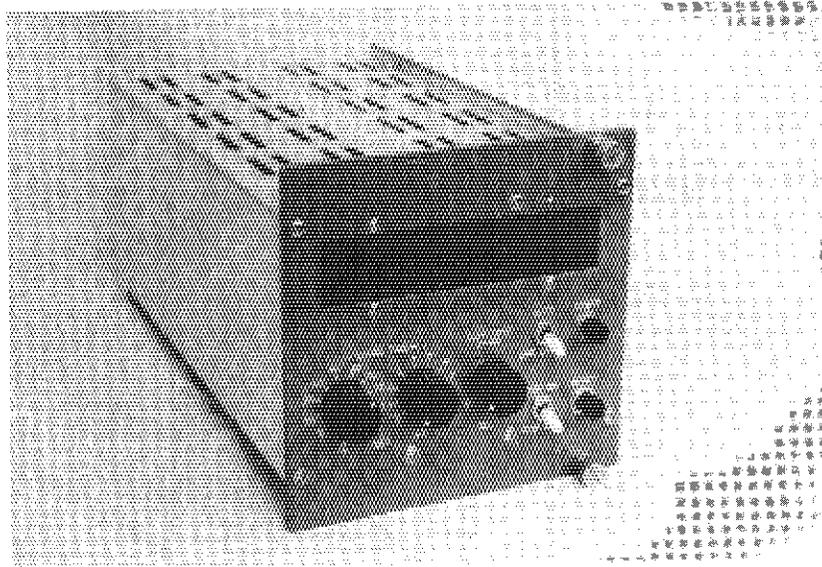
2.4 スケーラ

2.4.1 概要

計数器は第2.4.1図のように起動系の一部を構成し、特に計数率の低い起動前および起動直後の状態をデジタル的に監視するのに用いられる。起動後、出力が或る程度高くなって来ると比例計数率計や対数計数率計で測定することができるようになるが、起動前後の非常に低出力領域ではアナログ的測定が不安定であるためデジタル的な測定も並行して行なわれることになる。



第2.4.1図 起動系（パルス系）の構成



第2.4.2図 スケアラ・ユニットの外観

計数器の外観は第2.4.2図のようで、4幅のモジュール(5"型)に納められている。パネル面は、正面上部に表示部があり、ニキ管を6ヶ並べ、10進6桁を表示している。パネル面の左側の中ほどには COUNT TIME スイッチが2ヶ並んでおり、2ヶのスイッチの組み合わせにより1秒から99秒までの測定時間を設定できる。この設定時間のクロックとしては電源周波数(50HZ)を用いている。中央部の中段にあるツマミは測定結果の表示時間を設定するバリオームで、約1秒から40秒までの間を連続的に選ぶことができる。右側部のスナップ・スイッチは上が測定モードの選択スイッチで、上側に倒すとAUTOで、測定と表示を繰返しながら連続的に測定が行なわれる。また下側に倒すとONE CYCLE で測定時間として設定された時間だけ1回の測定を行ない、以後表示を続けることになる。下のスイッチは表示管をオン・オフさせるもので、運転中等表示を必要としないときは表示を切るスイッチである。最右側の押ボタン・スイッチは上側が測定のスタート・スイッチで、下側はスケアラのリセット・スイッチである。さらにCOUNT TIME スイッチの下側のネオンランプは、主スケアラの入力ゲートの動作状態を示すもので、測定中はゲート・オープンとなり点燈し、表示中はゲート・クローズであるため消えている。

計数器の主入力信号はリヤパネルに設けられた42Pの基本コネクタの5番端子(同軸型)から入れており、この信号はさらにコネクタ・ボックス内でパルス増幅器ユニットにつながっており、振幅弁別されたロジック・パルスが送られて来る。計数器の測定値は、BCD(binary coded decimal)出力として10進6桁分(4×6=24本)を42P基本コネクタに出している。コネクタに出ている信号としてはその外にスケアラが動作中の信号と、スタートを外部からスタートさせる信号が入れられるようになっている。これらのデジタル出力は現在のところ用いてはいないため外部に対する接続は行なわれていないが将来デジタル・データを利用する場合に用いることができるようになっている。

中性子計装が一般にアナログ回路を主体として構成しているのに対し、この計数器は大半がデジタル回路から成っており、他のユニットと比べ構成素子が大きく異なっている。構成素子はデジタルICが主体で、三菱電機のM5300シリーズのTTLを用いている。IC用電源は+5Vで、約300mAを要するので、共通電源の+12Vからとるのは負担が大きすぎるので+24Vと+12Vの両電源からとるようにしている。さらに表示用のニキ管用電源として+250Vが必要であり、これはAC100Vからとって内部で作っている。

2.4.2 仕様

計数器の主要性能は次のようになっている。

計数容量; 10進6桁, 1~999999カウント

表示; ニキ管, 6桁

計数速度; 最大 4MCPS, デューティ・サイクル50%

入力パルス; +2V~+6V, 無効レベル+1V~-1V, パルス幅; 最小100μsec

計数出力; +4V, 無効レベル: +1~-1V, BCD 6桁

プリセット; 1~99秒 測定時間をスイッチで選定, 精度は電源周波数依存

表示時間；約1～40秒

測定モード；連続サイクルまたは単一サイクル

始 動；マニュアルまたはリモート信号による。

リセ ッ ト；連続サイクルのときは自動，またはマニュアル

所 要 電 源；+24V, +12V, -12V, AC100V

ユニット寸法；5インチ型4幅

キ ー 番 号；14

2.4.3 構成と動作

回路構成の概要を第2.4.3図のブロック図に示す。これらの回路は2枚のPC板に分かれて収納されており，その外，電源用のPC板1枚があり，合計3枚のPC板から成っている。第2.1.3図に示す内容の内，メイン・スケーラ関係の OUTPUT BUFFER, SCALER, DRIVERの3部分がPC1に，残りの大半の制御回路はPC2に納められている。

ブロック図から動作の概要を説明すると，入力パルスはJ I - ⑤から入り，BUFFERやSHAPERを通り IUPUT GATEからSCALERをトリガする。SCALERは10進6桁の容量を持っており，4 MCPSの計数速度を持っている。そして計数結果はDRIVERからINDICATORをドライブし，ニキソ管を点燈させる。またSCALERからOUTPUT BUFFERを通してBCDのデータ出力を出している。

測定時間を決める回路はプリセット・スケーラ部で，その時間信号として電源から50HZパルスを取り出し，CLOCK SHAPER で整形し $1/5 \times 1/10$ に分周し，S"10" SHAPERで1秒周期のパルスを作り CLOCK GATEからCLOCK SCALERをトリガしている。常時はCLOCK GATEが閉じているが，EXT START信号が入るかSTART押ボタン・スイッチを押すことにより ONE CYCLE FFがセットされ，その結果 GATE FFが続いてセットされ，RESET UVから SCALERおよびCLOCK SCALERをリセットし，同時にCONT FFをセットするとINPUT GATEおよびCLOCK GATEが開き，両スケーラはカウントを始める。そしてCLOCK SCALERの値がSELECTORで設定された所定の値に達するとCOUNT FFをリセットし，計数を止める。そして計数された値を INDICATORに表示することになる。

サイクル・モードがCONT（連続）のときは，計数動作が終ると，そのときの信号でDISPLAY UVが動作し，1～40秒後にUVが復帰し，そのパルスで再び GATE FFをセットして再び計数を始めることになり，連続的に計数と表示の動作が繰返される。

CONT FFの状態は，その一部がBUSY OUTとしてデータ出力と共にリセ・パネルの基本コネクタに出ている。

次に測定サイクルにおけるクロック・パルスのタイミング関係について説明する。タイミングは第2.4.4図のようでクロック・パルスは電源からとり，50HZを $1/50$ に分周し，1秒単位のクロックを作っており，それはさらに"8"の位相と，"10"の位相の2つの異なる位相のクロック・パルスとして出ている。"8"の位相はリセットに用い，"10"はトリガに用

いている。動作関係のタイミングはONE CYCLE モードでは外部から加えられる START パルスまたは START スイッチを押すことにより始まり、そのパルスで ONE CYCLE FF をセットする。そしてその直後に来る " 8 " パルスを GATE FF に送りそれをセットする。この時点で RESET UV が動作し SCALER をオール 0 に、CLOCK SCALER を 99 にリセットする。次に " 8 " のパルスから 0.2 秒後に " 10 " のパルスが生じ、その位相で CONT FF をセットする。CONT FF がセットされることにより ONE CYCLE FF と、GATE FF がリセットされ、INPUT GATE と CLOCK GATE の両者が開かれ、両スケータは計数を始める。

CLOCK SCALER はリセットで 99 にリセットされ、その直後に来る第 1 発目のトリガ・パルスによって 00 となる。そのため SELECTOR は 10 ラインのデジタル値をそのまま選択して取り出し、 10^0 と 10^1 の両数値の出力の AND をとればよくなっている。第 2.4.4 図ではプリセットを " 3 " に設定した場合のタイミングについて示しており、カウンド " 3 " になると各 SELECTOR の出力は \oplus となりトリガ・パルス (1 μ sec) が復帰すると 3 者が \oplus となって AND 出力が得られ、そのパルスで CONT CYCLE モードのときはこれで 1 回の動作が終り、次のスタート・パルスが来るまでディスプレイのまゝ休止することになる。

AUTO モードのときは DISPLAY UV が復帰すると、その直後の " 8 " パルスで GATE FF が動作し測定を続けることになるが、そのタイミングを第 2.4.4 図の後半に示してある。DISPLAY UV が復帰するとその出力は \oplus になり、モード・スイッチを通り AND ゲートを \oplus にしてゲートを開く。そして、その直後の " 8 " パルスによって GATE FF をセットすることになる。この動作以降のタイミングは ONE CYCLE の場合と同一になり、各スケータを 99 にリセットし、第 1 発のトリガ・パルスで 00 にトリガしてカウントを始める。CONT モードの場合はカウント動作とディスプレイ動作を交互に連続的に繰返すことになる。

タイミングの説明から分るようにゲートの開閉はクロック・パルスに同期して正確に行なわれているが、電源周波数が変わった場合は当然その影響を受けることになる。また位相上 1 μ sec の誤差が入っているか、これは無視できる値である。

回路の詳細については第 2.4.5 図、第 2.4.6 図、および第 2.4.7 図の各 PC 板回路図に示されている。第 2.4.5 図は SCALER を中心に DATA OUTPUT BUFFER と、INDICATOR DRIVER から成っている。SCALER は M5373P を 2 ケ用いて 10 進 1 桁の BCD を構成しており全部で M5373P を 12 ケ用いている。DATA OUTPUT BUFFER はトランジスタをエミッタ・ホロワとして用いて構成している。INDICATOR DRIVER は、 $C\mu L960$ を用いており各桁 1 ケづつで、10 ライン出力を出し、ニキン管を直接ドライブしている。IC 電源は M5373P は +5V を使い、 $C\mu L960$ は +5V からシリコン・ダイオード 2 ケでドロップさせ約 +4V としている。

第 2.4.6 図の PC 板には制御回路を主体にまとめてある。IC は主に M5300 シリーズ (TTL) を用いている。IC1 の上半分と IC2,3 はクロック・パルスのディバイダでこの部分と IC4 で 1sec の " 8 " と " 10 " のクロックが作られる。CLOCK GATE は IC4 のピン 4 ~ 6 で、CLOCK SCALER は IC5, 6 で構成され、IC11, 12 の DECODER で 10 ラインに直し、SELECT SW に送っている。

IC7は、スタートとリセットのシェーパー、IC8の上半分は、ONE CYCLE FFで下半分は、DISPLAY UVの一部である。IC9は、GATE FFとそのセット側入力のANDゲートである。IC10は上半分が"8" SHAPER、で1 μ secのパルスを作り、下半分はCONT FFのセット側入力のANDゲートと、EXT STARTのインバータとして使っている。IC13は入力パルスのSHAPERと、INPUT GATEに用いられ、IC14の上半分はCONT FF、下半分は、SELECTORのインバータとして用いられている。最後のIC15は、ピン1~4の部分はプリセット回路の3入力NANDゲートとなっており、上側はRESET UVとなっている。

各トランジスタの用途は、 Q_1 が入力パルスの入力バッファ、 Q_2 がBUSY OUTの出力バッファ、 Q_3 はEXT STARTの入力バッファである。 Q_4 はDISPLAY UVの一部となっていて、1~40秒と云う長い時定数を得るためにFETが用いられており、ここでは時定数回路を構成している。

第2.4.7図は電源回路用のPC板で、この部分で+5V、+250V、等を作り、INDICATORの一部(抵抗)もこの部分に含まれている。+5Vは、ツェナ・ダイオード(DI, RD6A)でベース電圧を作り、リヤ・パネルに取付けられた制御用トランジスタ(Q_1 , 2SD71)を制御する簡単なものである。このときの電源はトランスからではなく、+12Vと+24Vの両者からとるようにしており、+24Vからは240mAとり、残りを+12Vからとっている。トランスの7V巻線はクロック・パルスを作るためのものである。

主要回路は上記の3枚のPC板に納められ、第2.4.8図に示すような配線が行なわれ、モジュール内にまとめられている。図面の中ほどに3枚のPC板が示しており、左側はフロント・パネル関係の配線、右側はリヤパネル関係の配線となっている。このモジュールに出入りする信号は電源を含めて全部リヤ・パネル下部の基本コネクタ(JI)を通っている。なおJIのガイドによるキー番号は14を用いており誤挿入防止を行なっている。

2.3.4 特性その他

最大計数速度；4MHz以上

ダブルパルス分解能；0.25 μ sec

表示時間範囲；0.5~40sec 連続可変

表示時間の温度特性；0.28sec/ $^{\circ}$ C 第2.4.9図

最小入力パルス波高；+1.5V (パルス幅0.5 μ s ライズ15 μ sec)

最小入力パルス幅；30nsec (+5V, ライズ 15nsec)

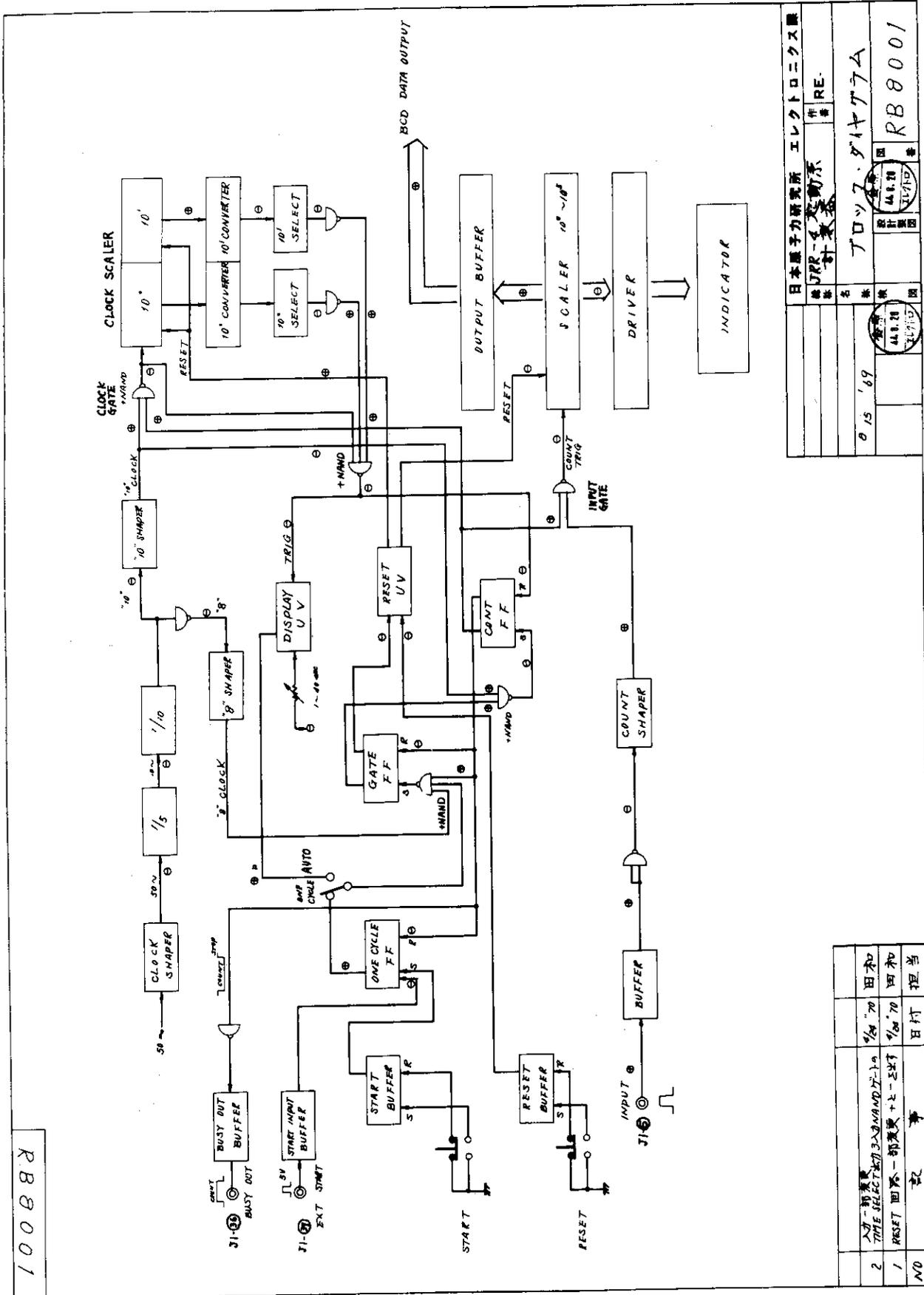
計数動作の温度特性；第2.4.1表

第 2.4.1 表 計数動作の温度特性 (カウント・ロスで示す)

入力周波数 温度	500KHZ	1 MHz	2 MHz	3 MHz	4 MHz	5 MHz	6 MHz
0°C	0	0	0	0	0	0	-5
20°C	0	0	0	0	0	0	-2000
50°C	0	0	0	0	0	-50	

(入力条件 +5V, ライズ 8nsec, デューティサイクル 50%)

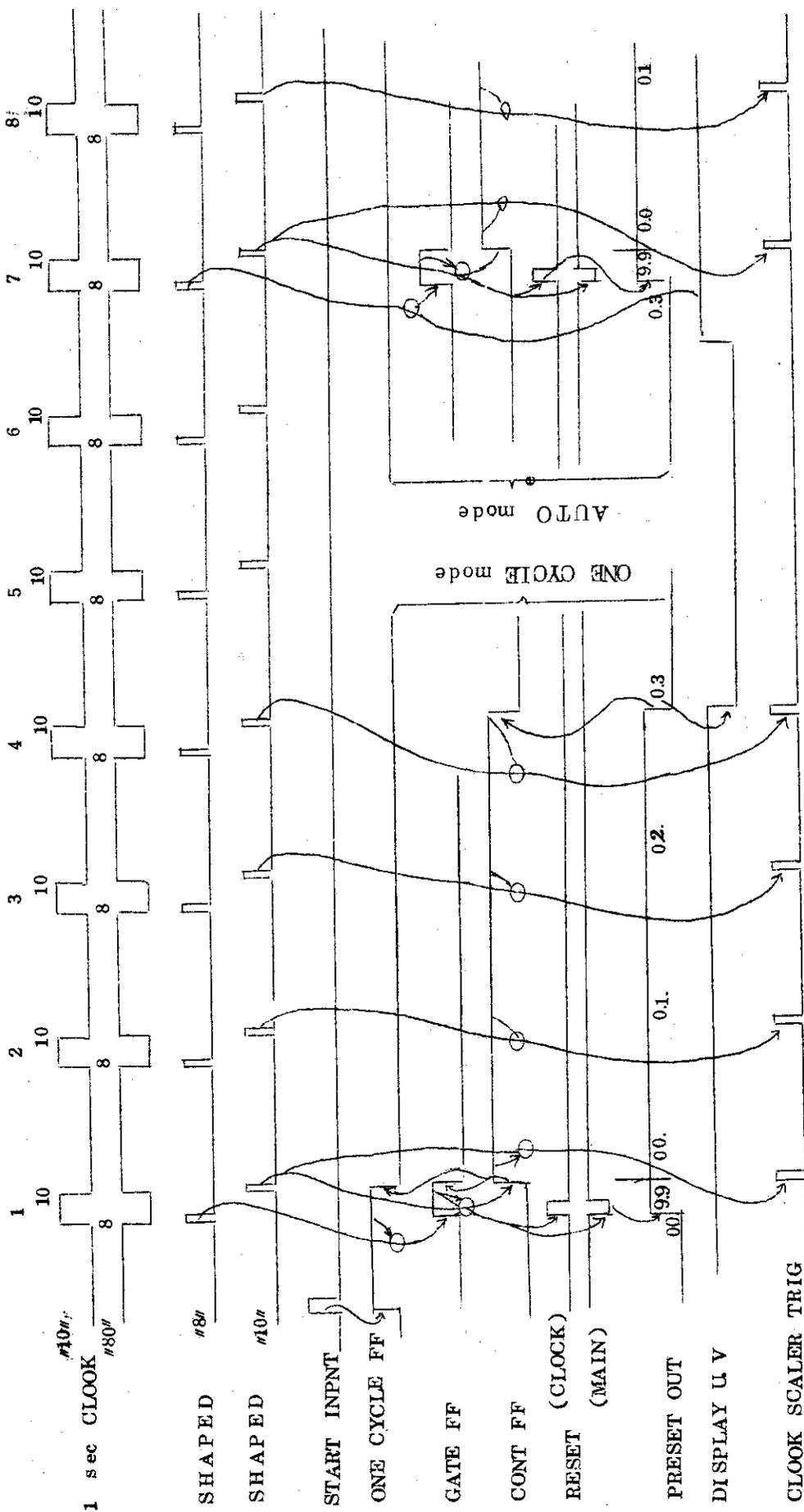
(金原節朗, 田和文男)



日本電子力研究所 エレクトロニクス課	
機番	JRR-4 計測系
名	アログ・データアラム
機	RB8001
図	44.78 計測系
製	44.78 計測系
日	15 '69

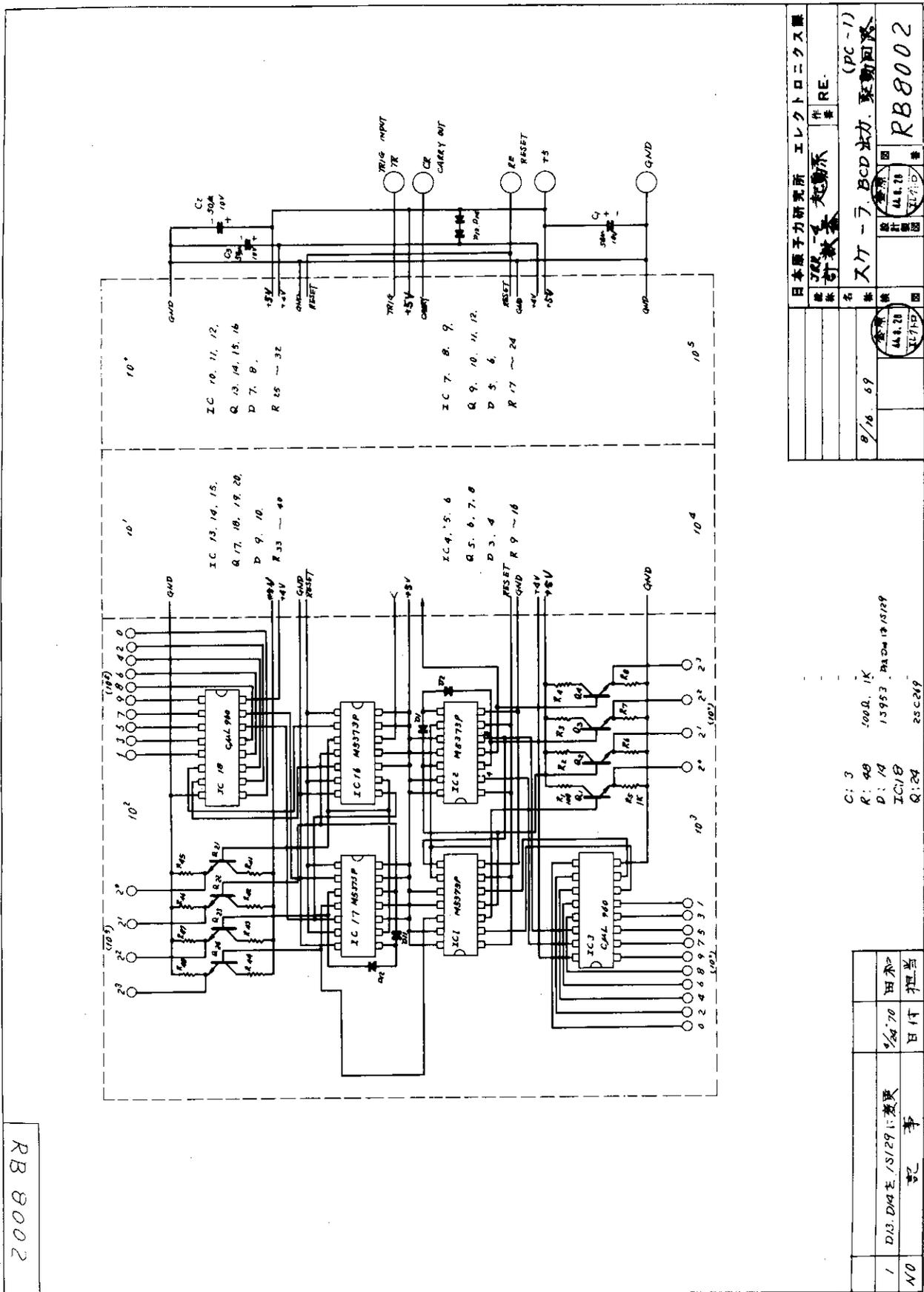
1	入力-部選定	田和
2	TIME SELECT 3-AND NAND 付-1-9	田和
1	RESET 回路-部選定 + 2-5-SET	田和
N/D	記	田和

第 2.4.3 図 計数器のブロック図

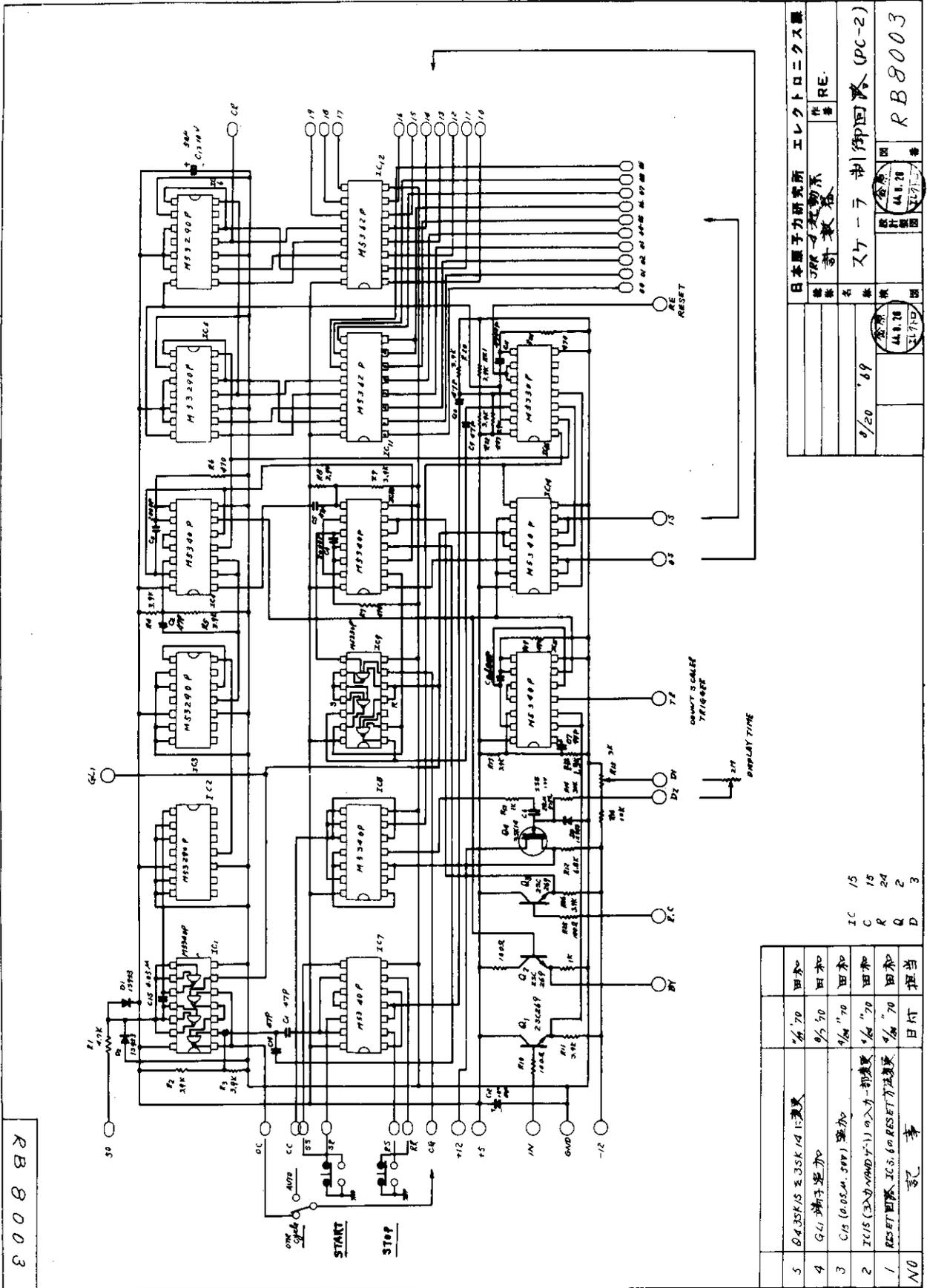


t →

第2.4.4図 プリセット動作のタイミング



第 2.4.5 図 スケッチ部の回路図



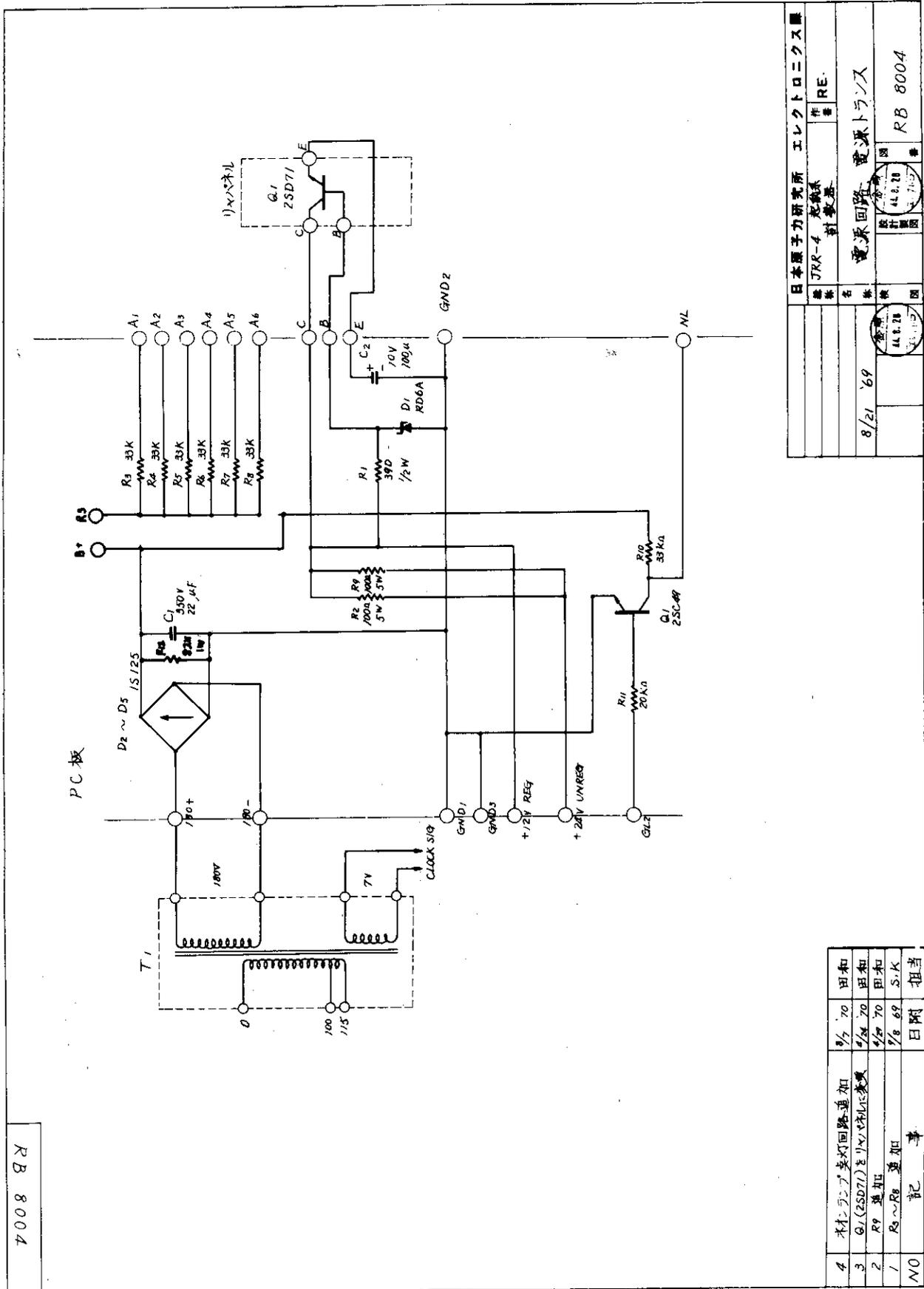
RB 8003

5	0.435KIS ± 35K 14 1 濃度	1/4" 70	田和
4	GL1 端子追加	9/5" 70	田和
3	C15 (0.05M. 999) 追加	9/6" 70	田和
2	IC15 (320-040D Y-1) の入力-部濃度	9/6" 70	田和
1	RESET回路 IC5.6の RESET 力濃度	9/6" 70	田和
N0	記号	日付	担当

IC 15
C 15
R 24
Q 2
D 3

日本電子力研究所 エレクトロニクス課	
製作番号	RE
名称	制御回路 (PC-2)
図番	RB8003
作成日	44.11.20
検出日	44.11.20
検査日	44.11.20
承認日	44.11.20
承認者	44.11.20
検出者	44.11.20
検査者	44.11.20
承認者	44.11.20

第 2.4.6 図 制御回路の回路図

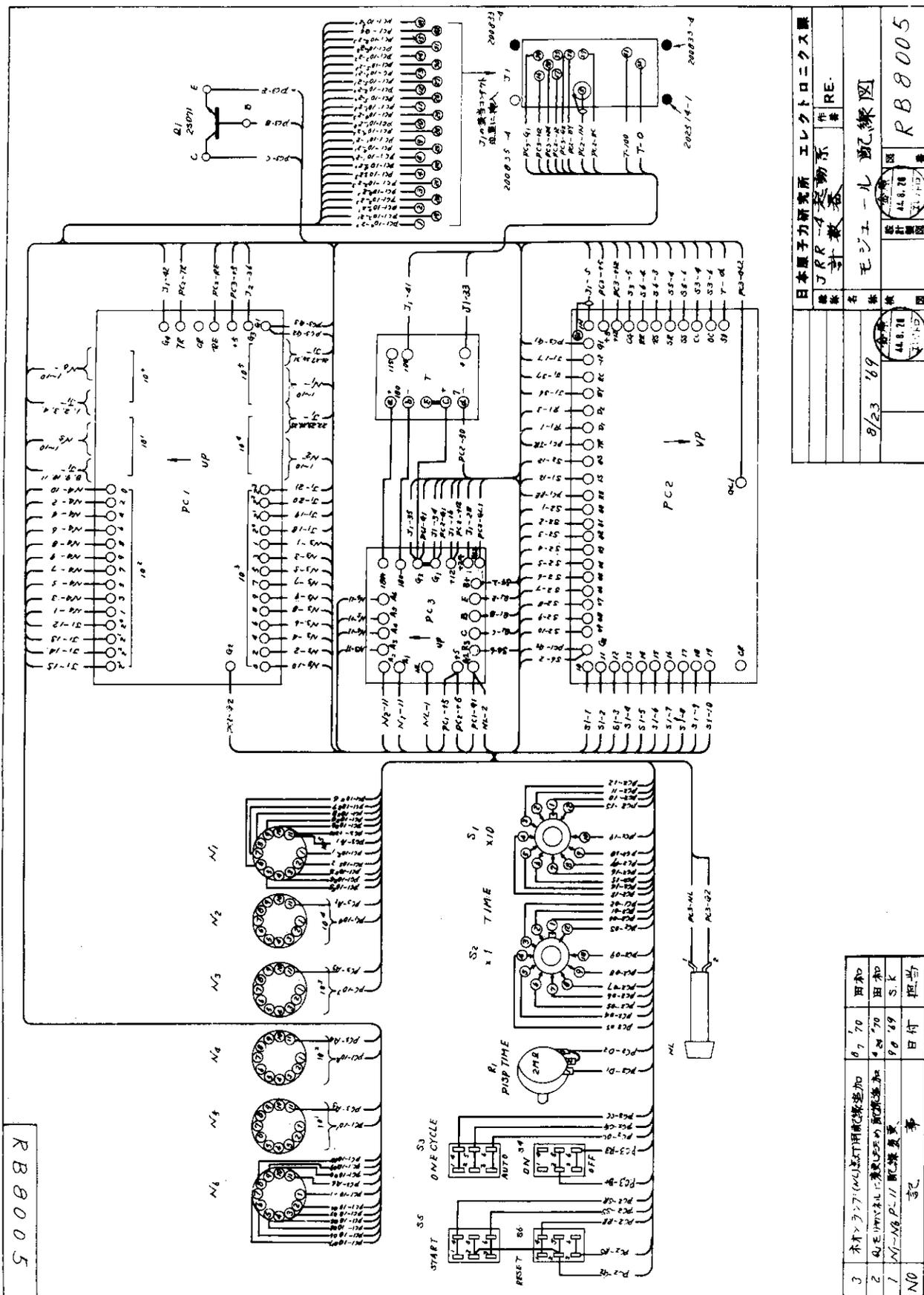


RB 8004

日本電子力研究所 エレクトロニクス課	
JRR-4	製作
基板	基板
名称	電源回路
図番	RB 8004
8/21 '69	44.8.20
44.8.20	44.8.20

第 2.4.7 図 電源部の回路図

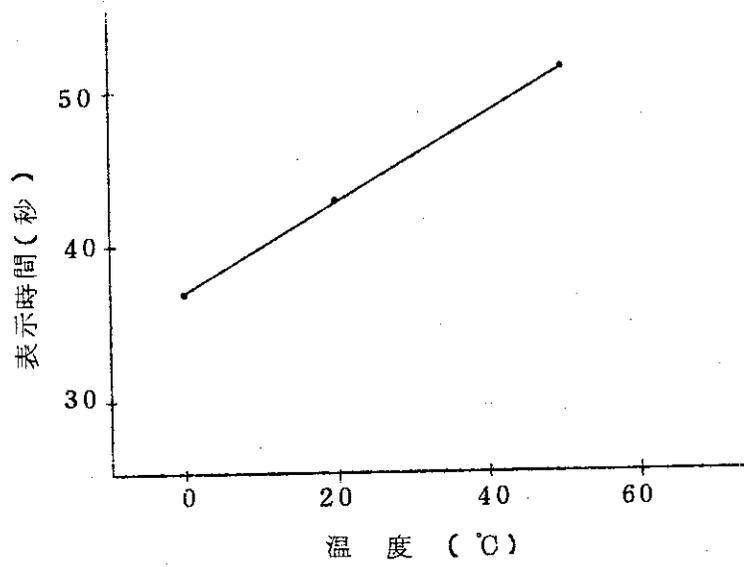
4	木村 加	9/2	田和
3	Q1 (2SD71) を 1/2W 抵抗に交換	4/24	田和
2	R9 追加	4/20	田和
1	R3~R8 追加	9/8	S.K
N0	記事	日附	担当



日本原子力研究所 エレクトロニクス課	
機	JRR-1 実験室
作	作 RE.
名	モジュール 配線図
図	44.8.28
番	44.8.28
日	8/23 '69
号	RB8005

第 2.4.8 図 スケラーのワイヤリング図

3	木下マサトシ(60) 打用配線図追加	07.70	田和
2	丸尾隆平(61) 打用配線図追加	4.29.70	田和
1	N1-N4, PC-11 配線図	9.0.69	S.K.
N0	訂正	日付	担当



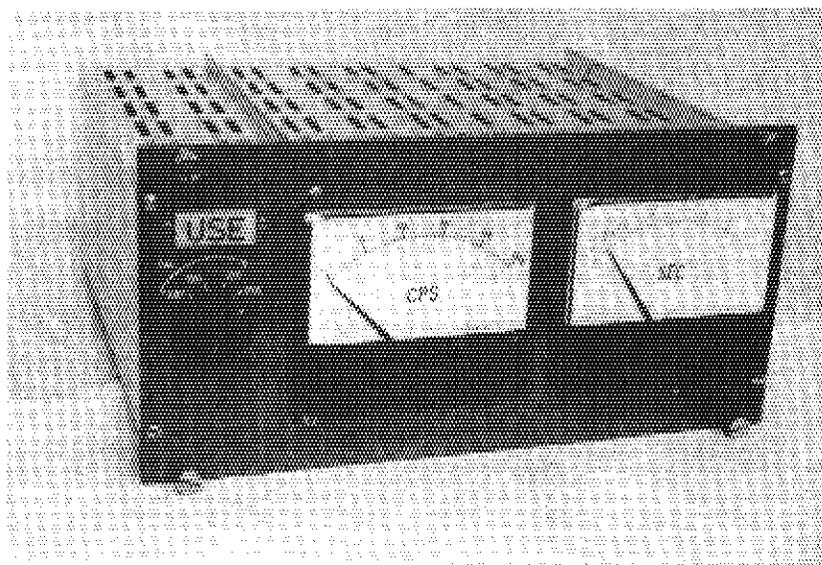
第 2.4.9 図 DISPLAY UV の温度特性

2.5 対数計数率計・ペリオド計

2.5.1 概 要

対数計数率計，ペリオド計は軽水型原子炉の起動初期および低出力領域の計測を主として行なうもので，起動系またはパルス系と呼ばれるチャンネルの一部を構成し，パルスの検出された出力の対数表示と出力上昇ペリオドの表示を行う。計測できる炉出力範囲は原子炉の停止状態から4ないし5桁上までで，補償型電離箱（UIC）のような直流出力型検出器での測定が困難な低出力領域をカバーする。本ユニットはパルス増幅器の出力パルスを受け入れて，その計数率の対数に比例した出力電圧を生ずる対数計数率計回路と対数出力電圧の微分値に比例した出力電圧を生ずるペリオド計回路から構成され，各回路の出力電圧は前面パネルにあるメータに表示されるとともにレコーダ出力として取り出される。出力としてはこの他に3CPS以上でONとなるリレー接点出力が取り出されており，起動条件をチェックする低レベルインターロック回路がある。

このユニットの外観を第2.5.1図に示す。モジュール外形は8幅であり，フロント・パネルにはファンクション・スイッチと動作表示ランプが各1個，対数計数率とペリオドを表示するメータが各1個取り付けられている。ファンクション・スイッチはUSE，10K，100，EXT，の4点に切換えられる。USEでは動作表示ランプが点燈し，信号入力端子，対数計数率計回路，ペリオド計回路が使用可能な状態に接続される。USE以外は校正モードであり，対数計数率計回路とペリオド計回路の接続は切り離される。10K，100では入力端子に内部発振回路の出力パルスが加わり，メータに指示された計数率から対数計数率計回路の動作状態を点検できる。



第2.5.1図 対数計数率 ペリオド計の外観

EXTでは対数計数率計回路とペリオド計回路の入力端子はアダプタに設けられた外部校正信号用入力端子（LOG CAL，PERIOD CAL）に接続され，外部から校正信号を加えて両回路の動作状態の点検，校正ができる。

このユニットの出力はコネクタ・ボックスに設けられたキャンノン・コネクタから取り出され，直流

電源は同一ピンに収められた電源モジュールから供給される。

2.5.2 仕様

対数計数率計

入 力 ; ロジック・パルス, +5 V, パルス幅 0.5 μ sec
 入力インピーダンス ; 1 K Ω
 入力パルス・レート ; 最高 100 KCPS
 ダブル・パルス分解能 ; 1 μ sec
 精 度 ; 0.2 decades
 長時間安定度 ; 0.05 decades / 24hr
 温度安定度 ; 0.02 decades / $^{\circ}$ C
 指 示 計 ; 100 \times 88mm 槍型指針 2.5 級 単位 CPS
 出 力 (1) ; フルスケール出力電圧 +1 V, インピーダンス 100 Ω
 出 力 (2) ; 記録計出力, フルスケール +10 mV, インピーダンス 100 Ω
 内 部 校 正 ; 100 CPS (電源依存), 10 KCPS (発振器), 2点
 低レベル・インターロック出力 ; 3 CPS 以上で ON となる A 接点 1 回路, 容量 AC 100 V, 1 A
 トリップ・レベル : 2~5 CPS の範囲に設定可能

ペリオド計

計 測 範 囲 ; -30 ~ 0 + 3 sec
 精 度 ; フルスケール (+3 sec) の 3% 以下
 長時間安定度 ; フルスケールの 0.5% / 24h
 温度安定度 ; フルスケールの 0.1% / $^{\circ}$ C (10 $^{\circ}$ C ~ 40 $^{\circ}$ C)
 指 示 計 ; 100 \times 88mm 槍型指針 2.5 級 指示範囲 -30 ~ 0 ~ +3 sec
 出 力 (1) ; フルスケール出力電圧 +1 V インピーダンス 100 Ω 以下
 出 力 (2) ; 記録計出力 -0.9 mV ~ 0 ~ +9 mV インピーダンス 約 100 Ω
 消 費 電 流 ; +24 V : 30 mA, +12 V : 44 mA, -12 V : 46 mA
 キ ー 番 号 ; 8 番

2.5.3 構成と動作

対数計数率・ペリオド計ユニットの構成を第 2.5.2 図にブロック図で示す。モジュール内には 2 枚のプリント・カードがあり、プリント・カード PC-1 には対数計数率計回路が、プリント・カード PC-2 にはペリオド計回路とトリップ回路がそれぞれ納められている。

フロント・パネルにあるファンクション・スイッチは動作表示ランプの点滅の他に対数計数率計回路あるいはペリオド計回路への入力信号を切換えている。USE の位置では線形パルス増幅器の出力パルスが対数計数率計回路の入力端子に接続され、また対数計数率計回路の出力端子とペリオド計回路の出力端子が接続されて対数計数率・ペリオド計を構成して使用目的とする機能を有する回路構成となる。USE 以外の 10K, 100, EXT は各回路を校正するためのモー

ドであって、対数計数率計回路の出力端子とベリオド計回路の入力端子の接続ははずされ、それぞれの回路に校正信号が加わる。10 Kでは内蔵の10 KCPS用パルサの出力パルスが、100では100 CPS用パルサの出力パルスが対数計数率計回路の入力端子に加わり、対数計数率計の100、10 KCPSの指示値のチェックに使われる。EXTでは対数計数率計回路へは外部発振器のパルスが接続され、ベリオド計回路へは外部ランプ発生回路の出力が接続されて、それぞれの回路を校正することができるようになっている。

対数計数率計回路部分では入力パルスはまず電圧リミッタに加えられ、入力パルスの振幅をある一定レベル以下に制限して、次段のデスクリミネータ回路へ過大入力パルスが加わらないように保護している。デスクリミネータはあらかじめ設定された電圧レベルを越えた入力パルスに対してのみ出力を生ずる回路であって、おもに入力パルスのうちから雑音パルスを除去している。また次段のバイナリ回路をトリガするトリガ・パルスの整形もかねている。バイナリ回路は対数化回路へ加わるパルスの整形回路であって、対数化回路に加わるパルスの振幅に凹凸があると対数計数率計の精度に大きく影響するので、ここにバイナリ回路を置いて振幅一定のパルスを得ている。対数化回路にはDeBolt型対数化回路を使用して入力パルスの計数率をその計数率の対数に比例した電流に変換し次段の直流増幅回路で規定された出力電圧レベルまでの増幅をおこなっている。

100 CPS用パルサと10 KCPS用パルサは対数計数率計の動作をチェックするための内部パルス発生回路であって、DeBolt型対数化回路では入力パルスが周期パルスである場合とランダム・パルスである場合とでは計数率が同一であっても出力電流値は前者の場合に後者の場合の約2倍となるので、発生パルスの計数率は100 CPS用パルサではAC電源を利用して50 CPS、10 KCPS用パルサでは5 KCPSとしてある。

プリント・カードPC-2には、ベリオド測定系統の微分回路、直流増幅回路と低レベル・インターロック信号を生ずるトリップ回路がある。微分回路は原子炉出力の上昇ベリオドに比例した電圧を生ずる回路であって、対数計数率計回路の出力電圧を時間微分するようになっている。次段の直流増幅回路はベリオドが3秒のとき、ベリオド計回路の出力電圧を+1 Vとするように増幅するためのものである。トリップ回路の入力には常時、対数計数率計回路の出力が加えられていて、炉出力が対数計数率計の出力で3 CPSを越えているという条件のもとに低レベル・インターロックを開くための信号はリレーのメーク接点出力として生ずるようになっている。

各プリント・カードの回路図は第2.5.3図対数計数率計回路図と第2.5.4図ベリオド計回路図に示されている。

信号の流れの順序に従って第2.5.3図から説明する。信号パルスは端子1に加えられ、D1、D2から成る振幅リミッタで+0.5 V以下に振幅をおさえられ、次段のICコンパレータで構成するデスクリミネータはデスクリ・レベルを+0.3 Vに設定してあり、0.3 V以上の入力パルスに対して出力を生ずる。この出力はエミッタ・ホロワQ1を通してバイナリQ2、Q3を低インピーダンスでトリガする。C4-R13、C5-R20は微分回路であって、エミッタ・ホロワQ1の出力パルスの立下りでバイナリをトリガする。バイナリQ2、Q3のコレクタにはパルス振幅が一定でパルス幅とパルス間隔がランダムな方形波が得られる。この方形波は相補形エミッタ・ホロワQ4、Q5を通してDeBolt型対数化回路に加えられる。対数化回路はD6、D7、

C8～C20, R23～R28から構成されていて、信号パルスの平均レートの対数に比例した電流がR29に流れ、1CPSから 10^5 CPSまでのパルス計数率を対数化できる。このコンデンサと抵抗で合成した対数化回路はC-RのL型回路を次々と積み重ねた形をなして、入力パルスの計数率が高くなるにしたがって、C8, 9-R23からC18, 19-R28へとパルス電流が順次に飽和していくようになっている。C20はR29に流れる出力電流の統計的ゆらぎを抑圧するための積分コンデンサである。対数化された電流はR29から直流増幅回路IC-2に加えられ、R30でゲイン調整されてフルスケールが+1Vとなるように増幅される。この直流増幅回路の出力は端子9, 11, 13からそれぞれ対数出力、メータ出力、記録計出力として取り出される。R33はIC-2のオフセット調整用の可変抵抗器である。

100CPS用パルサはライン電圧100Vをトランスで6.3Vに降圧し、半波整流したあとシュミット回路Q6, Q7にかけて方形波とし、C31で微分して50CPSパルスを得ている。また10KCPS用パルサはユニジャンリション・トランジスタQ8を用いた発振回路から5KCPSパルスを得ている。R32は発振周波数を調整する可変抵抗器である。

ペリオド計・トリップ回路を第2.5.4図に示す。対数計数率計回路の出力信号は端子1に入ってきて、IC-1で構成された微分回路で微分され、対数計数率計回路の出力電圧の時間微分に比例した電圧がピン6に得られる。この電圧はさらに次段の直流増幅回路でペリオド3秒が+1Vとなるように増幅される。微分回路は微分定数としてC2, R9を有しているが、入力信号の統計的ゆらぎと外来雑音によるメータのゆらぎを抑えるため積分時定数R4, R5, C1, C5等を加えて高域の周波数特性を落している。したがって微分回路の周波数特性は0, 1HZを中心として両側に減少している。直流増幅回路(IC-2)の出力は端子15, 18, 14, からペリオド出力、メータ出力、記録計出力として外部へとり出される。なお可変抵抗R7はIC-1の、R15はIC-2のオフセット調整用であり、R12はIC-2のゲイン調整用である。またR21は記録計出力を、R36はメータ出力を調整するためのものである。

このカードにある低レベル・インターロック回路はコンパレータIC-3, トランジスタQ1から構成されていて、信号パルスの計数率が3CPSを境として接点出力が出るようになっている。端子6に入ってくる対数計数率計出力がR25にあらかじめ設定されたレベルを越えるとコンパレータIC-3の出力電圧レベルが高くなってトランジスタQ1はオンになり、リレーRYIに駆動されてリレー接点は端子10, 11がオフ、11, 12がオンとなるように動く。この接点出力は起動条件インターロック装置に接続されていて、レートが3CPS以下では原子炉が起動できないようになっている。

第2.5.5図は対数計数率・ペリオド計のモジュール配線図である。S1, PL1, M1, M2, はそれぞれフロント・パネルに取付けられているファンクション・スイッチ、動作表示ランプ、対数計数率計用メータ、ペリオド計用メータである。PC-1, PC-2はプリント・カードであってPC-1はフロント・パネルに向って左側面、PC-2は右側面に取付けられている。T1, J1はそれぞれトランス、42ピン基本コネクタであり、リヤ・パネルに取付けられている。モジュール内の配線の電線はおよそ配線図に示すように配置されている。なおJ1のガイドで構成されるキー番号は8番となっている。

2.5.4 特 性

対数計数率・ペリオド計の仕様は2.4.2項に掲げたように対数計数率計部とペリオド計部に分けて規定している。

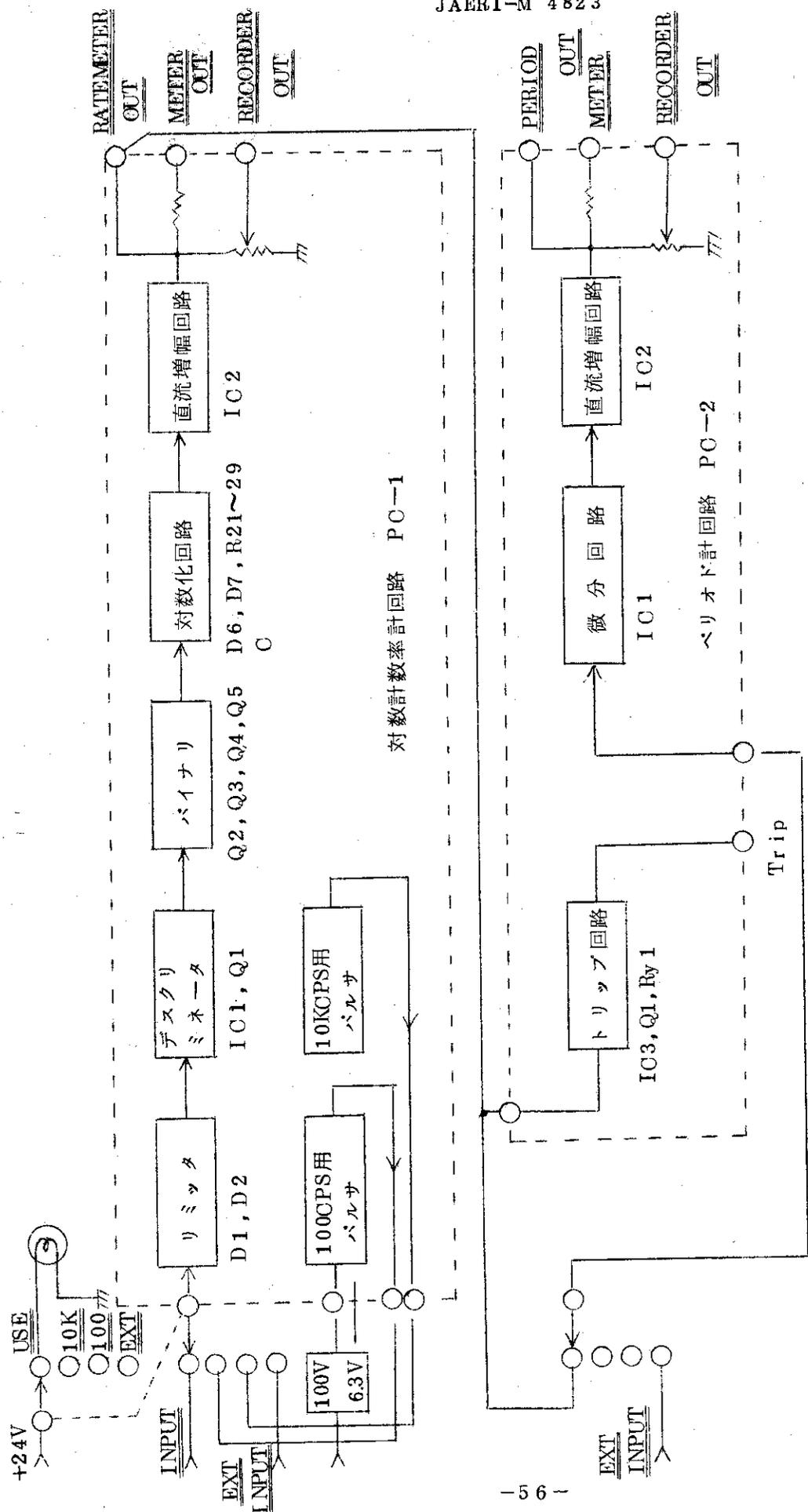
対数計数率計の特性としては、精度に直接関係ある直線性、温度特性、長時間安定度が重要である。直線性は第2.5.6図に示すように $4 \sim 10^5$ CPSの範囲でほとんど直線になっており、 10^5 CPSで0.05デカード、1 CPSで0.25デカードだけ直線からずれている。これら両端における直線からのずれは、De Bolt型対数化回路のようにCRを積み重ねた合成回路の特質であり、両端にさらに一段ずつCR回路を附加すれば改善されるものであるが低レート側においては約 10μ 下の大容量、低リークのコンデンサが必要となるので、省略した。

温度特性は第2.5.1図に示すように、見かけ上ゲインが正の温度係数を有しているような変動をする。 10^4 CPS附近での温度係数は $+0.0064$ デカード/ $^{\circ}\text{C}$ である。この温度上昇とともに変動の要因としては主に方形波パルス振幅の増加、ポンプ・ダイオードD6、D7の接合電圧の減少、直流増幅器IC-2のゲイン増加等が考えられる。

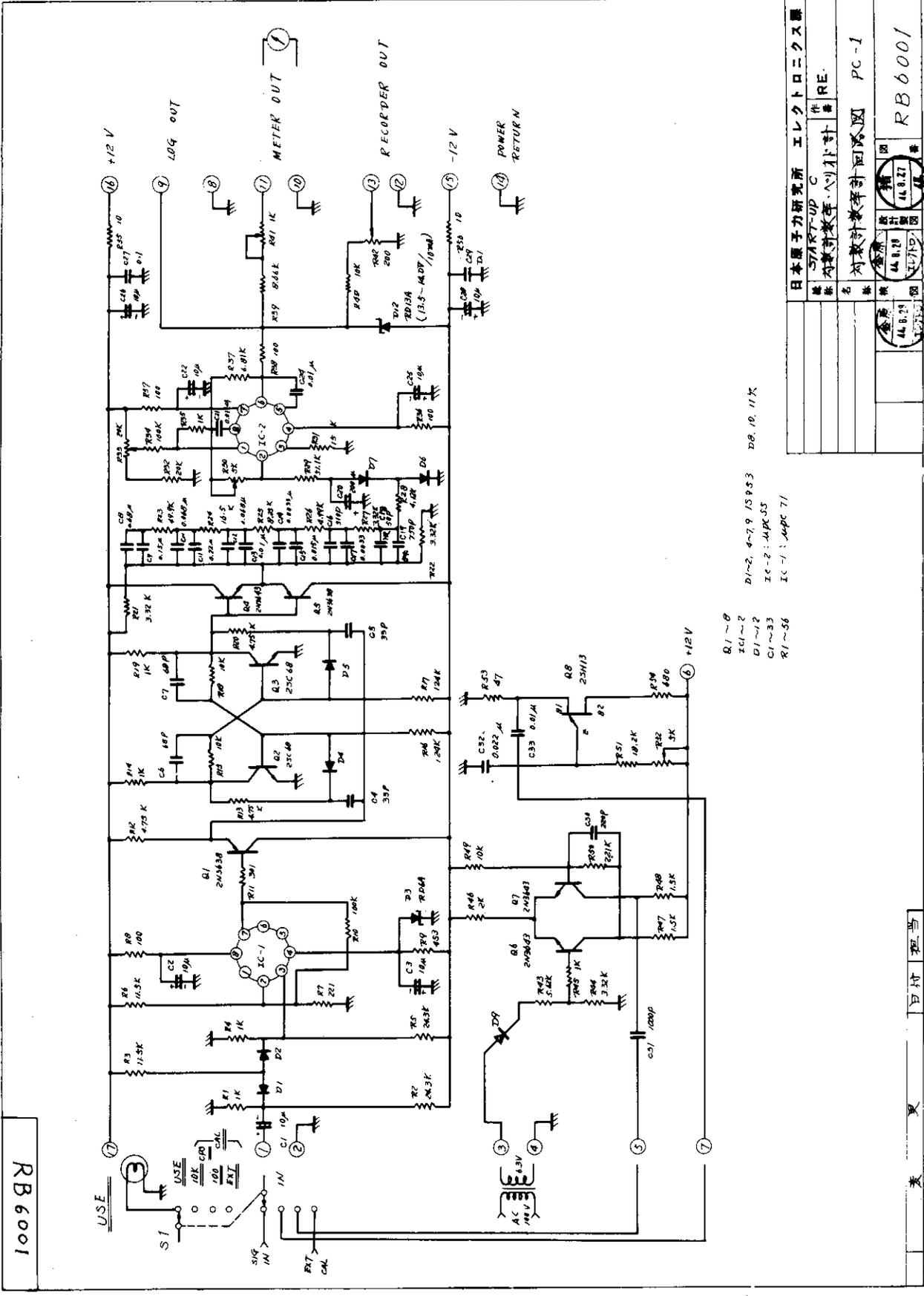
長時間安定度は、電源投入以後5分経過した時点から10時間のドリフトは0.015デカードであった。これら3つの要因を比較してみると対数計数率計の精度は測定範囲の両端を除いてはほとんど温度特性によってきまるとみてさしつかえない。

ここに使用したペリオド計回路はログN・ペリオド計に使った回路と同一であり、ただフルスケール電圧をログN・ペリオド計では4.5Vとしたのに対しここでは1Vにした点が異なるだけである。したがってペリオド計回路の特性についてはJAEERI-memo3753を参照されたい。

(猪俣新次)

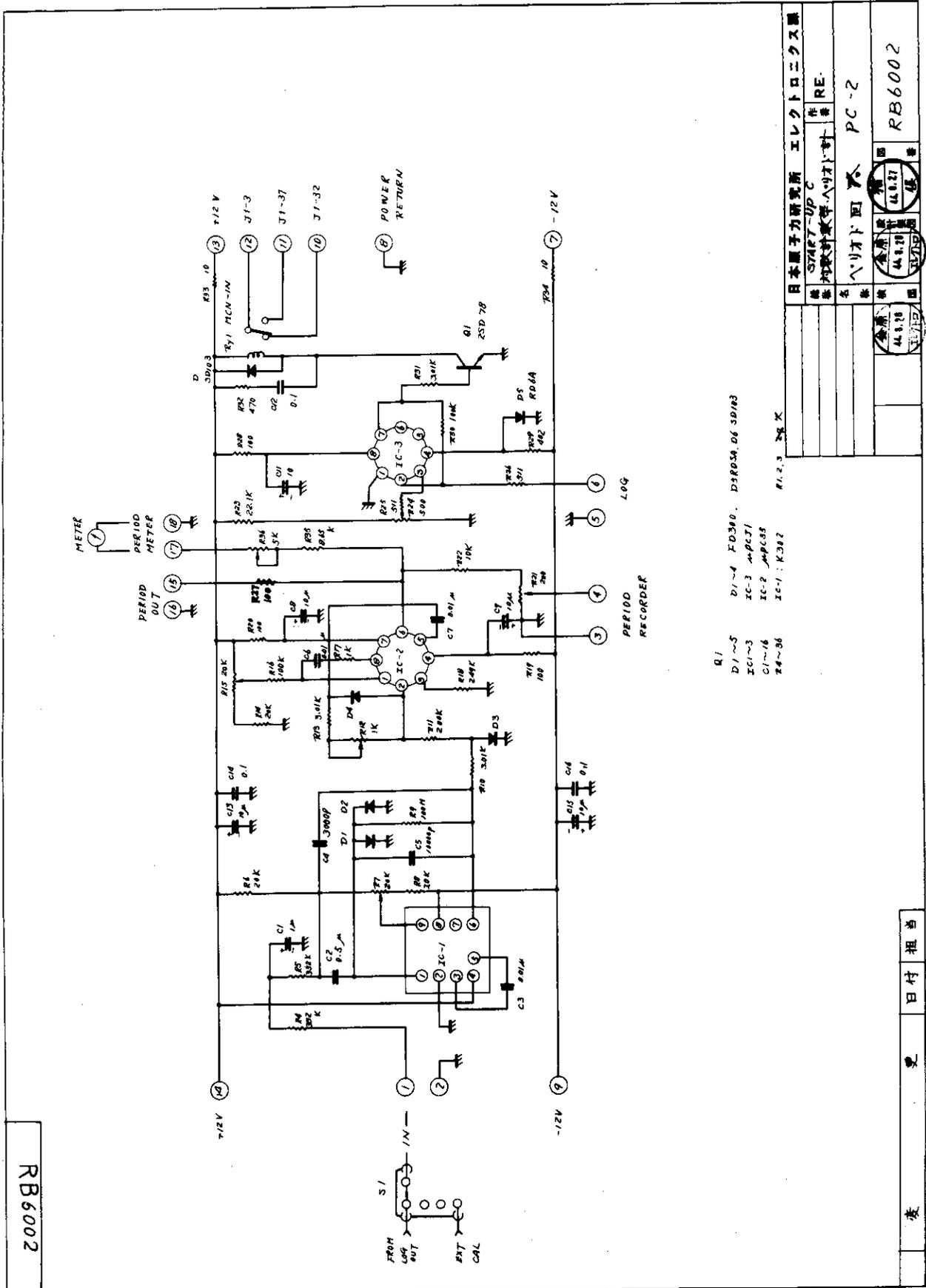


第 2.5.2 図 対数計数率計・ベリオド計のブロック図



日本電子力研究所 エレクトロニクス課	
機名	START-UP C 作 RE.
機番	対数計数器・ハリ計 番
機種	対数計数器計回路図 PC-1
製	44.8.23
検	44.8.27
修	44.8.27
図	11715
表	RB6001

第2.5.3図 対数計数器計回路 (PC-1)



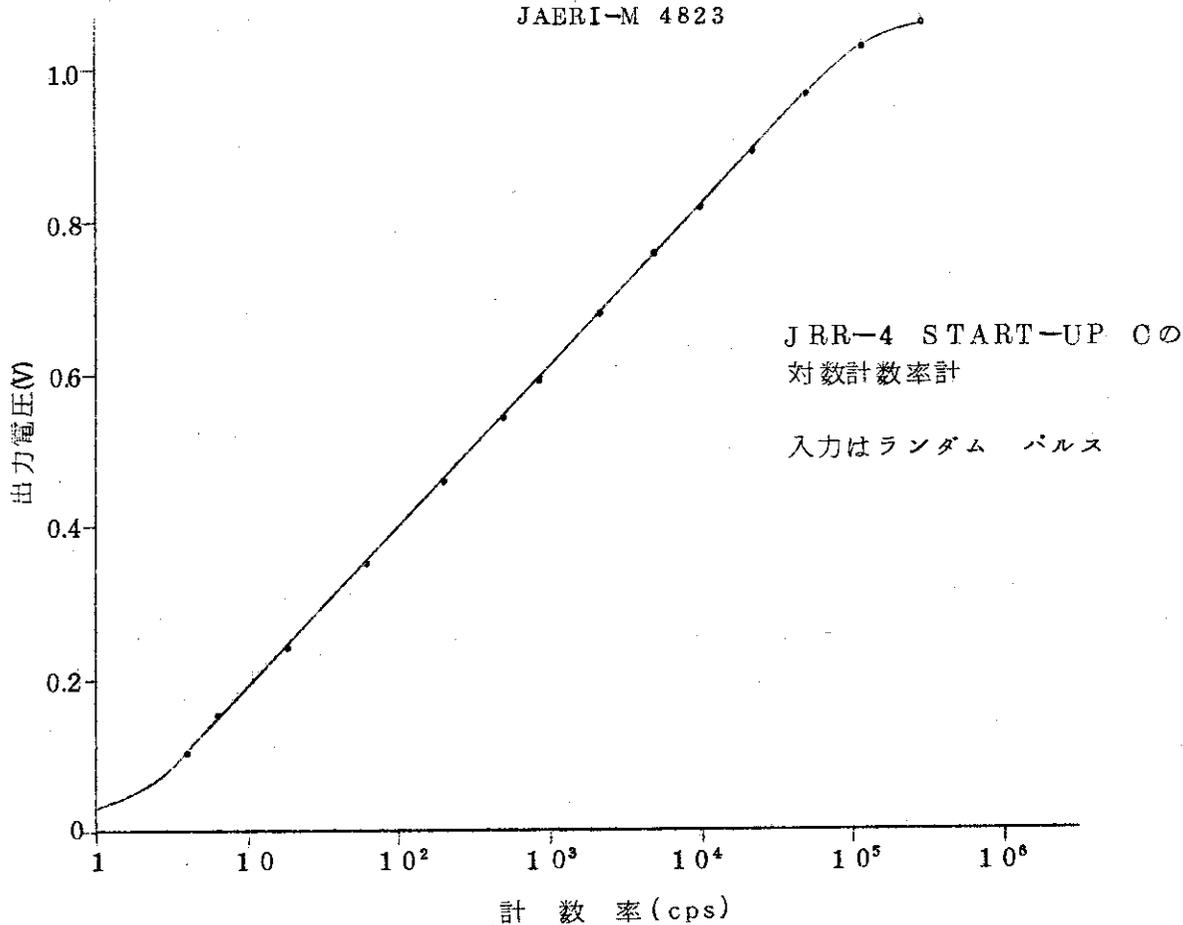
- Q1 FD300, D480A, D6 3D183
- D1~5 IC-3 μPC171
- IC-1~6 IC-2 μPC158
- T4~8 IC-1 K382

日本電子力研究所 エレクトロニクス課	
機	START-Up C
種	計測制御装置用回路設計
名	作 RE-
番	PC-2
図	RB6002
作成	44.8.10
検出	44.8.10
承認	44.8.10
発行	44.8.10

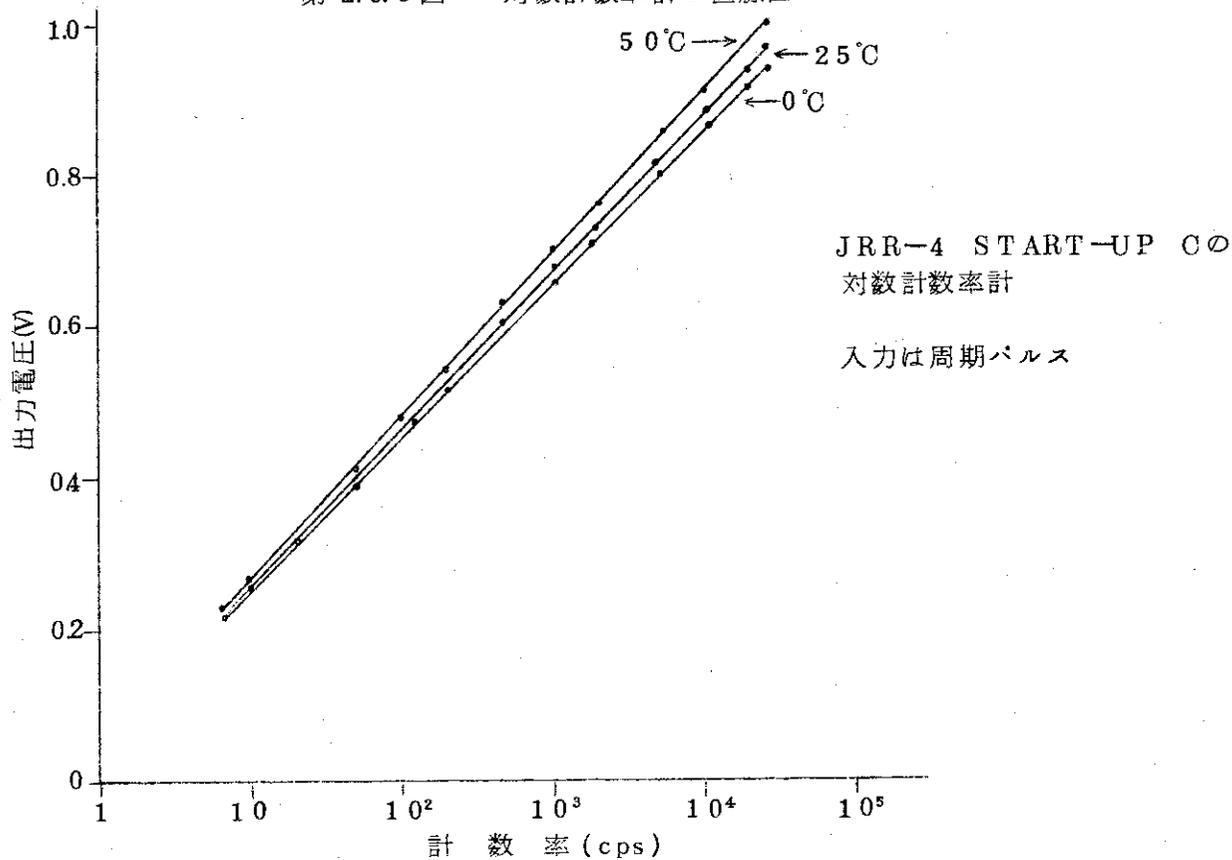
第 2.5.4 図 ベリオド計回路図 (P O - - 2)

変 更 日付 担当

JAERI-M 4823



第 2.5.6 図 対数計数率計の直線性



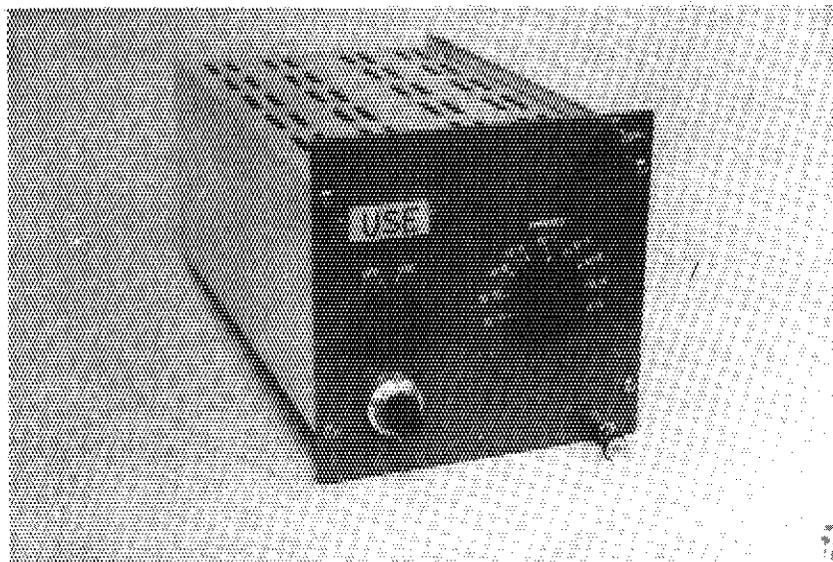
第 2.5.7 図 対数計数率計の温度特性

2.6 微小電流発生器

2.6.1 概要

微小電流発生器ユニットは、リニヤN系、ログN系、ガルバノメータ系の入、出力特性をチェックするためのもので、GICまたはUICに代って微小電流を発生するユニットである。第2.6.1図に外観構造を示すように、 $5\frac{1}{4}$ 型の4幅モジュールに収められている。上段のロータリ・スイッチで出力電流および動作表示灯をオン・オフさせ、中段のロータリ・スイッチで出力電流のレンジ設定を行なう。下段のヘリポットは、各レンジ内の出力電流を0~100%まで連続的に設定するものである。このユニットの出力電流範囲は、 10^{-11} A~ 10^{-8} Aまでで、この間を1桁ずつ9レンジに分けてあり、JRR-4のリニヤN、ログN、ガルバノメータ系の全計測範囲をチェックすることができる。

これらの系を校正するには、それぞれのユニットの入力端子を外し、微小電流発生器ユニットの出力端子を接続して、出力電流と各系の指示値との対応を求め、それらの直線性、精度等をチェックする。



第2.6.1図 微小電流発生器の外観構造

2.5.2 性能仕様

出力電流範囲；	10^{-11} A~ 10^{-8} A, 9レンジ, 連続可変
電流設定精度；	(10^{-11} A~ 10^{-9} A) 2%
	(10^{-8} A~ 10^{-3} A) 1%
直線性；	0.5%
時間安定度；	1%/8hr

温度安定度; (0~50°C)	1% / °C
所要電源; +12V;	24mA
-12V;	11mA
+24V (U·R);	54mA
コネクタ・キー; 1/5	

2.6.3 回路構成と動作

微小電流発生器ユニットの簡易化回路を第2.6.2図に示す。微小電流発生器ユニットの基本動作は、ツエナ・ダイオードD1で基準電圧を発生し、Q1のエミッタフォロウを介してヘリポットR3で分圧する。分圧された電圧は、負荷効果を少なくするため、IC1, Q2から成るボルテージ・フォロウに加え、ここで低インピーダンスの定電圧源とし、この出力を各レンジ抵抗に加えることによって所定の微小電流を得ている。Q1の最大出力電圧は、5Vで、レンジ設定はQ1のエミッタにつながる抵抗の値を $5 \times 10^{11} \sim 5 \times 10^8 \Omega$ まで9段階に切換えて行ない、また、このユニットの出力電流は、リヤ・パネルのBNC-H端子から直接取出している。Q1の出力電圧を容易に求められるように外部モニタ端子を設けている。

回路図を第2.6.3図に、モジュール配線図を第2.6.4図に示す。

基準になる電圧をD1, D2, Q2, R13で発生させ、PC-1の⑥端子における電圧を正確に5VになるようにR14で微調を行なっている。端子⑥の出力は、パネル面のヘリポットにつながり、そのヘリポットで分圧された電圧は、端子⑧からIC1のピン3に加えられる。ピン3は、Non-Inverting端子で、出力は、ピン6に得られ、それは、エミッタ・フォロウQ1を介してInverting端子ピン2に100%フィード・バックされ、ボルテージ・フォロウを構成する。したがってこの回路の利得は1である。C1, C2, R1はIC-1の位相補償用のものであり、R9はIC-1のオフセット調整用である。R11, R12は外部メータ(100 μ Aフルスケール)を接続するときの直列抵抗である。

レンジ設定抵抗とその抵抗を取付けたロータリ・スイッチは、誘導雑音をさけるため、シールド・ボックスに収められている。

第2.6.4図のワイヤリング図で、PC-1には上記の回路が納められており、この部分で基準電圧を作っている。その電圧がシールドケース内のレンジ・スイッチS1に加えられ、レンジ抵抗を直列に通して微小電流をOUTPUT J2に出している。S2は動作のオン、オフ・スイッチで、ONのときはヘリポットR1に基準電圧を加えるようにし、OFFではR1の電圧をアースするようになっている。また同時にS2でパイロットランプを点滅させ動作状態の表示をさせる。J1は42Pの基本コネクタで、電源をこのコネクタより入れており、外部メータ用出力はピン5(同軸型)より出している。

2.5.4 特 性

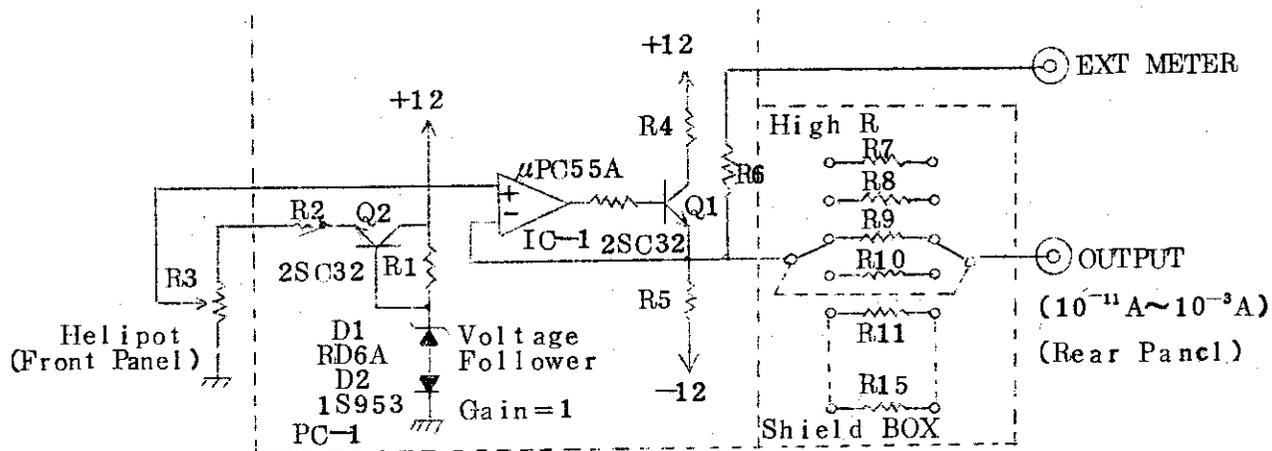
このユニットの各レンジの設定精度を第2.6.5図に示す。これは各レンジのフルスケール時(

(ヘリポット最大)の電流値を示し、 10^{-10} A以上のレンジでは、各レンジのフルスケールに対し $\pm 1\%$ 以内であり、 10^{-11} Aレンジでは $+1.5\%$ 以内に入っている。このときの測定は出力端子(J_2)にマイクロ・マイクロ・アンメータ(Keithly model 415)を直接接続してメータの振れから測定したものである。

それぞれのレンジ内におけるヘリポット目盛に対する直線性は、第2.6.6図のようである。この測定は出力電流を直接測定するのではなく、レンジ抵抗に加わる電圧を求めており間接的測定である。その理由はレンジ抵抗の電圧特性は無いものと考えられ、さらに電圧はデジタルで精度よく容易に測定できる簡便さがあるため間接測定を行なった。この結果、直線からの偏差は 0.2% 以下である。測定器はデジタルとしてHP Model 3400Aを用いた。

設定電流の温度特性は第2.6.7図のようで、 10^{-4} 、 10^{-7} 、 10^{-11} Aの3つのレンジの結果を示す。他のレンジも略同等で、上記3つの結果の範囲内に入っている。このときの測定はユニットを恒温槽内に入れ $0 \sim 50^\circ\text{C}$ の範囲で温度を変え、そのときの出力電流をマイクロ・マイクロ・アンメータ(Keithly model 415)で読みとったものである。

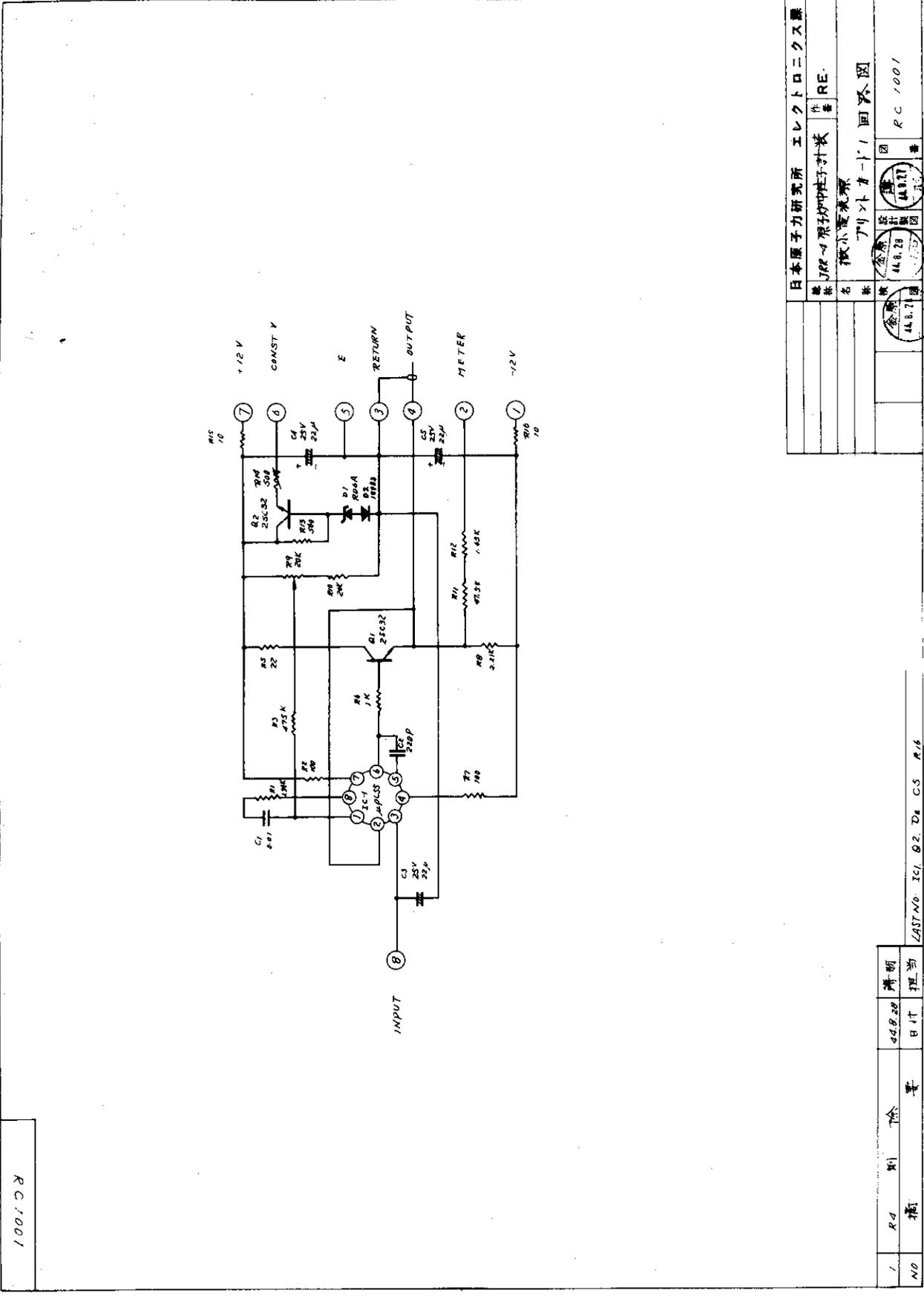
(薄羽皓雄)



注 部品番号のリストで、右側に対応して示すのは回路図中の部品番号である。(*はワイヤリング図)

- | | |
|---------------|-------------|
| R1 : R13 | IC-1 : IC-1 |
| R2 : R14 | Q1 : Q1 |
| R3 : R1* | Q2 : Q2 |
| R4 : R5 | D1 : D1 |
| R5 : R8 | D2 : D2 |
| R6 : R11, R12 | |
| R7 : R2 | } * |
| R8 : R3 | |
| R9 : R4 | |
| R10 : R5 | |
| R11 : R6 | |
| R15 : R10 | |

第 2.6.2 図 微小電流発生器の簡易化回路



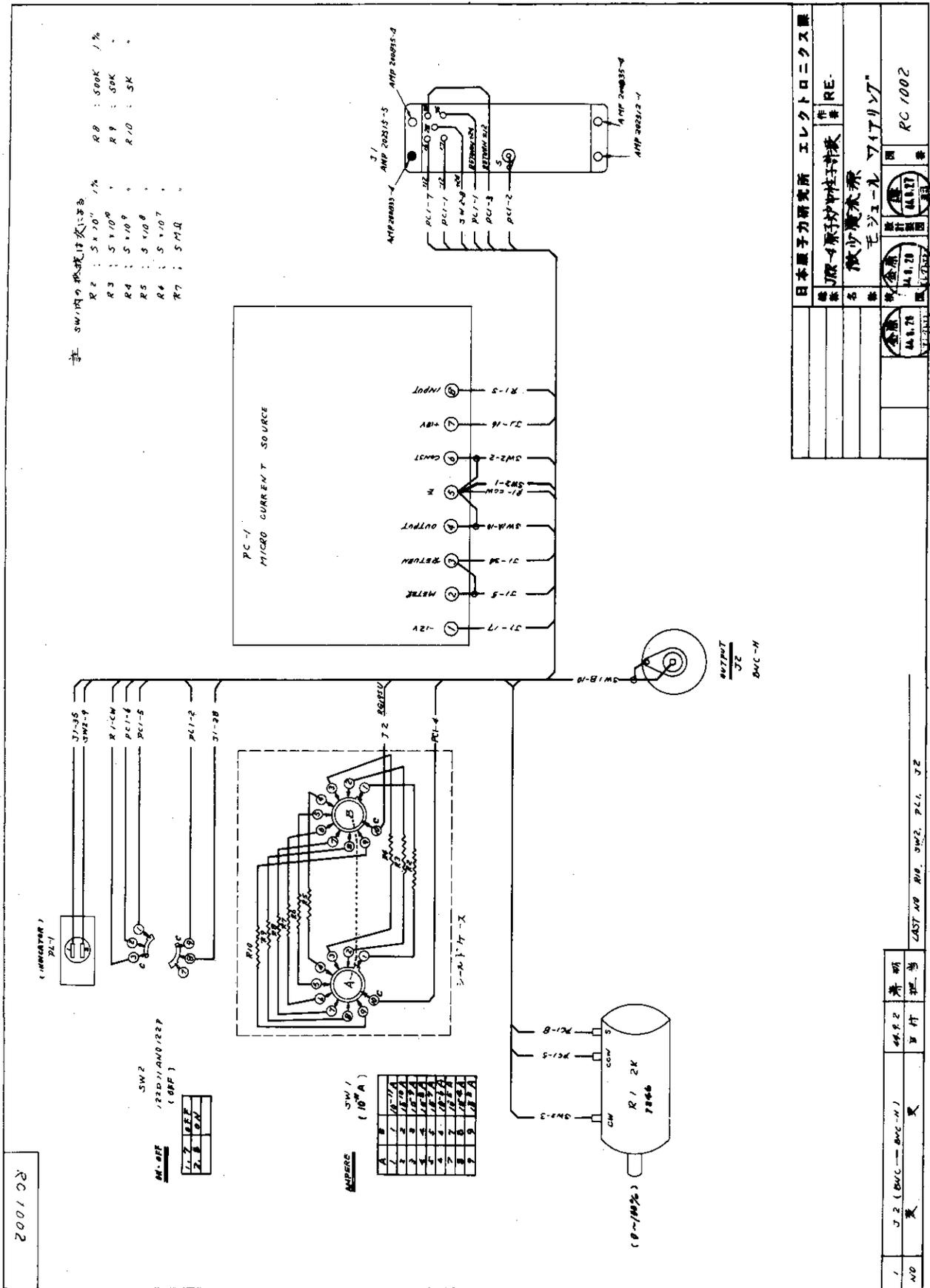
RC 1001

1	NO	積	別	除	量	48.28	日付	不明
---	----	---	---	---	---	-------	----	----

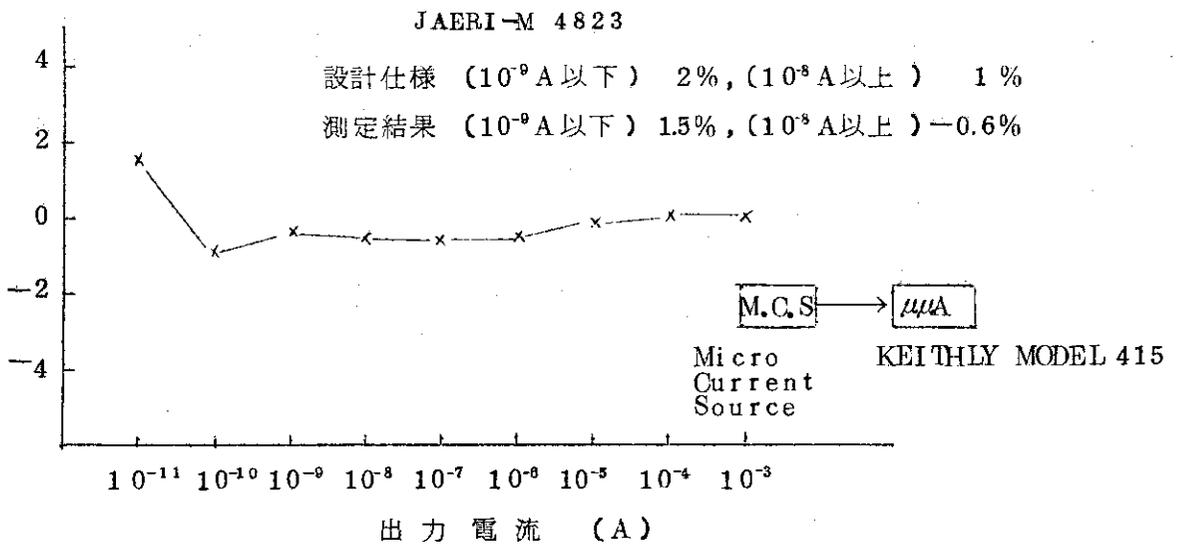
LAST NO. IC1, B2, D2, CS, R16

第2.6.3図 微小電流発生器ユニット回路図

日本原子力研究所 エレクトロニクス課	
著者	JRR-4 原子炉中子計装 作 者 RE.
名 称	微小電流源
名 称	アンプ・オート / 回路図
図 号	RC 1001
図 章	48.28 (48.28)
図 章	48.28 (48.28)
図 章	48.28 (48.28)

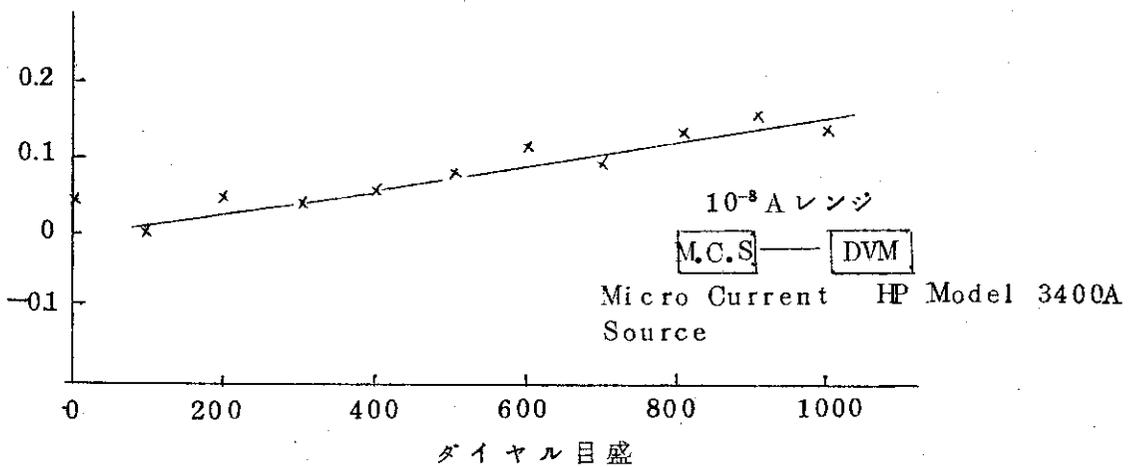


設定値との偏差/フルスケール (%)



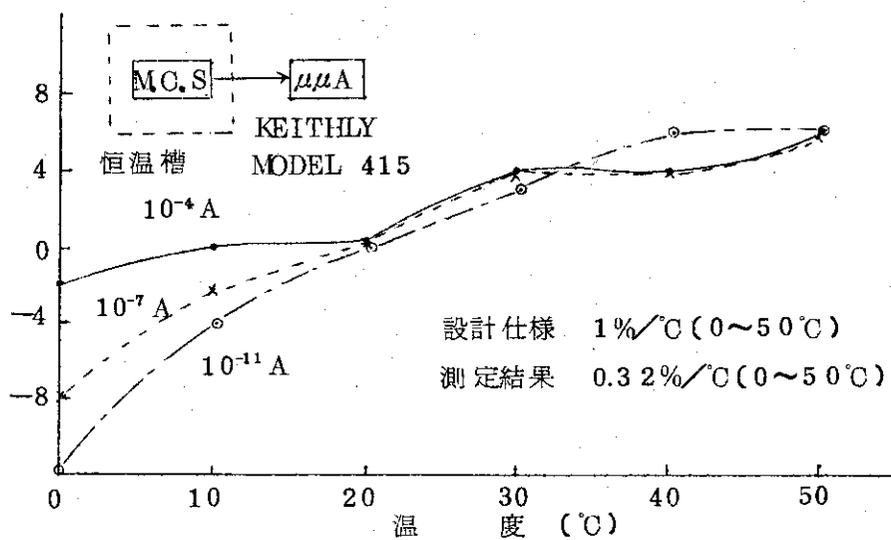
第 2.6.5 図 出力電流設定精度

直線からの偏差/フルスケール (%)



第 2.6.6 図 設定値直線性

温度による偏差/フルスケール (%)



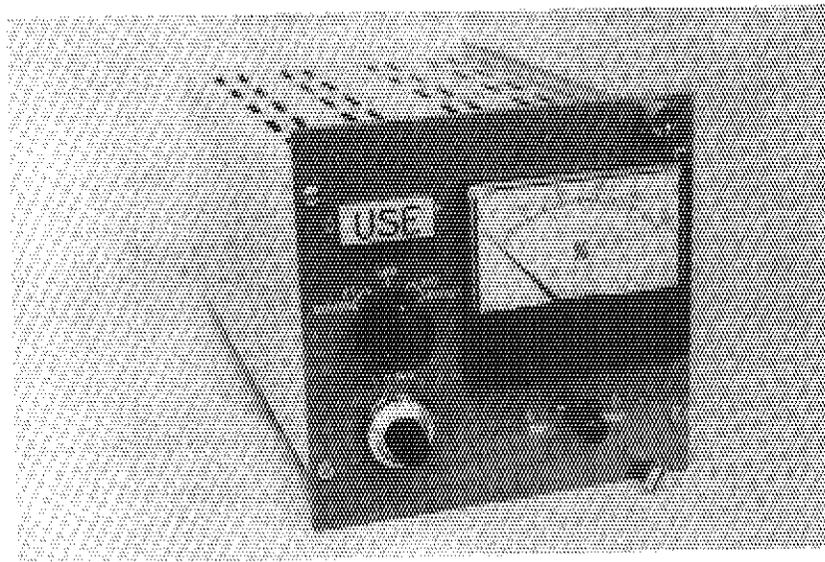
第 2.6.7 図 温度安定度

2.7 ペリオド信号発生器

2.7.1 概要

ペリオド信号発生器は、ログN・ペリオド系のペリオド計を校正するためのユニットで、ログN計を含めたオーバオール動作とトリップ・ユニットの動作チェックも行なえる。第2.7.1図に外観構造を示すように、5 $\frac{1}{4}$ "型の4幅モジュールである。

このユニットの出力信号には2種類あって、1つはランプ状電圧出力であり、他の1つは指数関数状電流出力で、それぞれ別の出力端子から出している。ランプ状出力電圧は、時間と共に一定の値で上昇する電圧で、ログN・ペリオド系のペリオド計の外部校正端子に接続され、ペリオド計以降のチェックを行なう。指数関数状電流出力は、時間に対し指数関数状に増加する電流信号で、ログN・ペリオド計の入力端子にCICからの信号と置換して加えられ、ログN計を含めたオーバオールのチェックができる。両信号は、第2.7.1図でメータの下側にあるモード・スイッチによって容易に選択できるようになっている。ペリオドの設定は、フロント・パネルの左側中段にあるレンジ・スイッチとその下にあるヘリポットで行なわれ、設定値はマルチダイヤルから直読できて、その範囲は $\times 1$ のレンジで1~11秒、 $\times 10$ のレンジで10~110秒である。設定精度は、ペリオド計の指示目盛以内の3秒から110秒まででは1%以内である。ペリオド信号の出力範囲は、ランプ状電圧の場合0~+5および0~-5V、指数関数状電流の場合 $+2 \times 10^{-8} \text{A} \sim +5 \times 10^{-6} \text{A}$ までとなっていて、それぞれの範囲を自動的に



第 2.7.1 図 ペリオド信号発生器の外観構造

に反復するようになっている。そして出力レベルをそれぞれのフルスケールに対する割合を%で指示するようになっている。

レンジ・スイッチで左側が×1, 右側が×10となっているが, それぞれのレンジの外側のポジションでは, 各レンジにおいてスロー・スクラムをバイパスするようになり, そのとき起動インターロックが切れるようになっている。この機能は, ベリオド計からスクラム系統までのテストをするときに使うよう考慮されている。

2.7.2 仕様

出力 ランプ状電圧 : 0~±5 V

指数関数状電流 : 2×10^{-8} A ~ 5×10^{-6} A (2.4 デカード)

ベリオド設定範囲 : 1~11秒, 10~110秒 2レンジ レンジ内連続可変

設定精度 : 1% (3~110秒の範囲)

直線性 : 1%

温度安定度 : 0.1%/°C

出力インピーダンス : 20Ω以下(ランプ状電圧)

1MΩ (指数関数状電流)

消費電流 : +12V 93mA -12V 37mA +24V(U.R) 75mA

コネクタ・キー : 69

形状寸法 : 5 $\frac{1}{4}$ " 型 4幅

2.7.3 回路構成と動作

ベリオド信号発生器は, IC演算増幅器を積分回路と係数回路として用い, これらの接続方法を変えることによりランプ状信号と指数関数状信号を発生させている。プリント板に対する配列関係は, 基準電圧発生回路と関数発生部をPC-1に収め, 反転出力を得るインバータと反復動作を制御する回路をPC-2に, 積分回路の帰還コンデンサをPC-3に収めている。

ユニットの簡略化回路を第2.7.2図に示し, これについて動作原理を説明する。PC-1のIC-101は積分回路, IC-102とQ101はボルテージ・フォロワで積分回路のバッファとなっている。IC-103は係数回路である。PC-2のIC-201は出力の最大電圧を決めるコンパレータ, IC-202は復帰時間を決めるユニバイプレータ, Q201はリレーRY101を制御するリレー・ドライバーであって, これらが復帰回路となっている。そしてPC-1の積分回路とPC-2の復帰回路が組み合わされて反復動作が行なわれる。さらにIC-203とQ202は出力信号のインバータ回路である。

第2.7.2図のスイッチ・ポジションは, ランプ状電圧を発生するモードを示し, リレーRY101は無励磁状態, すなわち復帰動作時の状態となっている。この状態でリレーRY101の各接点は図のようにb接点側にあり, 1c, 1bが接触し, 積分コンデンサC301(またはC301+C302)をR106で短絡し, 2cはオープンになっているので積分回路IC-101の出力はゼロに復帰し, 出力もゼロとなる。一定時間後IC-202のユニバイプレータが復帰しリレーRY101が励磁され1cは1aに2cは2a側に閉じられ, IC-101の積分回路が動

作状態になる。この状態でランプ状電圧を発生する場合の動作を述べると、R123とツエナ・ダイオードD102で基準電圧を作り、R124から e_{i2} として取り出す。そして係数回路IC-103の入力にR401とR126を通して加えられる。IC-103の出力 e_{o1} は

$$e_{o1} = -e_{i2} \cdot (R127 + R131) / (R401 + R126)$$

となり、R401を変えることによって e_{o1} を $1 \sim 1/11$ の係数範囲で任意の値を得ることができる。

IC-101は、積分回路を構成し、このときの演算インピーダンスはR109とC301で、出力 e_{o2} は $e_{o2} = \int e_{i1} dt / (R109 \cdot C301)$ となる。レンジ・スイッチを $\times 10$ にしたとき上式の積分時定数は、 $R109 \cdot (C301 + C302)$ となり、両者の時定数の比は正確に1:10としている。そして、ボルテージ・フォロワを通しQ101のエミッタに e_{o3} が得られる。ボルテージ・フォロワの利得は1であるから出力 e_{o3} は入力 e_{o2} に等しくなる。ここで、係数回路の入力 e_{i2} から出力 e_{o3} までの関係は、

$$e_{o3} = \frac{R127 + R131}{R401 + R126} \times \frac{1}{R109 \cdot C301} \int e_{i2} dt \quad (\times 10 \text{レンジのとき})$$

となり、上式で e_{i2} は直流で一定値であるから e_{o3} は時間と共に一定の傾斜で増大するランプ状電圧となる。この電圧は、モード・スイッチSW1のC接点を介して+RAMP OUTとして取り出され、さらにインバータ回路で反転され、負極性出力を出している。インバータ回路は、IC203とQ202から成り、R212とR219の比を正確に1になるようにし、反転出力を-OOUT端子と、R222を経てメータMに接続している。

反復制御回路は、出力レベルがある値を越えたことをコンパレータで検出し、その出力でユニバイブレータをトリガしてリレーの動作を制御し、積分回路の動作をリセットする。IC-201はコンパレータで、R204、R205でランプ出力を分圧したものを \oplus 端子に加え、R202から取り出された電圧 E_{ref} とを比較する。そしてランプ出力が5Vを越えるとコンパレータ出力は-0.5Vから+3.5Vになる。このとき、ユニバイブレータはトリガされ、出力は+3.5Vから-0.5Vに反転し、リレー・ドライバQ201は、オフになり、リレーRY101は開放される。このとき、リレーの各接点はb接点側に接続され、積分回路はリセット状態に戻る。

ユニバイブレータの動作時間は、C201とR208で決り約1.4秒である。この時間を経過するとリレーRY101は再び励磁され、積分回路IC-101の入力に係数回路IC-103の直流出力が接続されて積分動作を始める。

次に、モード・スイッチSW1をEXP側に倒して指数関数状電流を発生する場合について述べる。リレーRY101が励磁されず、回路がリセット状態にあるときには、リレー接点はそれぞれb接点側にあって、このときIC-101の出力 e_{o2} は、最終的に $e_{o2} = -e_{i2} \cdot R107 / R106$ となって帰還コンデンサC302に初期充電を与える。ユニバイブレータが復帰し、回路が動作状態になるとリレー接点は、それぞれa接点側に接触し、IC-101にはIC-101の出力電圧 e_{o2} (= e_{o3})自身がIC-103で $(R127 + R131) / (R401 + R126)$ 倍されてR109から加えられる。この一巡ループは、正帰還ループが構成されているので、積分回路の出力を $e_{o2}(t)$ とし、積分コンデンサへの初期充電値を E_0 、時間を t とすれば、

$$e_{O2}(t) = E_0 \cdot \exp \left(\frac{R127 + R131}{R401 + R126} \times \frac{1}{R109 \cdot C301} t \right)$$

とあらわされて、指数関数状に増大する出力が得られる。

上式の()内で最初の項は、R401により $1 \sim 1/11$ まで可変でき、第2項の分母R109・C301は1(レンジを×10にすると10)となるようにそれぞれの定数を定めている。一方、原子炉が一定ペリオド τ_p で上昇する場合、その出力Pは、 $P = P_0 \cdot \exp(t/\tau_p)$ であるから上式と対応して考えると $\tau_p = (R401 + R126) \times R109 \cdot C301 / (R127 + R131)$ となり、所要のペリオドを模擬できることがわかる。

積分回路出力は、バッファ回路からモード・スイッチSW1のC接点を経てR109からEXP OUT端子へ接続される。R109はEXPモードにおける出力抵抗で、 $1M\Omega$ の値としている。EXPモードでも、最大出力電圧は+5Vに制限され、反復動作が行なわれること、インバータで反転出力を得ると共に出力レベルをメータでモニタできることは、RAMPモードのときと同様である。

このユニットの回路のうちPC-1を第2.7.3図に、PC-2を第2.7.4図に示し、PC-3を含むモジュール配線図を第2.7.5図に示す。

PC-1のIC-1には、入力インピーダンスと開放利得の大きな演算増幅器(K-302)を用い、PC-3のコンデンサには吸収現象やリーク電流の小さなポリスチレン・コンデンサを用いて長いペリオドにも充分安定に動作するようにしてある。PC-1で、R5から加えられる電圧はEXPモードの出力の下限を決めるもので、約45mVとしている。R7, R6はリセット動作のときIC-1の演算用抵抗となり、R9はセット動作のときの演算用抵抗となる。C2はIC-1の位相補償用、R11はオフセット調整用である。

IC-2とQ1は、積分回路のバッファで、R13, R15はこの回路のオフセット調整用、C13, R16およびC4は位相補償用である。出力はQ1のエミッタに得られ、端子②からPC-2へ、端子11からモード・スイッチを経て出力端子に接続される。

R26, R27, R31は、IC-3の係数利得を決めるもので、R31はこれの微調用である。R36, R35はオフセット調整用、C5, R33, C6等は位相補償用である。R28, R29はIC-3の入力インピーダンス平衡用の抵抗で、端子⑤からヘリポットに接続されており、ペリオドを変えても平衡を保つようにしている。

ランプ出力の傾斜を決める基準電圧は、D2, R22, R23, R24の回路で作られ、端子④で0.3098Vに設定している。端子⑬, ⑭間に挿入されたリレーRY1は、このユニットの反復動作を行なわせるもので、これの制御はPC-2のリレー・ドライバで行なわれる。

PC-2で、IC-1はコンパレータ、IC-2がユニバイブレータ、Q1はリレー・ドライバである。IC-3とQ2は出力信号のインバータである。IC-1のピン③の電圧を+2.5Vに設定しており、端子⑥の電圧が5Vになるとコンパレータからパルスが出るようになっている。そしてIC-2のユニバイブレータをトリガする。ユニバイブレータの動作時間はC1, R8で決まり、約1.4秒である。D2, D3, D4は、この回路とリレー・ドライバQ1の動作点を与えるダイオードである。Q1のコレクタは、端子③からPC-1のリレーに接続して回路動作を制御する。

IC-3のインバータ回路のゲインは-1になるようにR12, R16の値を決めている。R14はドリフト補償用, R11はオフセット調整用, C2, R16, C3は位相補償用である。Q2のエミッタから反転出力を端子⑦に出し, さらにR22, R23を介して端子⑨からメータに接続されている。

第2.7.5図のワイヤリング図で, PC-1とPC-2に上記の回路が収められ, PC-3には積分回路の帰還コンデンサが収められている。左側がフロントパネルに取り付けられたスイッチ等, 右側がリヤ・パネルに取り付けられたコネクタを示す。左側上部のPL-1は動作表示ランプで, SW₂が中央のOFF位置以外では動作状態となりPL-1が点灯する。左側上段のSW₁はモード・スイッチで, 図ではEXPモードを示している。中段のSW₂は動作の制御とレンジの選択を行なうもので, A段の①~⑥接点はスロー・スクラム・バイパスで, 接点が両端の①, ⑤ポジションにおかれた場合にバイパスされるようになっている。

この位置では, トリップが働いてもスロー・スクラム系は動作せず, ファースト・スクラム系の動作確認ができる。⑦~⑫接点は起動インターロック用接点で, 上記のBYPASS位置では, 起動インターロック回路が切れて起動できないようになる。B段の①~⑥接点は, ゲイン設定用で①, ②位置では×1, ④, ⑤位置で×10となる。⑦~⑫接点は, 前述の動作表示灯を制御するもので, 中央のOFF位置以外ではPL-1が点灯する。

左側の下段にある二連のヘリポットは, ベリオド設定用のもので, R1はPC-1にある係数回路の入力側抵抗の一部となっていてベリオドを1~11秒の間で連続的に設定でき, その値は付属のダイヤルから直読できる。R2はR1と連動し, 係数回路のドリフト補償を行なう。最下段のM1は, このユニットの出力レベルをモニタするメータで, フルスケールに対する%で目盛っている。

右側のJ1コネクタは電源および出力用の42P基本コネクタである。SW₁で選択された各モードでの出力は, ピン5, 6, 7に出ており, 5から+RAMP OUT, 6が-O, 7がEXP OUTである。このコネクタのガイドで構成されるキー番号は, 49である。

2.7.4 特 性

ベリオド信号には, ランプ状出力と指数関数状出力の2種類があり, 設定精度の測定方法はそれぞれ異なる。ランプ状出力は電圧レベルであるため, 0~+5Vに達するまでの電圧をD.V.Mで読み, その時間をストップ・ウォッチで求めた。指数関数状出力は, 電流出力で, ある値の電流 i_0 から $2i_0$ になるまでの時間(2倍時間)を測定している。これは, ベリオド τ_p と2倍時間 T_d の間に $\tau_p = T_d / 0.693$ の関係があり, 2倍時間を測定することの方が容易で, 測定精度も高くなるからである。設定精度の測定結果を第2.7.1表, 第2.7.6図に示す。ここで, ×1のときダイヤル目盛300がベリオドの3秒に対応する。ダイヤル目盛の300以上の範囲では±1%以内の精度である。第2.7.1表のRAMP出力で計算値を示しているが, これはJ.R.R-4のベリオド計に合せたもので, EXP出力の計算値は, 上に述べたベリオドと2倍時間の対応から求めたものである。

温度特性は, ベリオドを1×5秒, 10×5秒に設定してこのユニットを恒温槽に入れ, 槽内温度を0~50°Cまで変化させたときのベリオドの変化を求め, 第2.7.7図に結果を示す。

測定方法は、設定精度の場合と同じで、0~50℃の温度変化に対して最大4.38%、1℃あたり0.088%であった。

時間ドリフトは、+RAMP出力についてペリオドを1×5秒に設定し、8時間に亘って測定した結果、0.048%/8hrであった。このときユニットを恒温槽に入れて測定しているが、これは外気を遮断するためで、恒温槽は動作させていない。

(薄羽皓雄)

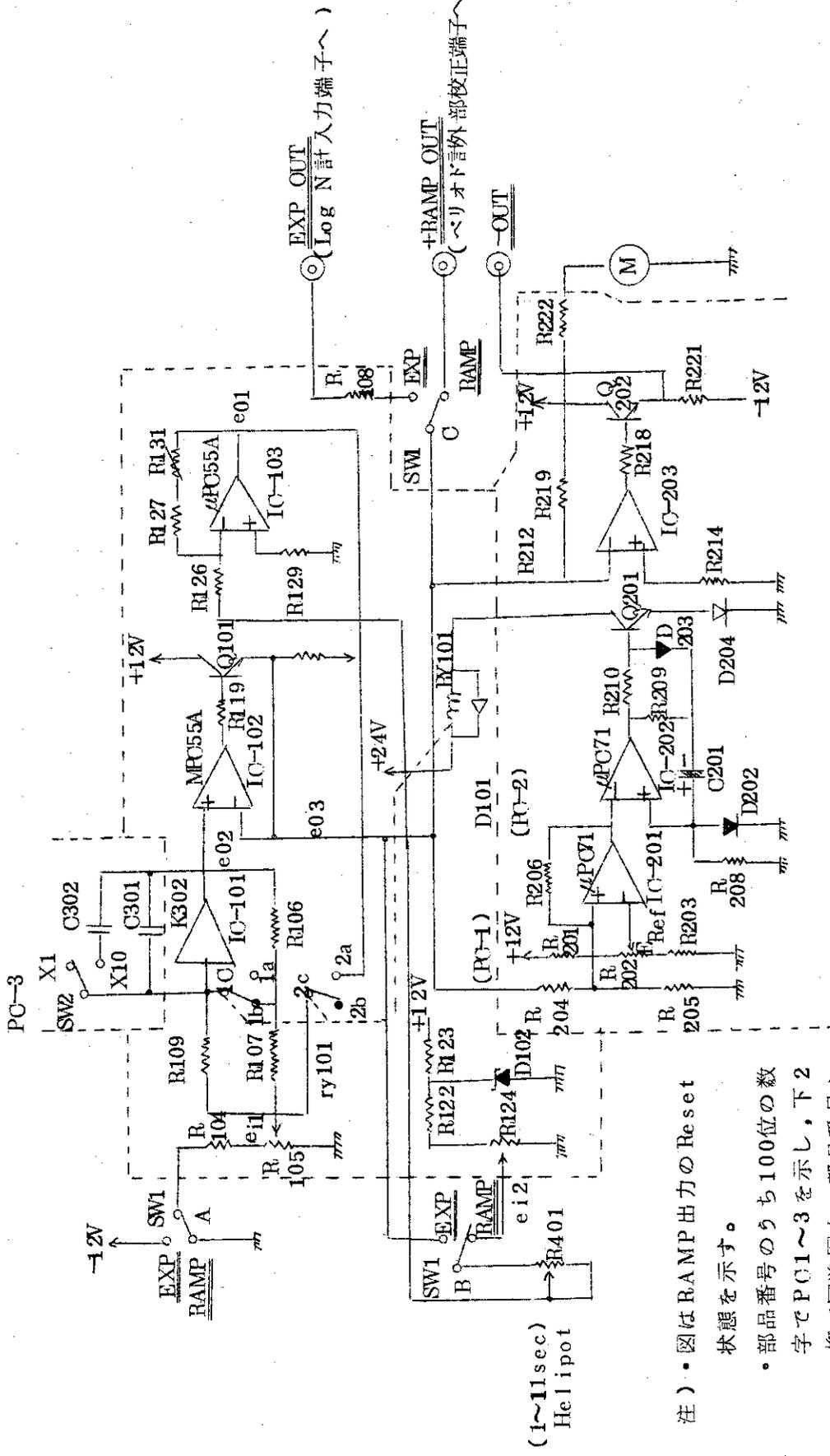
第2.7.1表 ペリオド設定精度

レ ン ジ	ダイ アル	RAMP 出力			EXP 出力		
		T/5V (sec)		精度 (%)	2倍時間 (sec)		精度 (%)
		計算値	測定値		計算値	測定値	
×1	300	48.43	48.4	-0.06	2.08	2.10	+0.09
	400	64.57	64.4	-0.25	2.77	2.78	+0.36
	500	80.71	80.7	-0.01	3.47	3.48	+0.39
	600	96.85	96.3	-0.61	4.16	4.18	+0.48
	700	113.0	112.4	-0.52	4.85	4.89	+0.83
	800	129.1	128.2	-0.81	5.55	5.60	+0.90
	900	145.3			6.24	6.19	-0.80
	1000	161.4	160.2	-0.74	6.93	6.88	-0.72
×10	100	161.4	163.8	+1.50	6.93	7.01	+1.1
	200	322.8	325.8	+0.94	13.86	13.95	+0.65
	300	484.3	488.6	+0.89	20.79	20.68	-0.53
	500	807.1	812.2	+0.63	34.68	34.62	-0.23
	700	1129.9	1135.6	+0.50			
	1000	1614.2	1621.7	+0.46	69.32	69.13	-0.27

出力電流範囲

$2.5 \times 10^{-7} \sim 5.0 \times 10^{-6}$ Aで

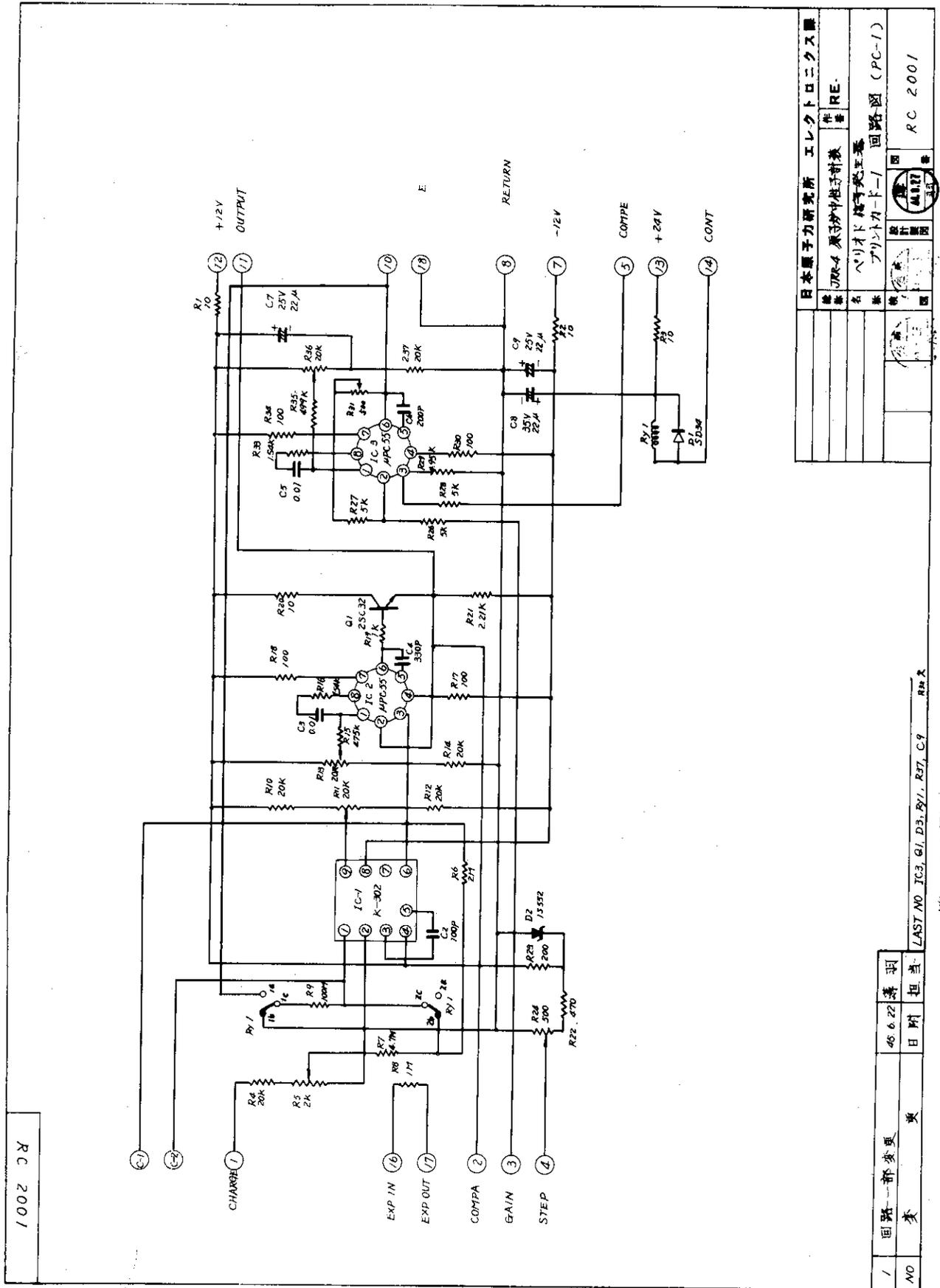
2倍時間を測定



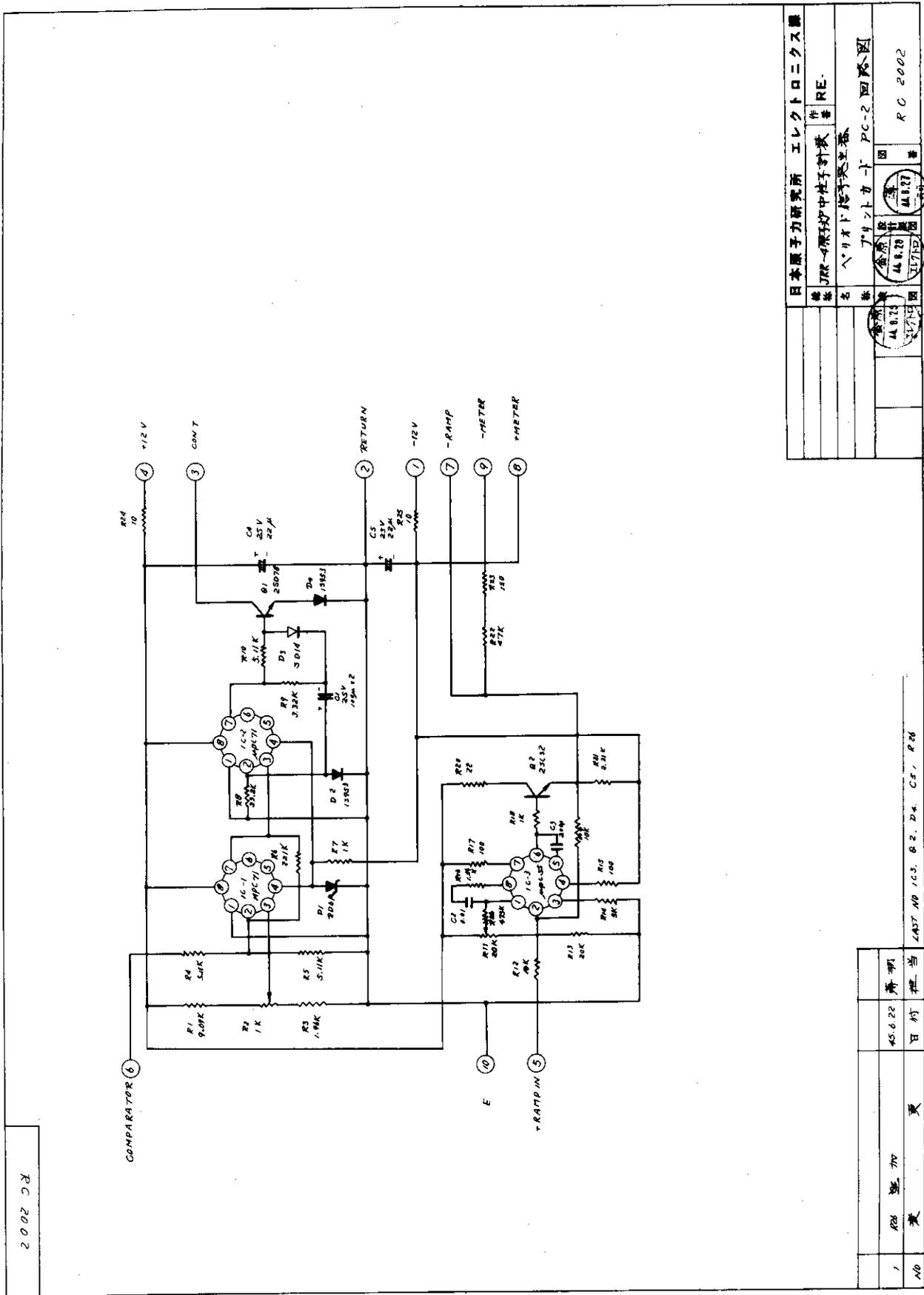
第 2.7.2 図 ペリオド信号発生器の簡略化回路

注)・図は RAMP 出力の Reset 状態を示す。
 ・部品番号のうち 100 位の数字で PC1~3 を示し、下 2 桁で回路図中の部品番号と対応することを示す。

(1~11sec)
 Helipot



第 2.7.3 図 ペリオド信号発生器 PC-1 回路図



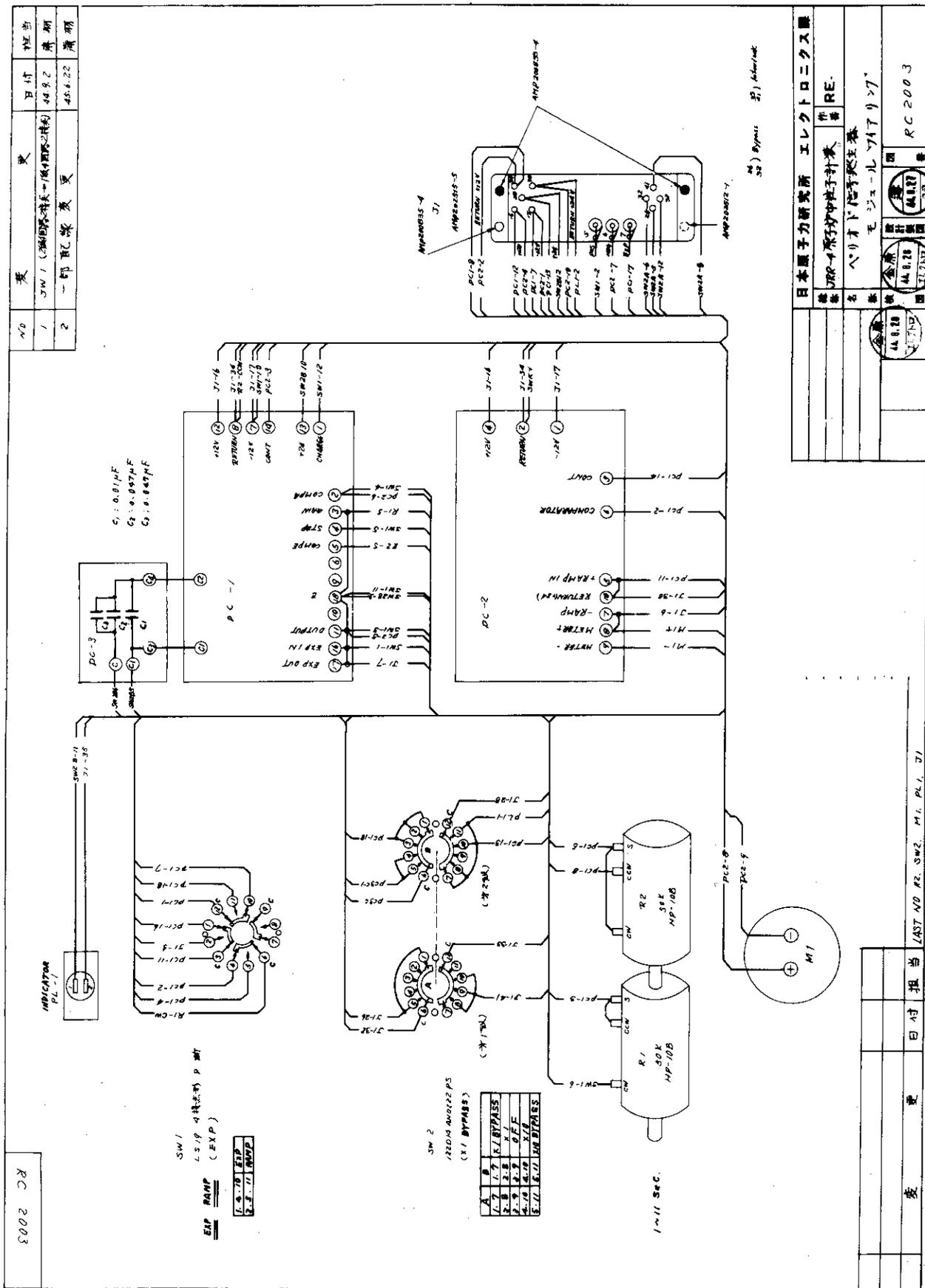
第 2.7.4 図 ベリオド信号発生器 P O - 2 回路図

日本原子力研究所 エレクトロニクス課	
著者	作 RE-
編者	JRR-1 原子炉中性子計数
名	ベリオド信号発生器
巻	74 年 10 月号
号	PC-2 回路図
発行	1974 年 10 月
印刷	1974 年 10 月
発行所	東京 117 日本原子力研究所
図	RC 2002

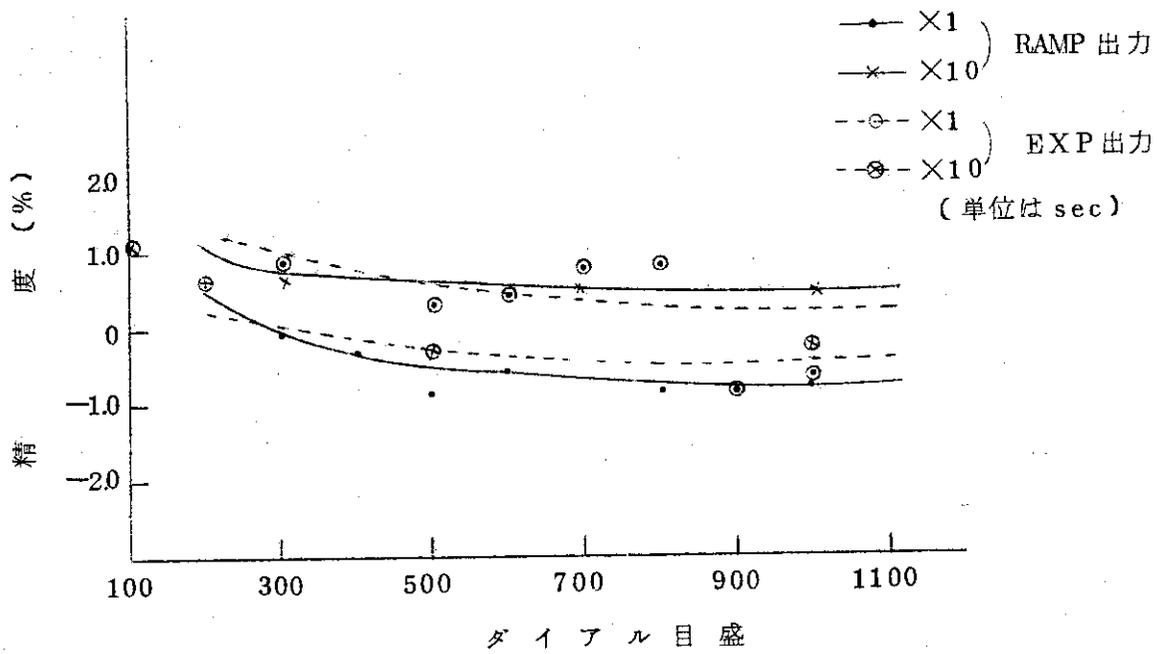
LAST NO 103, 62, 24, C1, R26

1	原 理 加	45.6.22	齊 明
10	表		日 行 理 当

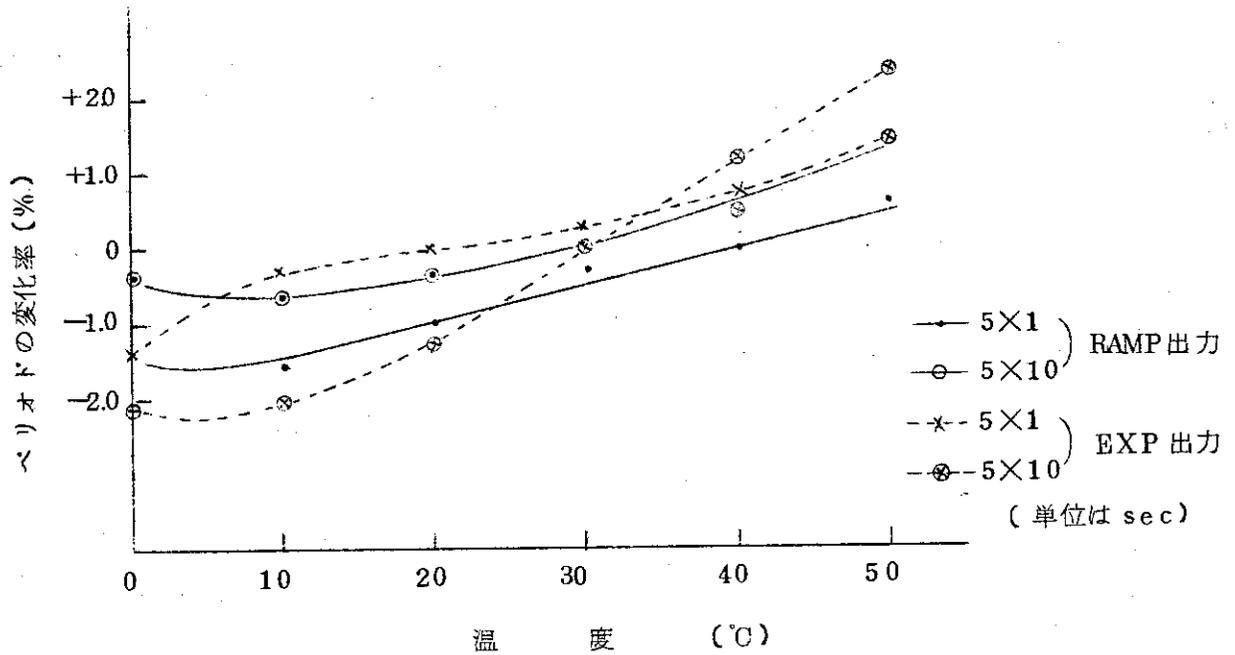
RC 2002



第 2.7.5 図 ペリオド信号発生器モジュール、ワイヤリング図



第 2.9.6 図 ベリオド設定精度

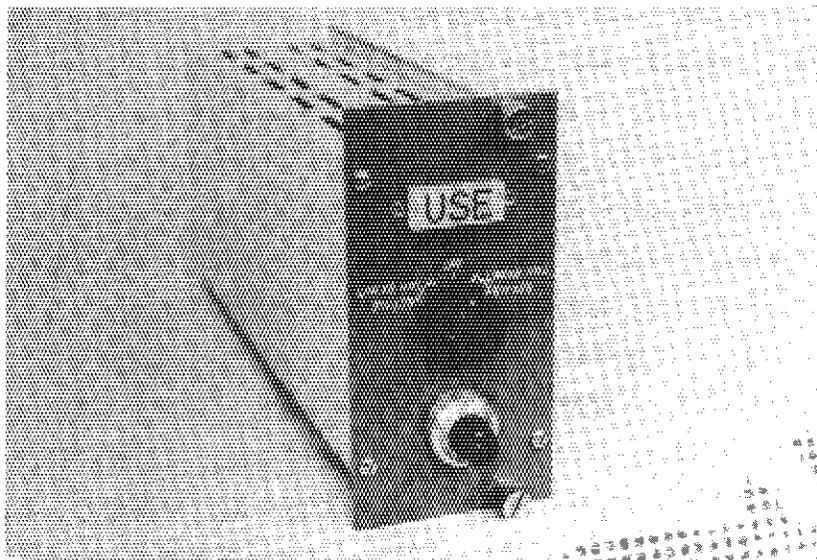


第 2.7.7 図 ベリオド信号の温度特性

2.8 トリップ信号発生器

2.8.1 概要

このユニットは、リニヤN系に用いているトリップ・ユニットのアラーム、スクラムの各トリップ・レベルをチェックするためのもので、校正信号をリニヤN系の外部校正端子に接続して用いるのでリニヤN系の指示も確認できる。第2.8.1図に外観構造を示すように5 $\frac{1}{4}$ 型の2幅モジュールである。このユニットの出力信号は+0.2V～+1.2Vまでで、第2.8.1図の上段のモード・スイッチと下段のヘリポットで出力信号を設定する。このユニットをJRR-4に適用した場合、トリップ信号設定範囲は、リニヤN系のフルスケールに対し、20～120%になる。このユニットには、JRR-4用として考慮した点があり、それは、リニヤN系が2チャンネルあるためトリップ信号発生器側からもそのチャンネルを選択することが出来るようにしたこととスロー・スクラムシステムのバイパス機能をもたせたことである。



第2.8.1図 トリップ信号発生器の外観構造

このユニットを用いてリニヤN系のトリップ・ユニットを校正するには、校正信号出力を各リニヤN系の外部校正端子にあらかじめ接続しておき、所定のリニヤN系の動作モードをCALにし、次いでトリップ信号発生器のモード・スイッチで所定のリニヤNチャンネルを選択し、ヘリポットで校正信号レベルを設定する。このレベルに対してトリップ・ユニットの動作点を確認すればよい。

2.8.2 性能仕様

出力信号レベル：+0.2~+1.2V 連続可変

出力インピーダンス：10Ω以下

出力設定精度：+0.5%以内

温度安定度：0.1%/°C (0~50°C +1.2V)

時間安定度：0.2%/8hr

スロー・スクラム・バイパス：各チャンネル (BYPASSのポジション)

起動インターロック：共通1回路 (BYPASSのとき外れる)

消費電流：+12V：23mA

-12V：12mA

+24V (U.R.)：52mA

形状：5 1/4"型 2幅

コネクタ・キー：611

2.8.3 回路構成と動作

トリップ信号発生器の簡略化回路を第2.8.2図に示す。このユニットの基本的な動作は、連続可変の定電圧回路で、第2.8.2図について説明するとツェナー・ダイオード D_1 で基準電圧を作り、これを R_2 、 R_3 、 R_4 、 R_7 に通し R_4 から0.2~1.2Vの間の任意のトリップレベルをとり出し、それを入力インピーダンスの高いボルテージ・フォロワを通し、出力インピーダンスを低くして出力を得ている。 $IC-1$ と Q_1 から成る回路がボルテージ・フォロワ回路で、この利得は1である。この出力は、チャンネル選択も行なうモード・スイッチ SW_1 によってリニヤN-1とリニヤN-2とを選択されそれぞれの出力端子に接続される。

PC板の回路図とモジュール配線図を第2.8.3図および第2.8.4図に示す。

第2.8.3図で、基準電圧は、温度特性のよいツェナー・ダイオード (1S552 0.0002%/°C) で作り、その電圧を R_{11} 、 R_{12} を通し、端子⑥と⑤の間のヘリポット (1kΩ) から R_{10} に加えている。⑥端子での電圧は正確に+1.2Vになるように R_{11} で調整し、そのとき端子⑤は丁度+0.2Vになっている。トリップ信号の設定は、フロント・パネルにあるヘリポットで行なわれるが、ヘリポットで取り出された電圧を端子①に接続しており、 $IC-1$ と Q_1 からなるボルテージ・フォロワ回路の入力としている。この回路の入力インピーダンスは非常に高く、ヘリポットの抵抗値の2桁以上あるためヘリポットに対する負荷効果を見捨てることのできる。 Q_1 はボルテージ・フォロワの出力電流容量を十分得るためのエミッタ・フォロワである。また R_1 、 C_1 、 C_2 等は位相補償用の素子で、 R_5 はオフセット調整用抵抗である。オフセット調整は、ボルテージ・フォロワの入力である端子①をアースしたとき Q_1 のエミッタ電位が0となるように調整すればよい。 Q_1 のコレクタ抵抗 R_6 は Q_1 の過電流保護用である。

第2.8.4図のワイヤリング図で、PC-1は上記のプリント回路であり、左側がフロント・パネルに取付けられたスイッチ等、右側がリヤ・パネルに取付けられたコネクタを示す。左側上部のPL-1は表示ランプで、スイッチ $SW-1$ が中央のOFFの位置以外では動作状態となりPL-1が点灯する。

左側中段の SW_1 は動作およびチャンネル選択スイッチで、B段の①～⑥接点は上記の表示ランプの制御を行ない、⑦～⑫接点はトリップ・レベルの出力をチャンネル1とチャンネル2に振り分ける選択を行なっている。A段の①～⑥はスロースクラムのバイパスで、接点が各チャンネルの両端のポジションにおかれた場合にバイパスされるようになっている。この位置ではトリップが働いてもスロースクラムは動作しないのでファースト・スクラムの動作確認ができる。A段の⑦～⑫接点は起動インターロック用接点で、上記のスロースクラム・バイパスの位置では起動インターロック回路が切れて起動ができないようになる。

左側下段の R_1 はトリップ・レベル設定用のヘリポットでこのヘリポットで0.2～1.2Vの電圧を選ぶことができ、この値は各リニヤN系の20～120%のレベルに相当するようになっている。そしてその間はヘリポット目盛で出力レベルが直続できる関係になっている。

右側の J_1 コネクタは電源および出力用で、42P基本コネクタである。 SW_1 で選択された各チャンネル別の出力はピン5, 6に出ており、それぞれのチャンネルの校正信号端子に接続される。このコネクタのガイドで構成されるキー番号は611となっている。

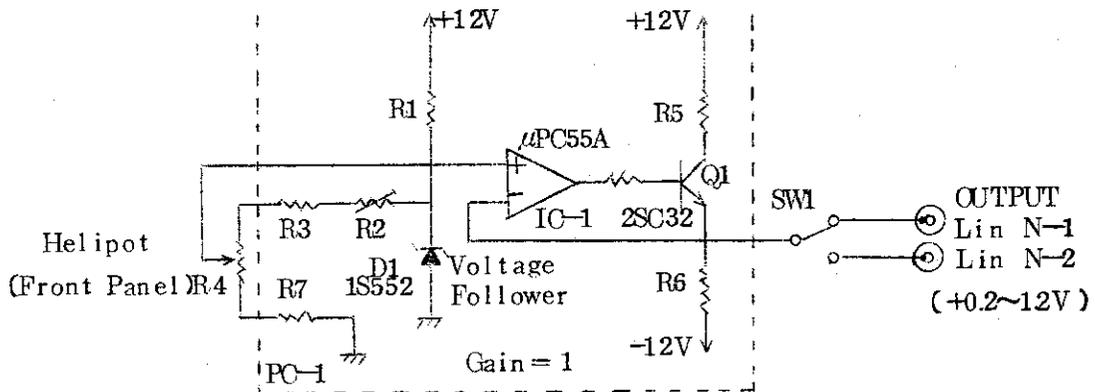
2.8.4 特 性

ダイヤル目盛の200～1200での各設定精度を第2.8.5図に示す。これから分るように設定値との最大偏差は、0.96mVでフルスケールの0.1%以下である。このユニットの負荷となるのは、リニヤN系の外部校正入力回路のインピーダンスで、その値は100k Ω と比較的大きく負荷電流特性は無視できる。

温度安定度の測定は、トリップ信号発生器の出力を最大の1.2Vにしてユニットを恒温槽に入れ、槽内温度を0～50 $^{\circ}\text{C}$ まで変化させて出力電圧の変動を求めたもので、2mV/0～50 $^{\circ}\text{C}$ 、0.0033%/ $^{\circ}\text{C}$ の値が得られた。これを第2.8.6図に示す。

時間ドリフトの測定は、温度安定度の測定と同じようにトリップ信号発生器を恒温槽に入れ、槽内温度をほぼ一定(約25 $^{\circ}\text{C}$)にして出力電圧の時間的変動を求めた。このとき恒温槽は、外気を遮断するための容器として使用しているだけで動作はさせていない。測定結果を第2.8.7図に示すが、8時間に対する出力電圧のドリフトは、設定電圧1.2Vで0.8mV/8hr、0.017%/8hrであった。これらの測定では、出力電圧を5桁のD.V.M(TR 65A5)で直接読みとっている。

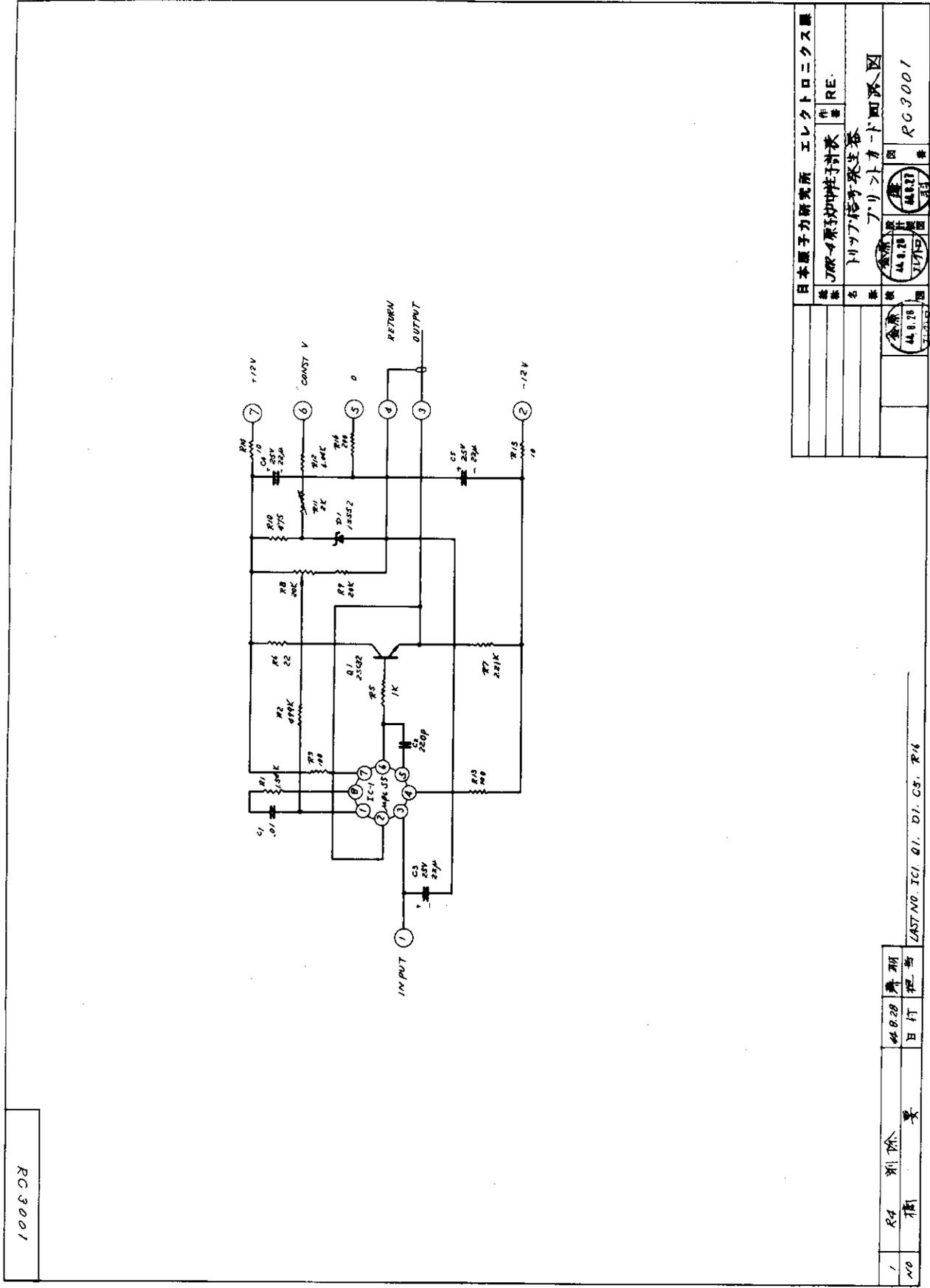
(薄羽皓雄)



部品番号リストで右側に
対応して示す番号は、回
路図あるいは配線図の番
号である。
(* 印が配線図)

- | | |
|------------|-------------|
| R 1 : R10 | D1 : D1 |
| R 2 : R11 | Q1 : Q1 |
| R 3 : R12 | IC-1 : IC-1 |
| R 4 : R1 * | SW1 : SW1-B |
| R 5 : R6 | |
| R 6 : R7 | |
| R 7 : R16 | |

第 2.8.2 図 トリップ信号発生器の簡略回路図

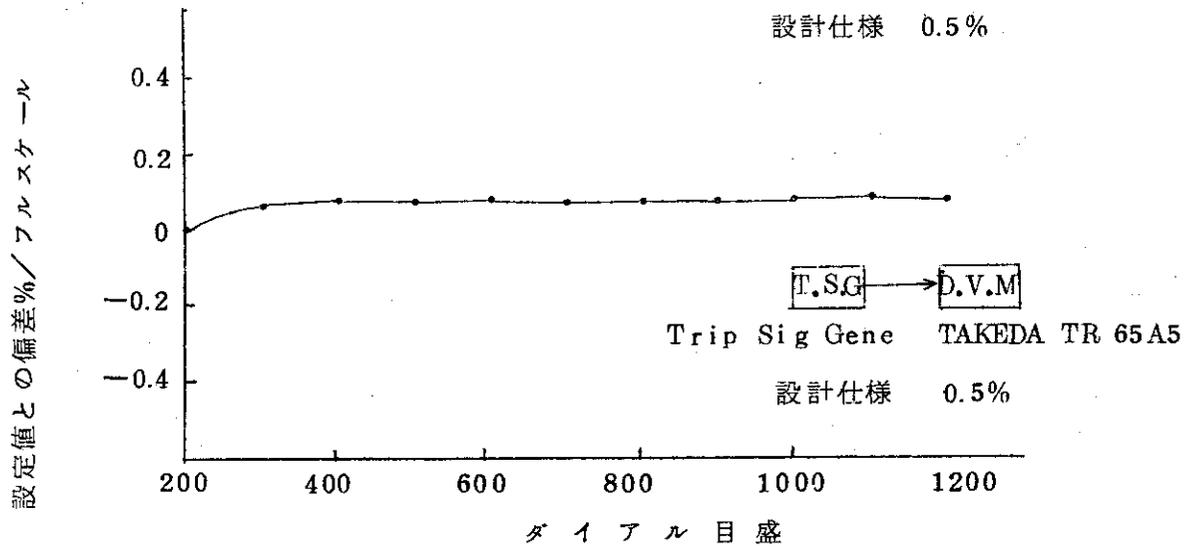


1	判別	量
NO	48.20	日付
		担当者

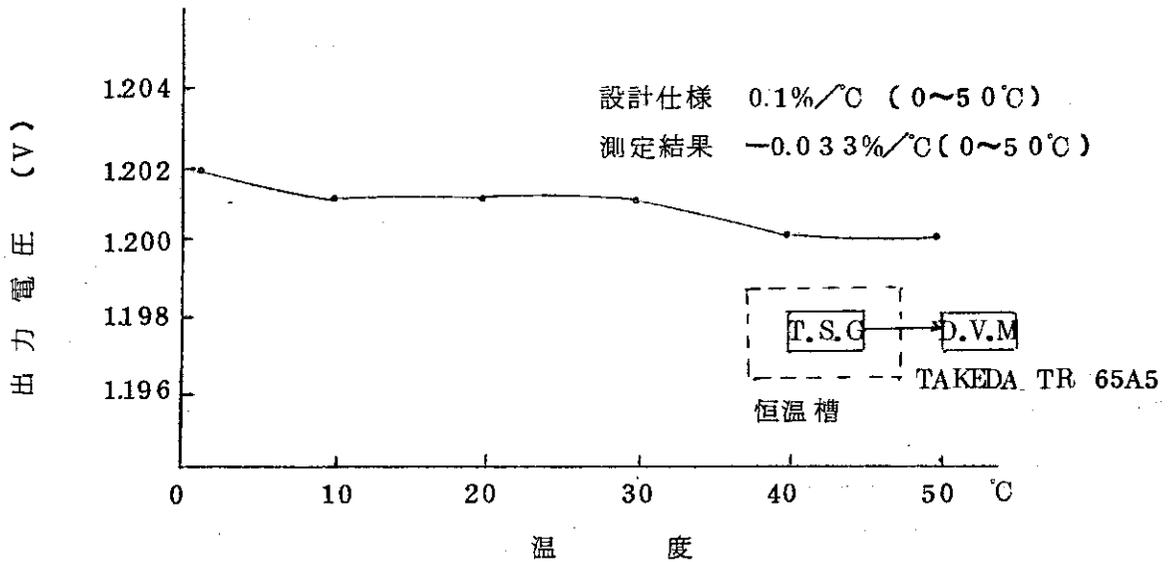
LAST NO. IC1, Q1, D1, C5, R6

日本電子力研究所 エレクトロニクス課	
機種名	JAR-4 乗数中核子計数器 RE-
名称	トリップ信号発生器
図番	プリントボード回路図
図号	RC3001
作成者	佐藤 隆夫
承認者	佐藤 隆夫
検査者	佐藤 隆夫
検査日	1975.11.10

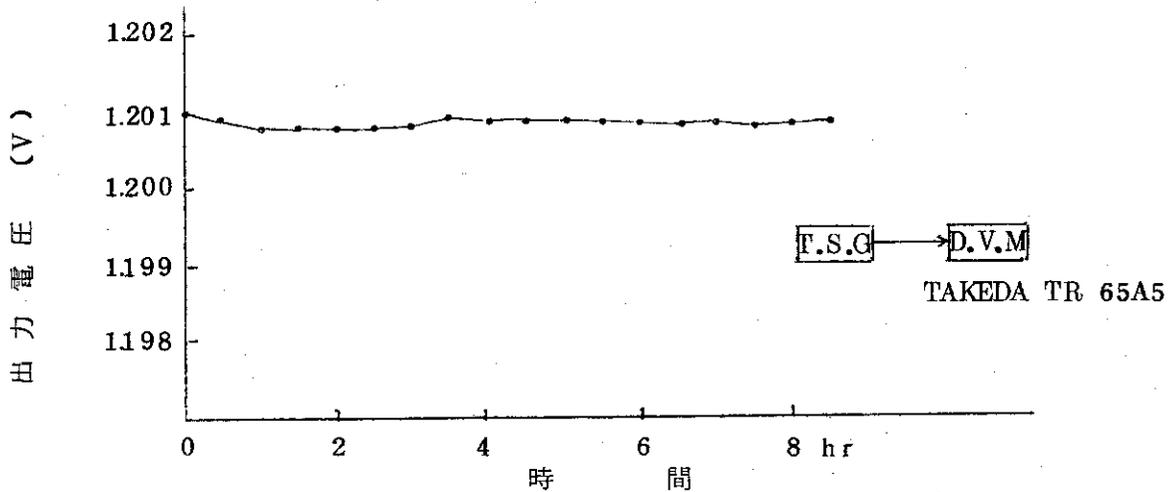
第 2.8.3 図 トリップ信号発生器ユニット回路図



第 2.8.5 図 出力電圧精度



第 2.8.6 図 温度ドリフト



第 2.8.7 図 時間ドリフト

2.9 高 圧 電 源

2.9.1 概 要

高圧電源ユニットには、正極性高圧電源ユニットと、負極性のユニットがあり、両者は細かな点で違があるが、基本的には同一回路構成である。これらの高圧電源ユニットは、CIC, UIC, FC, PCPなどの電源として用いられる。出力電圧は0~1000Vの間を連続的に設定できる。このユニットの特徴としてアラーム回路があり、高圧電源内部の回路の故障、出力電圧の短絡あるいは、過負荷などによって出力電圧が低下した場合のトリップ回路が設けてある。トリップ・レベルの設定は出力電圧全域に亘って0~100%の間を連続的に設定できる。この高圧電源ユニットは、4幅のモジュールに収められており外観は第2.9.1図のようで前面パネルには、出力電圧示指計、出力電圧設定用ヘリポット(10回転)、リセット・ボタン(トリップ表示ランプ)、パイロット・ランプなどが取付けられている。リセット・ボタンは、トリップ回路が動作した場合復帰させるためのものである。後面パネルには、トリップ・レベル設定用ヘリポット(10回転)、パワー・スイッチ、42P基本コネクタなどが取付けてある。高圧の出力端子は42Pコネクタの同軸ピンを通して出しており、正極性電源はピン6、負極性電源はピン7を用いている。また基本コネクタのキー番号は両者共に4番で同一であるが、出力は上記のようにピン番号を変えているので誤挿入の場合も異常は生じないようになっている。

2.9.2 仕 様

出力電圧：0~1000V

出力電流：0~1mA

出力電圧設定精度：±1%以下 (1000Vに対し)

負荷特性：0.1%以下

電源電圧特性：0.01%以下 (AC100V ±10%)

リップル, ノイズ：10mV P-P以下

温度特性：0.05%/°C以下

ドリフト：0.2%/24hr以下

出力電圧降下トリップ・レベル：設定範囲：0~100%：設定精度：±1%

過負荷保護動作：1.5mA以下

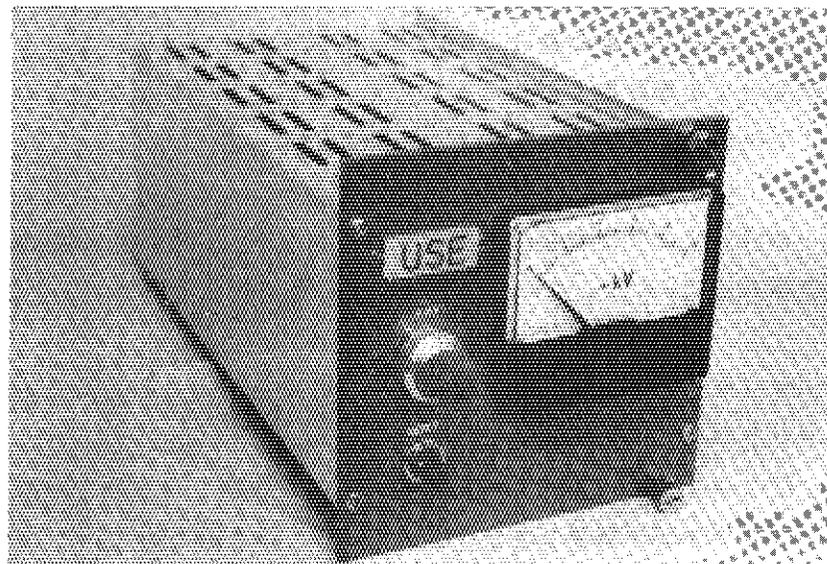
動作温度範囲：0~50°C

消費電流：±12V 0.2A以下

キー番号：1番

2.9.3 回路構成と動作

高圧電源ユニットの簡略化回路図を第2.9.2図に示す。高圧発生動作は、他励式のDC-A Cインバータによって、直流を交流に変換し、それを約600Vに昇圧して半波倍電圧整流し、



第 2.9.1 図 高圧電源ユニットの外観

フィルタ回路を通して直流高圧を得ている。出力電圧の安定化制御は、整流出力における直流変動分を検出して誤差増幅器によって増幅し、インバータの1次電圧、即ち直流低圧を制御して行なっている。

インバータの発振は、マルチバイブレータで約15kHzを発振させ、これによって駆動している。この他励式インバータの特徴は、発振周波数が任意に設定できること、また出力電圧の可変範囲が広い場合でも周波数が一定であること、またインバータの効率を最もよい周波数に選べること、小形化が容易であることなどのよい点がある。

トリップ回路は、高圧発生回路の故障、出力電圧の短絡あるいは、過負荷などによって、トリップ・レベルの設定値より出力電圧が低下した場合RY1のリレの励磁が解除され、インバータの一次側の電源をOFFし、リレーの接点によって外部にもアラームを出すようになっている。

トリップがかかった場合リセット・スイッチを操作すれば復帰するが、この場合トリップがかかった原因をとりのぞいていなければ復帰できない。

第2.9.3図、第2.9.4図は、正極性高圧電源の安定化回路とアラーム回路である。第2.9.5図、第2.9.6図は負極性高圧電源の安定化回路とアラーム回路で第2.9.7図は両ユニット共通のモジュール配線図である。正電源も負電源も基本的な回路構成は同一であるから、主な部分は正電源の動作について説明する。

第2.9.3図のプリント板(PC板)回路図において、 Q_1 、 Q_2 はマルチバイブレータを構成しており、発振周波数は約15kHzである。 D_1 、 D_2 はマルチバイブレータを確実に始動させるためのものである。もしこのマルチバイブレータが不安定な動作をしたり、動作しない場合は、 T_1 、 TR_1 、 TR_2 で構成するインバータに過大電流が流れ TR_1 、 TR_2 を破損することがある。 TR_1 、 TR_2 、 T_1 と整流回路を含めたDC-DCコンバータは電源としての効率を左右する重要な回路であり、特にトランスは、比較的高い周波数で動作させるためダストコア(EI形)に分割巻きとし、巻線による分布容量を少なくなるようにしている。このトランスの特性が悪いと高周波スイッチング動作における損失が大きくなり効率が悪くなる。 TR_1 、 TR_2 (2SD71)もスイッチング速度の速いDC-DCインバータ用のトランジスタを用いている。この回路の波形は第2.9.8図に示すようにスイッチング時間は4~6 μ Sであるが、これ以上スイッチング時間が早いと高圧出力電圧におけるスパイク・ノイズが大きくなり除去が困難となる。

整流回路は、半波倍電圧整流方式で、この出力は π 形のフィルタ回路を通じて直流高圧を得ている。このフィルタ回路のリプル・ノイズの低減効果は実測値で1/16000以上で、最大負荷(1mA)時における直流電圧降下は約10mVである。

安定化回路の誤差増幅器はモノリシックICの μ PC55Aを用いており、INV入力端子ピン②に誤差検出回路の抵抗(R_{15} 、 R_{16} 、 R_{17})が接続され、 R_{13} にかかる基準電圧によって誤差検出が行なわれる。基準電圧は、温度補償型定電圧ダイオード(D_{51S552} 、 $\pm 0.002\%$ /°C)を使用しており、出力電圧の設定は、パネル面のヘリポットにより R_{13} に加える基準電圧を変え、0~+1000Vまで連続的に設定できる。トリマ抵抗 R_{19} は、マルチ・ダイヤルの目盛と出力電圧を対応させるためのもので、設定精度は目盛に対し $\pm 1\%$ 以下になっている。

D_3 , D_4 は IC1 の保護用のダイオードであり, C_3 , C_4 , R_{10} は IC 自体の局部的な発振を防止するためのダンピング回路である。 C_5 , R_{20} , C_{13} , R_{18} , C_{14} , L_5 などはフィードバック・ループの発振を防止するのに役立っている。

誤差信号は増幅されて IC1 のピン⑥に得られ, Q_3 ベースを駆動する。 Q_3 は制御トランジスタ TR1 とダーリントン接続になっている。 TR1 に消費される電力は, 出力電圧が約 100V で全負荷のとき最大で約 2W であり, トランジスタの定格電力の約 1/7 程度である。出力電圧が 100V 以下における消費電力はほとんど変わらない。

次に第 2.9.4 図に示す正電源のアラーム回路は, PC 板端子 ⑱ に高圧出力電圧が加えられ R_{13} , R_{14} , R_{15} , R_{11} , R_{17} によって分圧されて IC1 (μ PC55A) の NON-INV 入力端子ピン③に加えられる。一方後面パネルに取付けられたヘリポットによって決められたトリップ・レベルの電圧が INV 入力端子ピン②に加えられて比較動作が行なわれる。この比較動作を行なう IC は, コンパレータ IC (μ PC71) を使用するべきであるが, オペ・アンプ (μ PC55A) を使用した場合, 出力電圧の振幅が大きいいため後続回路の動作が確実になるので, あえて μ PC55A を使用した。

トリップ・レベル設定用ヘリポットのマルチダイヤル目盛は高圧出力電圧と対応しており, 正常な使用状態では出力電圧よりトリップ・レベルが低い状態に設定され, このとき IC1 の出力端子ピン⑥は約 +1.2V となり Q_1 は導通して, RY1, RY2 は励磁されて正常な動作状態となる。もし外部の影響で出力電圧がトリップ・レベルより低下した場合, IC1 のピン⑥の出力電圧は約 -1.2V に下り, Q_1 はオフされて RY1, RY2 の励磁が解かれる。そしてパネル面の赤ランプが点灯してアラームを出し, 高圧発生回路の -1.2V が断たれて高圧出力をオフする。同時に RY2 の接点によってアラーム出力が外部に出される。トリップがかかった場合, パネル面の表示ランプ兼用のリセット・ボタンを操作すれば復帰するが, トリップがかかった原因がとりのぞかれていなければならない。

出力電圧に過負荷がかかった場合は, 第 2.9.7 図のモジュール配線図に示すフィルタ回路のアース側に挿入されている R_3 (360 Ω) の電圧降下が大きくなり, ⑰端子に得られた負の電圧が第 2.9.4 図アラーム回路 PC 板端子 ⑰に導かれて Q_3 がオンとなり, Q_2 も導通する。したがって Q_1 がオフとなり RY1, RY2 の励磁が解かれてアラームを出す。トリップ回路を復帰させる場合はリセット・ボタンを操作すればよい。

第 2.9.5 図は, 負電源の安定化回路であり動作は, 第 2.9.3 図の正電源の安定化回路と概略同じ動作をするが, 違っていている点は, 高圧整流回路, 基準電圧発生回路, および誤差増幅器の入力回路などが変わっている。高圧整流回路の D_1 , D_2 (LA60) の極性が逆になり負の高圧出力を出す。基準電圧は D_5 (1S552) を逆接続して正の基準電圧を発生しており, コンデンサ C_5 (22 μ F) も逆接続されている。誤差増幅器の入力は, NON-INV 入力端子ピン③に誤差検出回路の抵抗 (R_{15} , R_{16} , R_{17}) が接続され, R_{13} にかかる正の基準電圧によって誤差検出が行なわれる。増幅された誤差信号は IC1 (μ PC55A) のピン⑥に現われ, Q_3 を経て TR1 (2SD71) を駆動する。したがって高圧出力電圧が負の方向に高くなった場合, IC1 のピン⑥は負の方向に誤差信号が現われ, TR1 のエミッタ電圧を低くおさえ安定化動作がおこなわれる。

第 2.9.6 図は、負電源のアラーム回路である。第 2.9.4 図の正電源のアラーム回路との相違点は、 Q_3 (2SA544) が省略されていることと、トリップ検出回路の IC1 (μ PC55A) の入力端子を逆にしている点である。出力電圧に過負荷がかかった場合、第 2.9.7 図のモジュール配線図に示すフィルタ回路のアース側に挿入されている R_3 (360Ω) の電圧降下が大きくなり ④端子に得られる正の電圧が第 2.9.6 図の PC 板端子 ⑰に導かれる。そして Q_2 を導通させ、 Q_1 がオフとなり RY1, RY2 の励磁が解かれてアラームを出す。正極性電源の場合は、 R_3 (360Ω) の ④端子に負の電圧が生ずるため Q_3 によって極性反転する必要があったが、負電源の場合は正の電圧を生ずるから Q_3 は不要で直接 Q_2 を駆動している。次にトリップ検出回路の IC1 (μ PC55A) の動作は、PC 板端子 ⑱に負の高圧がかかり R_{13} , R_{14} , R_{15} と R_{11} , R_{17} によって分圧された信号が IC1 の INV 入力ピン ②に加わる。NON-INV 入力ピン ③にはトリップ・レベルが加えられており、この両端子間で比較動作がおこなわれて、正常な動作状態では IC1 の出力端子ピン ⑥は正の出力電圧となり、後続回路の動作は正電源の場合と同様である。

第 2.9.7 図のモジュール配線図は、正、負電源共通に使用しており部品配置は、PL1 パイロットランプ「USE」、R1 出力電圧設定用ヘリポット、S1 アラーム表示兼用リセット・スイッチ、M1 出力電圧指示用メータなどが表面パネルに取付けてある。R2 トリップ・レベル設定用ヘリポット、S1 パワースイッチ、J1 42P コネクタなどが裏面パネルに取付けてある。この J1 のピン機能は、ピン ⑳は $\pm 12V$ のパワーリターン、ピン ㉓は $+24V$ のパワーリターン、ピン ⑰は $+12V$ (安定化)、ピン 17 は $-12V$ (安定化)、ピン ㉔は $+24V$ (非安定化) などがパワー入力である。アラーム出力は、ピン ㉑, ㉒, ㉓を通して出している。高圧の出力端子は、ピン ⑥, ⑦の同軸ピンを用いており、ピン ⑥は正の高圧を、ピン ⑦は負の高圧をそれぞれ出している。モジュール内部のシルド・ケース内には、PC1 高圧安定化回路の PC 板、PC2 アラーム回路、フィルタ回路などが組込まれている。パワートランジスタ TR1 (制御用)、TR2, TR3 (コンバータ用) はシルドケース側板に取付けて放熱効果をよくしている。

J1 のガイドで構成するキーは正負電源共にキー番号 1 番にしている。

2.9.4 特 性

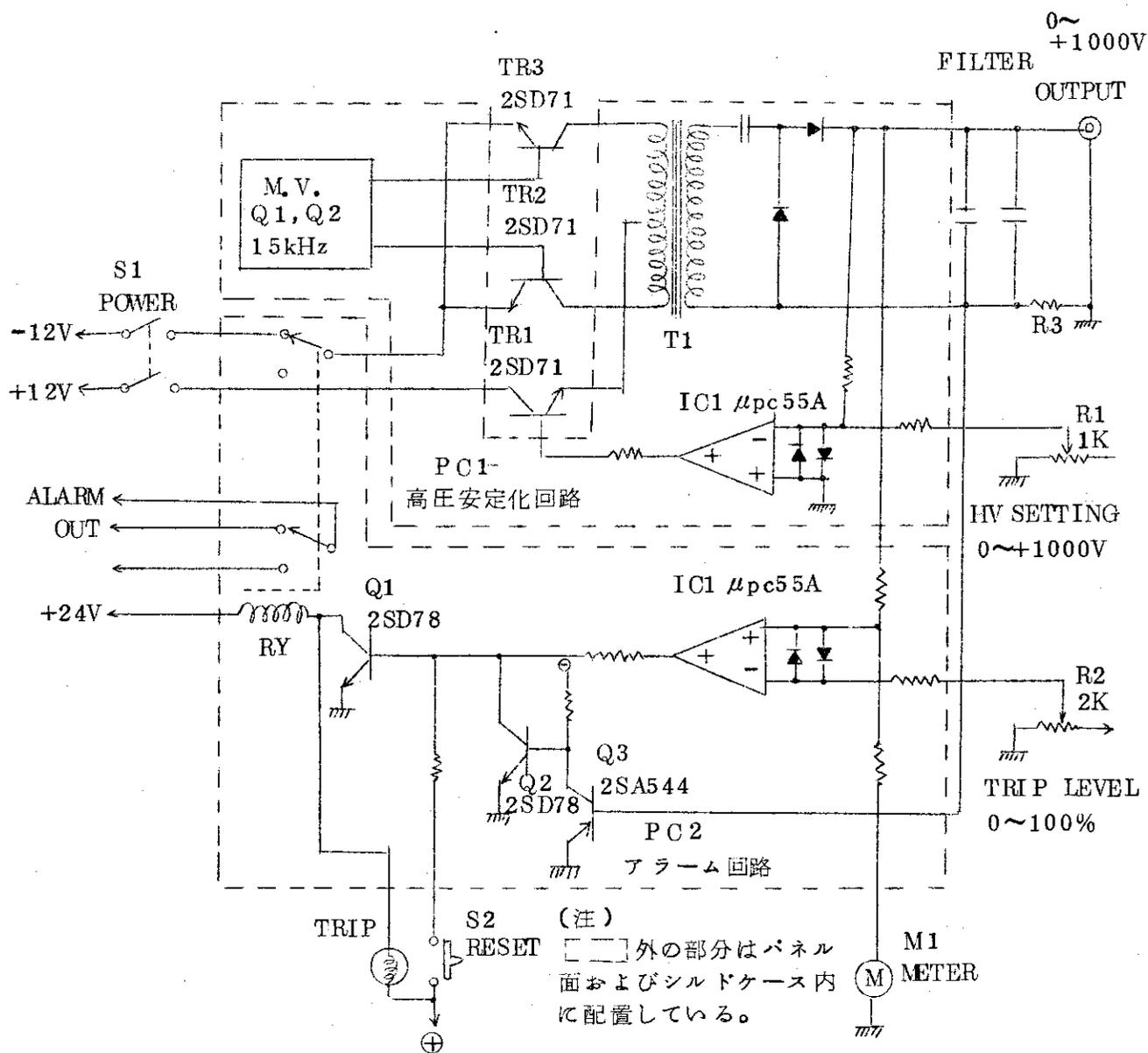
高圧電源ユニットの総合的な特性表を第 2.9.1 表に示す。この表はシリアル No. 1 の特性を示している。出力電圧設定精度は第 2.9.9 図のようで、フルスケール ($+1000V$) に対する比率をとっており、ダイヤル目盛対出力電圧を FLUKE 製差動電圧計 (MODEL 335A) を読みとったものである。

負荷特性の測定は、無負荷のとき出力電圧を $1000V$ に設定し、抵抗負荷で $1mA$ 流したときの電圧降下を差動電圧計を用いて測定したもので $-0.1V$ (-0.01%) であった。

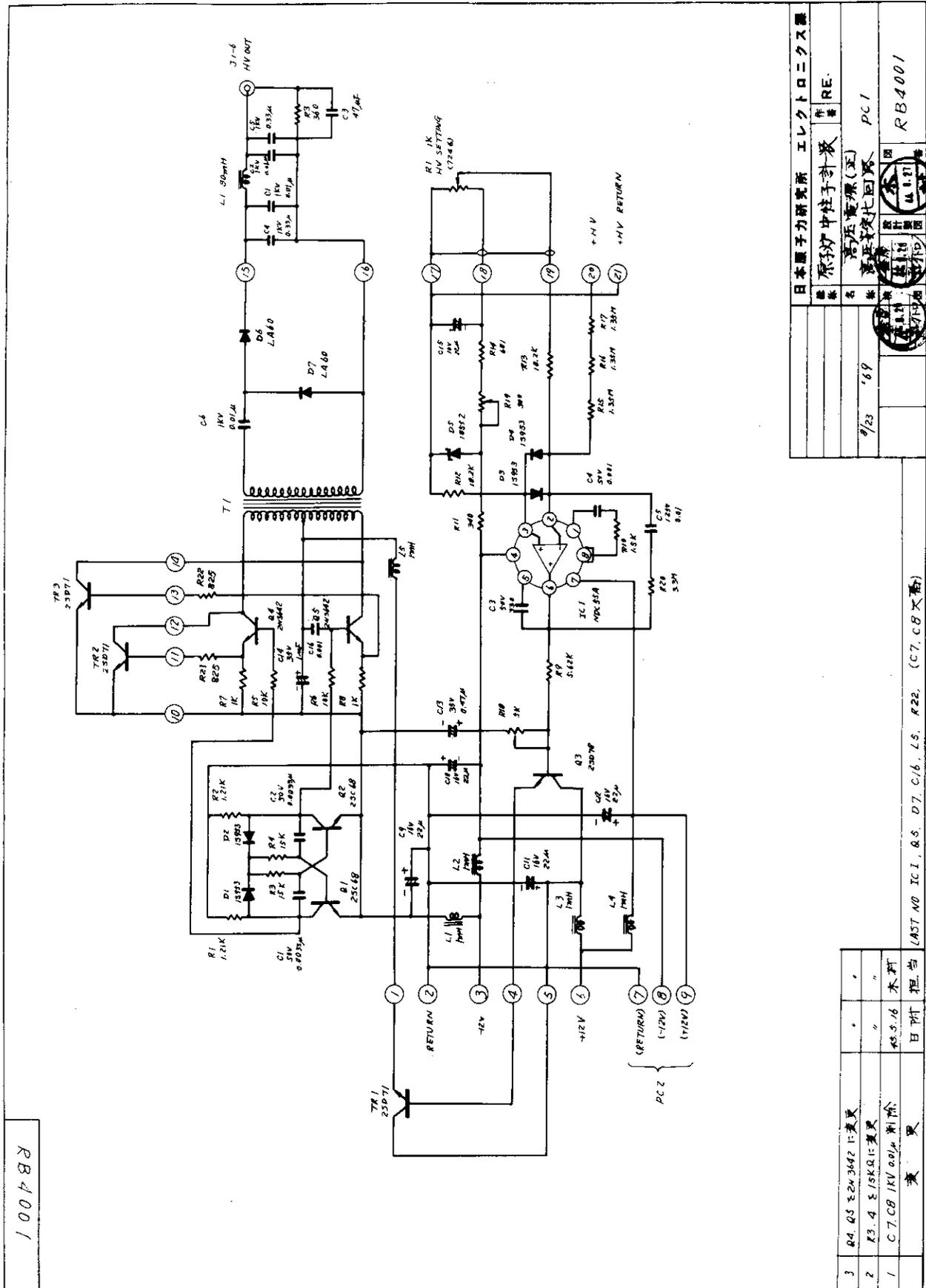
電源電圧特性は 0.001% 以下である。温度特性を第 2.9.10 図に示す。この測定は高圧電源ユニットを恒温槽内に入れて $0^\circ C \rightarrow 50^\circ C \rightarrow 0^\circ C$ のように温度を変えて各ポイントを $30 \sim 40$ 分経過毎に測定した。その値は $4.55V/0 \sim 50^\circ C$ で $0.0091\%/^\circ C$ となった。過負荷保護動作は、全負荷の 150% 以下で動作するようになっており No. 1 の場合は $1.4mA$ で動作した。

第2.9.1表 高圧電源の仕様値と特性 (No.1)

項 目	仕 様	特 性
出 力 電 圧	0~1000V	<1V~+1000.77V
出 力 電 流	0~1mA	0~1mA
出力電圧設定精度	<±1%	0.45%
負荷特性(0~全負荷)	<0.1%	0.01%
安定化率 AC100V±10% (全負荷)	<0.01%	0.001%以下
リップル・ノイズ(全負荷)	<10mV P-P	10mV P-P
温度特性(無負荷)	<0.05%/°C	0.01%/°C
ドリフト 24hr(無負荷)	<0.2%/24hr	0.06%/24hr
出力電圧降下トリップ	<±1%	0.4%
過負荷保護動作	>1mA	1.4mA
消 費 電 流	+12V <0.2A -12V <0.2A	+12V 115mA -12V 130mA
動作温度範囲	0~50°C	0~50°C



第 2.9.2 図 高圧電源ユニットの簡略化回路図 (+HV)

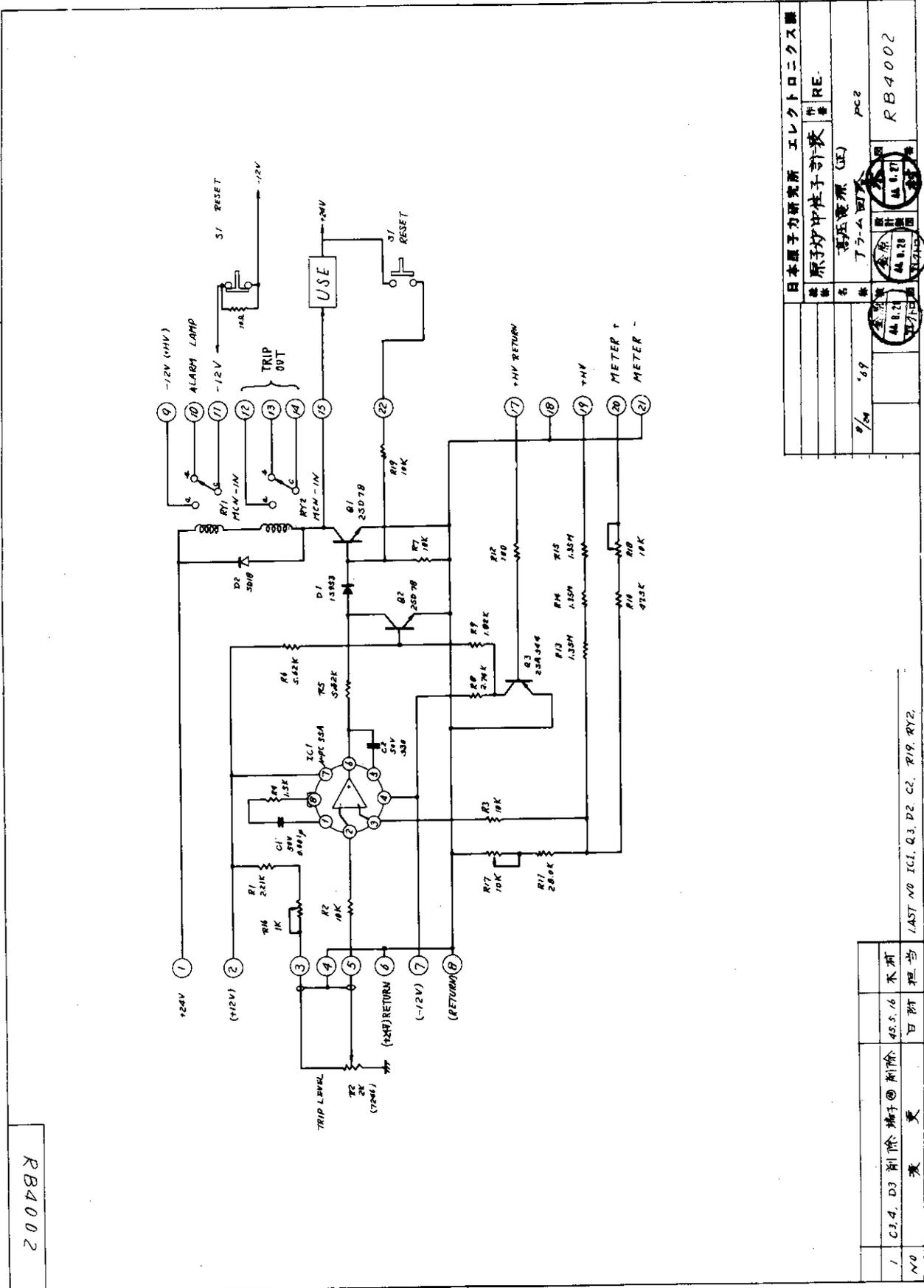


RB4001

3	84.05 2W 362 1:変更		
2	83.4 5 15K 0.1:変更		
1	C7.C8 1KV 0.01μ:削除	木村	
	変更	日附	

第 2.9.3 図 正電源の安定化回路図 (C7, C8 欠番)

日本電子力研究所 エレクトロニクス課	
機名	原子炉中粒子計測 作番 RE.
機種	高圧電源(変)
図番	PC1
設計者	木村
校閲者	木村
承認者	木村
日付	9/23 '69
図名	RB4001



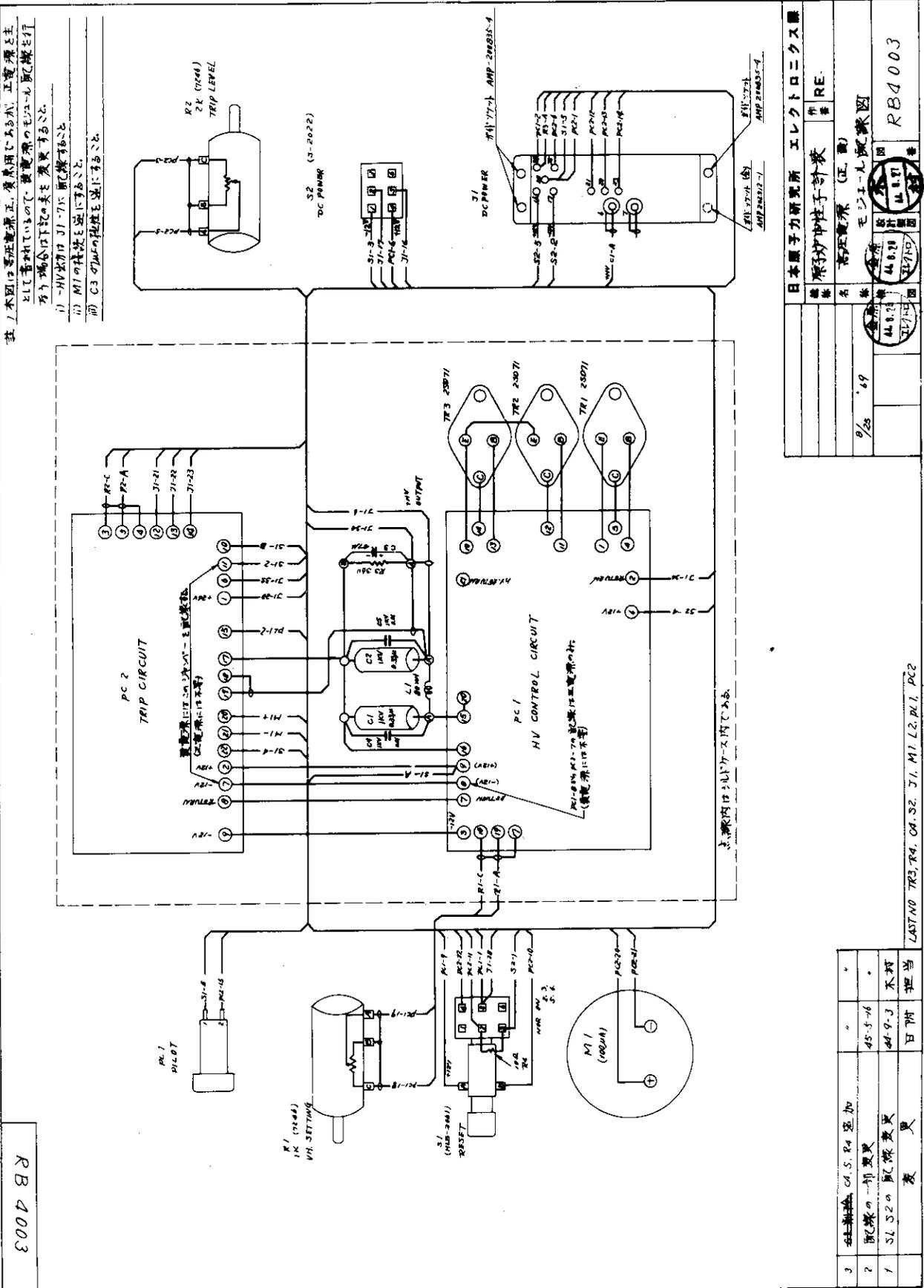
RB4002

NO	変更	日附	担当
1	C3,4, D3 削除端子④削除	45.5.16	木村

LAST NO IC1, Q3, D2, C2, R19, R12

日本原子力研究所 エレクトロニクス課	
機名	原子炉中核子計数機 RE
名	電源管理 (RE)
年	丁ラ-ム 田
月	9/24 '69
日	
設計者	田中 隆夫
検査者	山本 隆夫
承認者	山本 隆夫
機番	PC2
機名	RB4002

第 2.9.4 図 正電源のアラーム回路図



注1 本図は高圧電源正負電源用であるが、正電源と負電源とを同時に動作させる場合には、高圧電源のモジュール配線と行ったり場合分けが必要である。

注2 HV出力はJ1-7に配線すること。

注3 M1の検流を逆にする。

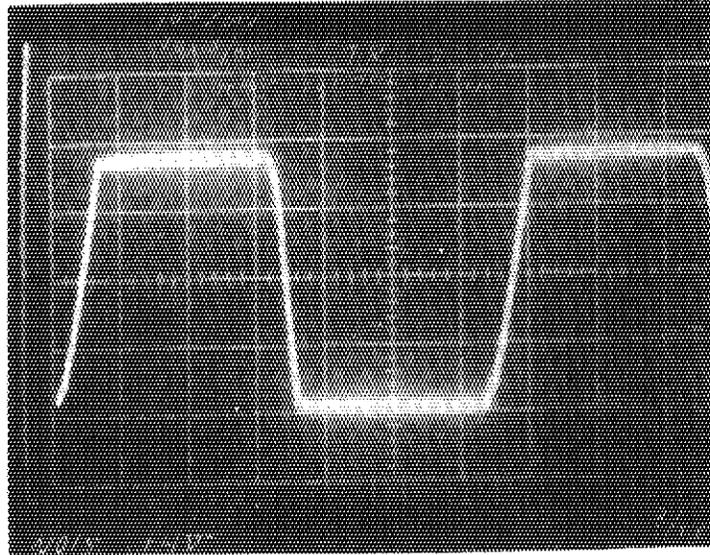
注4 C3のMFAの検流を逆にする。

RB 4003

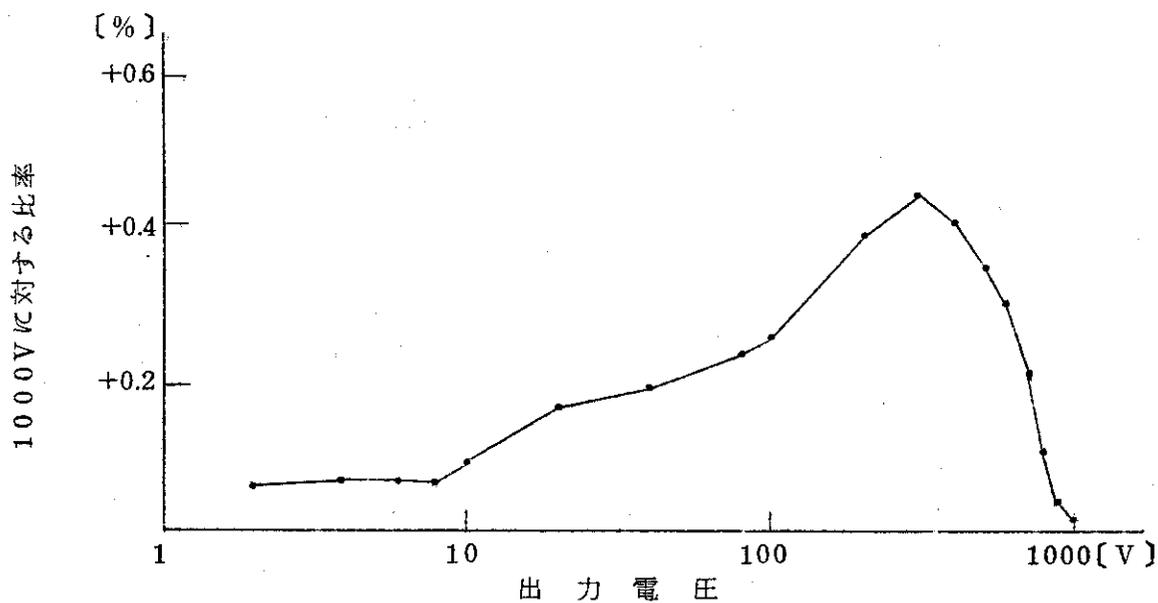
日本電子力研究所 エレクトロニクス課	
製作	RE
設計	高圧電源 (正負)
図面	モジュール配線図
図番	RB4003
作成	44.8.28
承認	44.8.28
検査	44.8.28

3	仕様書	CA. S. R4 追加	*
2	配線図	45-5-16	*
1	配線図	44-9-3	木村
	表	日附	担当

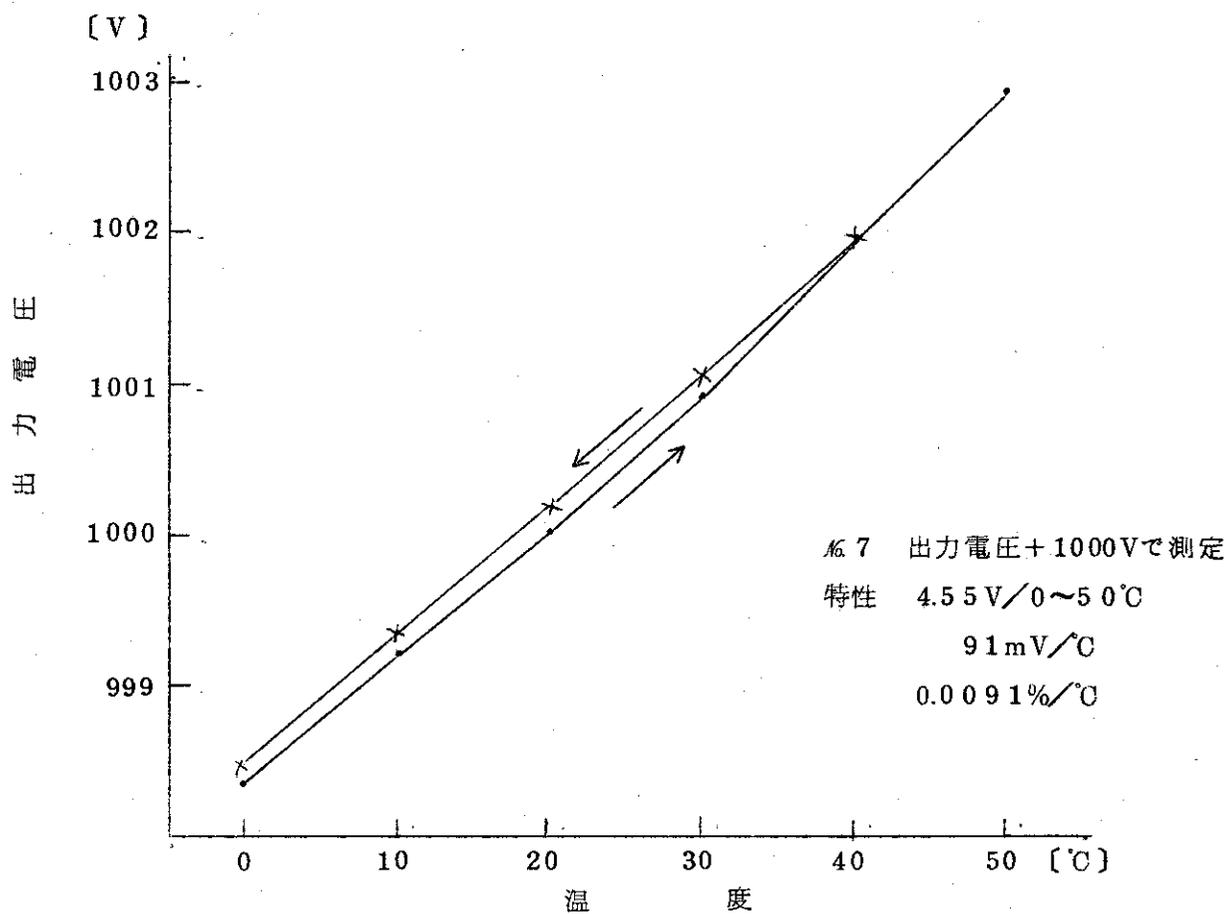
第 2.9.7 図 高圧電源のモジュール配線図 (正負電源共通)



第 2.9.8 図 D C - A



第 2.9.9 図 高圧電源の出力電圧設定精度 (№ 1)



第 2.9.10 図 高圧電源の温度特性 (№ 7)

2.10 共通電源

2.1 0.1 概要

共通電源ユニットは、POWER SUPPLY AとBの2種類があり、これらは出力電流の大きさによって区別している。

POWER SUPPLY Aは43年度に製作した共通電源ユニット（出力電流 最大0.2A）とほぼ同一で異なる点は短絡保護回路を附加していることである。POWER SUPPLY BはPOWER SUPPLY Aの最大出力電流が0.2Aに対して、最大0.5Aとることができ、スクエラや高圧電源のように消費電流の比較的大きいものに使用される。

共通電源ユニットは、ログ・Nベリオド系、スタート・アップB、およびC、校正信号発生器、高圧電源など各系の総てのセットに共通に使用されており、ピンの右端に挿入される。なお43年度に製作した共通電源ユニットとPOWER SUPPLY AおよびBのそれぞれは互換性を持たせてあるが、電流容量に注意して使い分ける必要がある。

この共通電源ユニットは2幅の標準モジュール（5インチ型）に納められている。パネル面には、パイロット・ランプ兼用の系統表示板があり、これは取りはずせる構造で互換性に支障がないようになっている。外観を第2.1 0.1 図に示す。

リヤパネルには、42Pの基本コネクタとパワートランジスタ、チェック端子などが取付けてある。

共通電源のキー番号は標準の7を用いており総ての共通電源に対し互換性を持たせている。しかし実装に当ってはセットによって電流容量が異なるため使い分けに注意が必要である。

2.1 0.2 仕様

出力電圧：±12V, +24V（非安定化）

出力電流：POWER SUPPLY A 0.2A, B 0.5A, +24V（非安定化） 0.3A

出力電圧設定精度：0.1%以下（±12V, 以下同じ）

電源電圧特性：0.01%以下（全負荷でAC 100V ±10%変化した時）

負荷特性：0.1%以下（0～全負荷）

リップル・ノイズ：1mV P-P以下（全負荷）

温度特性：0.02%/°C以下（全負荷）

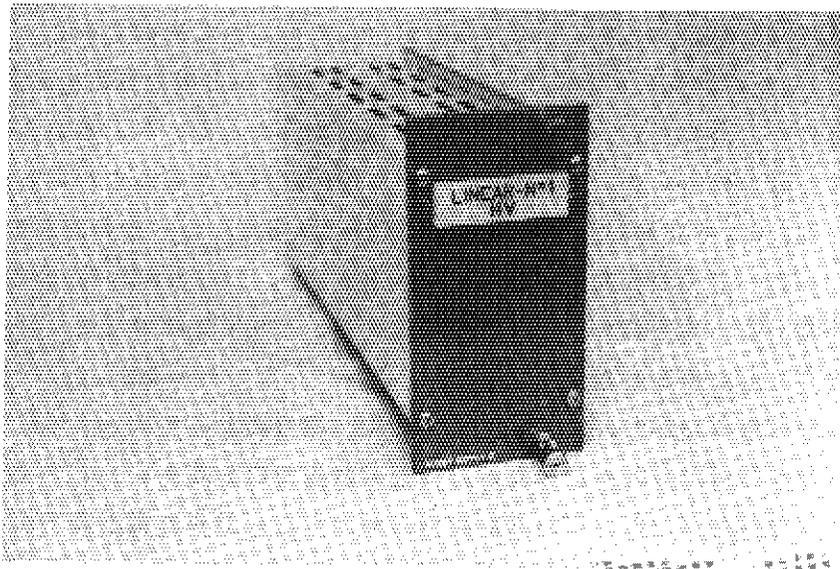
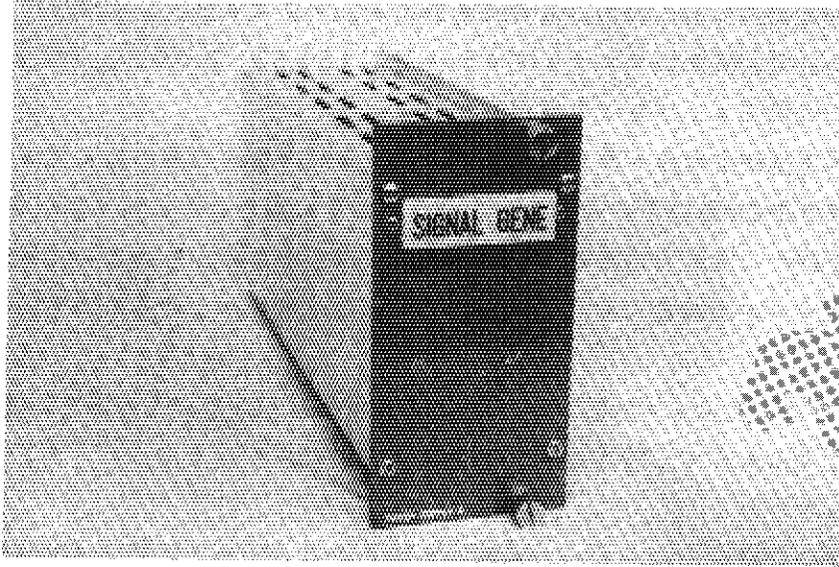
ドリフト：0.1%/24hr以下（全負荷）

保護回路動作電流：POWER SUPPLY A 0.24A以下

POWER SUPPLY B 0.6A以下

動作温度範囲：0～50°C

キー番号：7



第 2.1 0.1 図 共通電源ユニットの外観

2.1 0.3 回路構成と動作

共通電源ユニットのブロック・ダイアグラムを第 2.1 0.2 図に示す。正負 12V の安定化回路は同一の回路構成とし、アース側のとり方を逆にして正負 12V を出している。誤差増幅器は μ PC55A を使用し、この出力信号で制御用トランジスタ Q_1 および TR_1 を駆動している。基準電圧は、温度補償型のツエナ・ダイオード (1S552 0.002%/°C) を使用し、温度特性、長時間安定度をよくするよう考慮している。

Q_2 は、過電流防止用のトランジスタで制御トランジスタの出力側に電流検出抵抗 R_3 を挿入し定格電流の 120% 以下で過電流を制限するように働かせると共に制限特性を“フ”の字特性をもたせ短絡時の電流を定格電流の 50% 以下にしている。したがって短絡状態で放置しても制御トランジスタが熱的に破壊されないようになっており、さらに自動復帰特性ももっている。

+24V 電源は、トリップ回路のリレーやパイロット・ランプその他高い安定度を必要としない回路に使用するもので、特に安定化せず整流出力にフィルタ用のコンデンサを挿入した簡単な回路となっている。

プリント板の回路図とモジュール配線図を第 2.1 0.3 図および第 2.1 0.4 図、第 2.1 0.5 図に示す。プリント板には各電源の整流回路と $\pm 12V$ 用の誤差増幅部などが組み込まれている。 $\pm 12V$ 電源の安定化回路は、同一の回路構成とし、アースのとり方を変えて正、負の電圧を出している。回路の詳細について +12V の安定化回路について説明する。

基準電圧を IC_1 の非反転入力端子ピン③に加え、 R_9 から出力電圧に比例した電圧を IC_1 の反転入力端子ピン②に加え、両端子間で誤差検出を行なっている。増幅された誤差信号はピン⑥にえられ、 Q_1 からモジュールのリヤ・パネルに取付けてある主制御トランジスタ TR_1 を駆動している。 Q_1 と TR_1 はダーリントン接続となっている。出力電圧の調整はトリマ抵抗 R_9 によって $12V \pm 1V$ の可変範囲をもっている。 C_1, C_3, R_8 は IC_1 自体の発振を防止するためのもので、 C_4 は制御系ループの発振を抑えると共に電源の出力インピーダンスを比較的高い周波数まで低くすることに役立っている。

次に電流制限回路の Q_2 は、正常な状態では R_1, R_2 によってベース電位がエミッタ電位より低くなるように設定している。したがって正常状態で Q_2 はカットオフで、 IC_1, Q_1, TR_1 の電圧制御系には無関係となっている。負荷が増大すると R_3 の電圧降下が大きくなり、 Q_2 のエミッタ電位がベース電位より高くなり、 Q_2 は導通となってコレクタ電流が流れ始める。 Q_2 のコレクタ電流は R_4 に流れ、 Q_1 のベース電位を下げ電流制限作用が行なわれる。出力端子を短絡した場合、 TR_1 のエミッターコレクタ間には約 8V かかるが電流は 0.2A 以下に制限され“フ”の字特性をもっており消費電力は比較的小さく熱的な破壊を防止している。

制御トランジスタは全負荷の時約 4W の電力を消費しているが、リヤ・パネルの内側には放熱器を取付けてあり、放熱には十分考慮を払っている。トランジスタの表面温度は常温より最大 15°C 上昇することを確認している

2.1 0.4 特 性

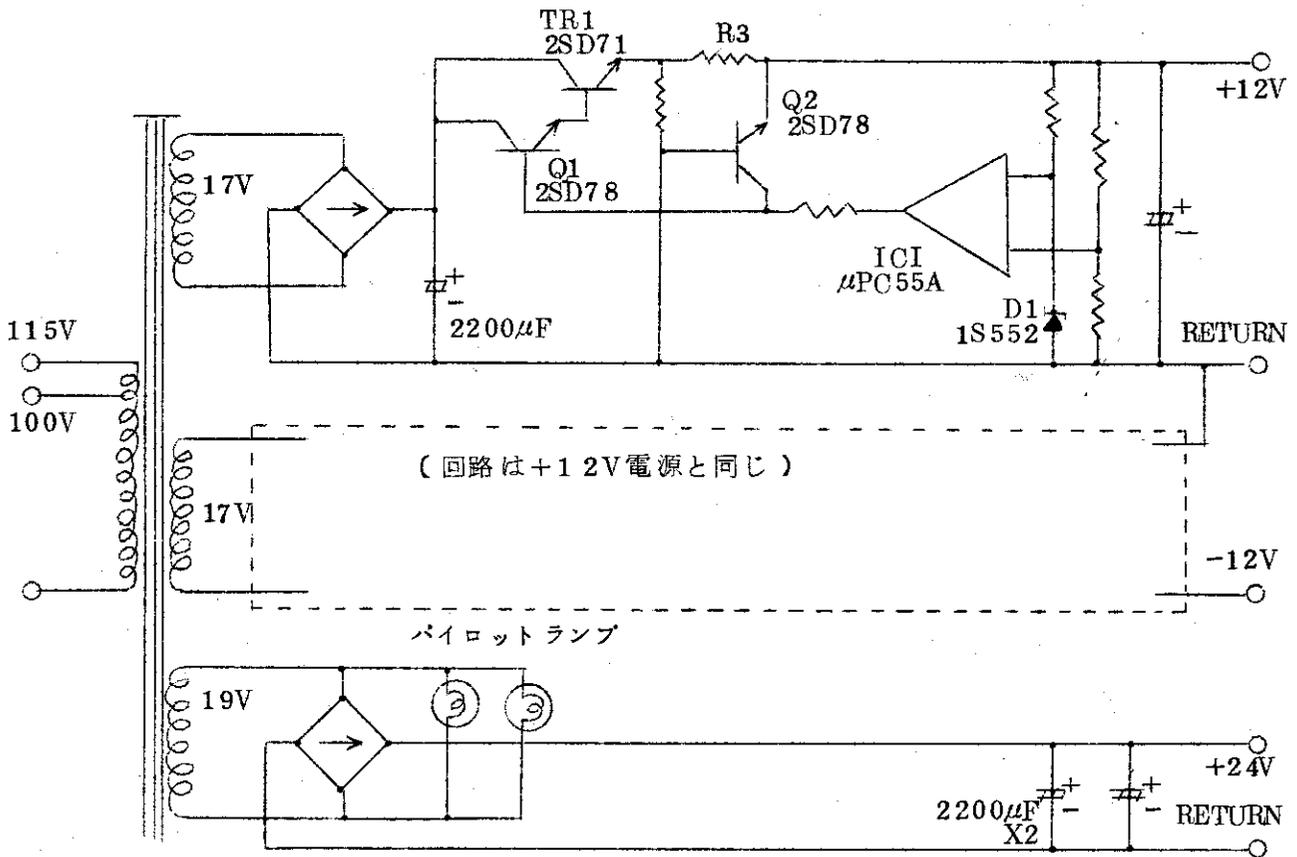
共通電源ユニットの特性を第2.1 0.1表に示す。今年度9台製作し、内4台はPOWER SUPPLY A、5台がBである。第2.1 0.1表の特性はこれらの内代表的ユニットとして№2 (B型)の特性を示す。他のユニットも総て仕様特性を満足している。

出力電圧の測定は42Pコネクタの出力側で測定している。電源電圧特性はAC 100Vを±10%変化させた時の直流出力電圧を測定している。負荷特性は負荷を0~100%変化し時の値で0.059%以下である。温度特性は第2.1 0.6図に示し、温度変化を1サイクル行なわせたとときの特性結果で0.0024%/°Cとなっている。ドリフトは電源投入後30分より24時間連続測定し、その間の平均した値で0.038%/24hrとなっているが、この間に室温が9°C変化している。また電源投入直後30分までの初期ドリフトは0.058%であった。過負荷保護回路の動作は、定格電流の120%以下で動作し、短絡電流は170mA以下であった。

(木村和磨)

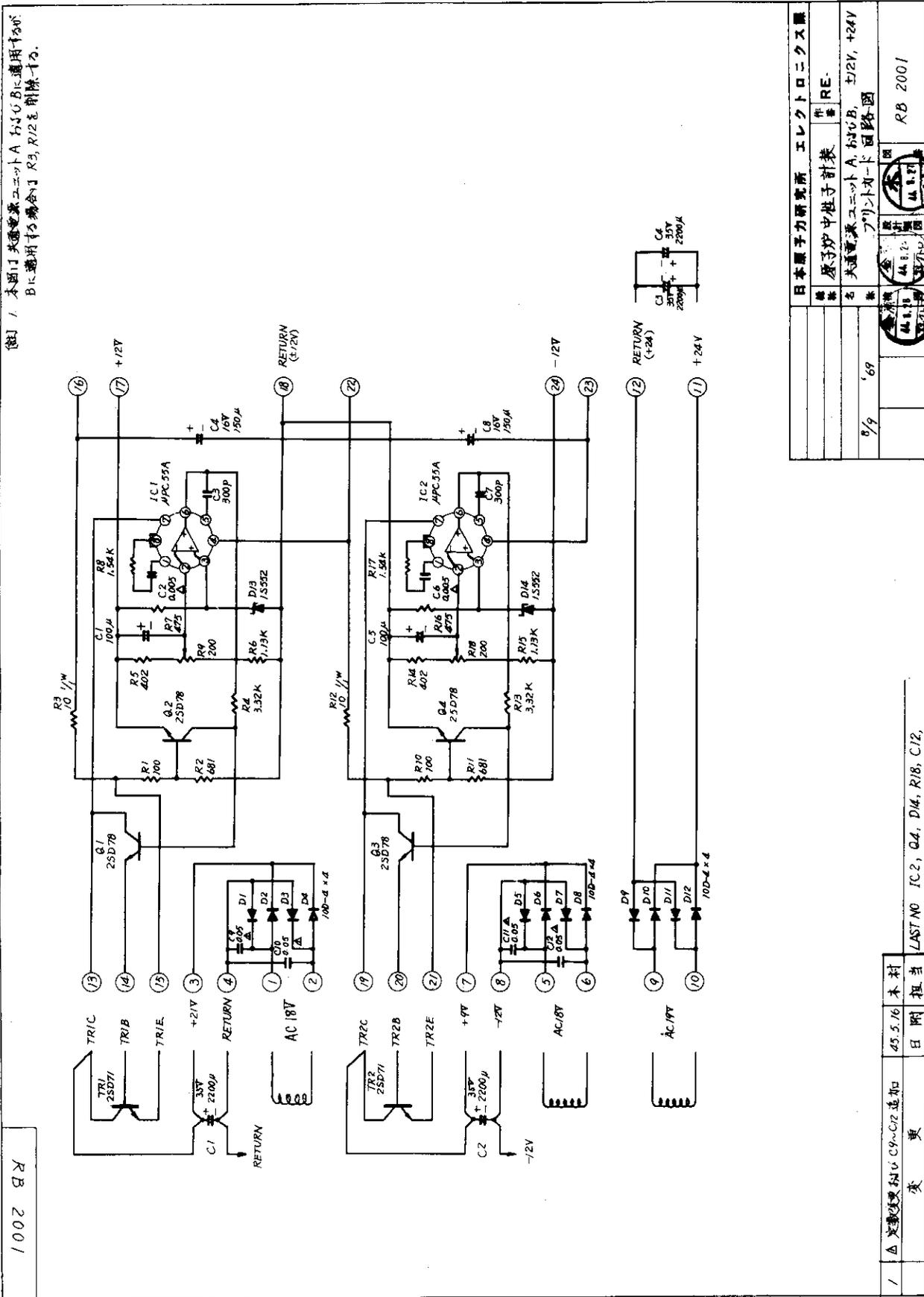
第2.1 0.1表 共通電源ユニットの特性表 (№2 +12V)

項 目	仕 様	特 性
出 力 電 圧	±12V	+12V
出 力 電 流	TYPE A 0.2A TYPE B 0.5A	TYPE B (№2)
出力電圧設定範囲	<0.1%	<0.025%
安定化率 AC100V±10% (全負荷)	<0.01%	<0.0084%
負荷特性 (0~全負荷)	<0.1%	<0.05%
リップル・ノイズ(全負荷)	<1mV P-P	<0.5mV P-P
温 度 特 性 (全負荷)	<0.02%/°C	<0.0024%/°C
ドリフト 24hr(全負荷)	<0.1%	<0.025%/24hr
保護回路動作電流	TYPE A <0.24A TYPE B <0.6A	<560mA
動作温度範囲	0~50°C	0~50°C



第 2.1 0. 2 図 共通電源ユニットのブロック・ダイアグラム

注1. 本図は共通電源ユニットAおよびBに適用するが、Bに適用する場合はR3, R/2を削除する。



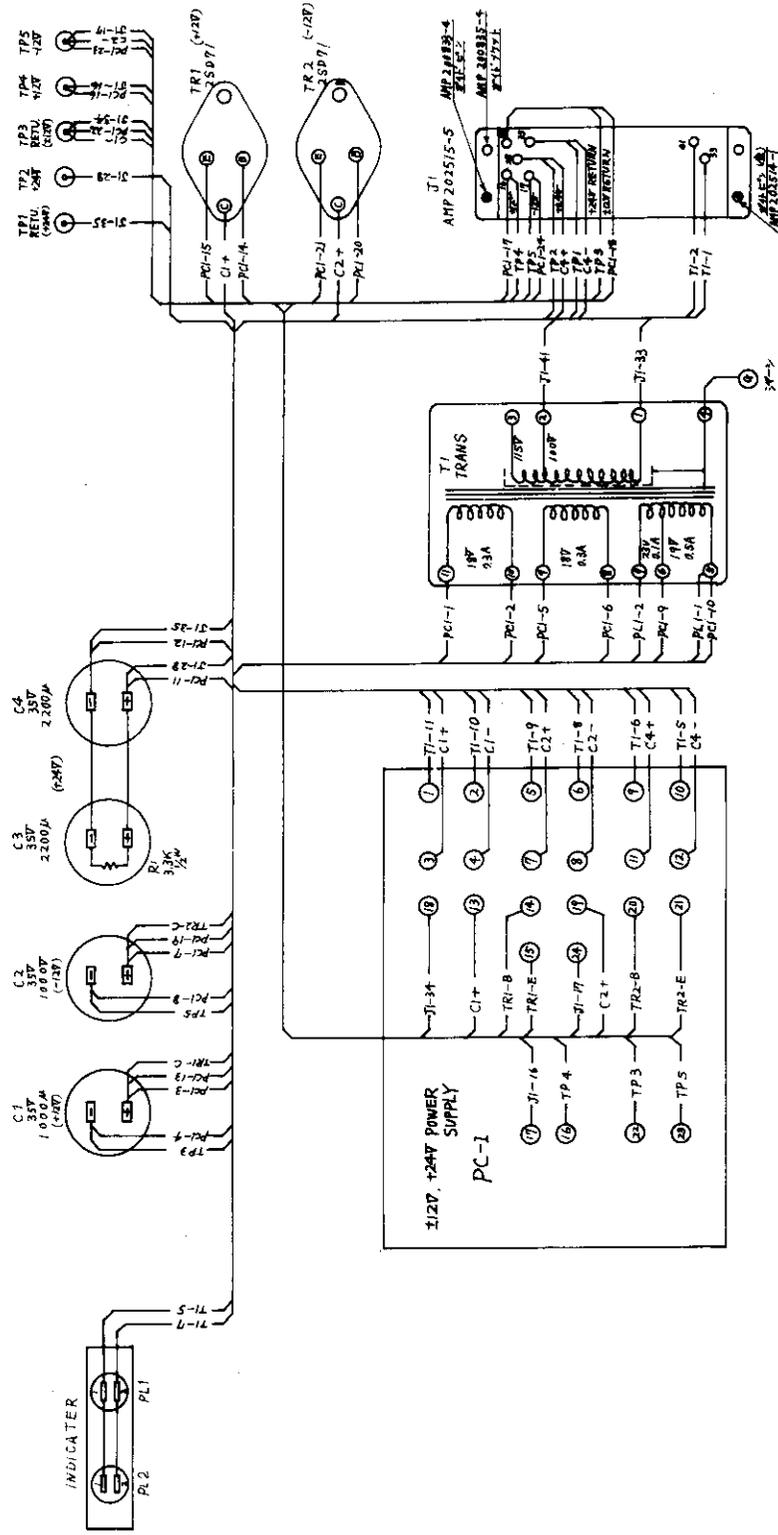
日本原子力研究所 エレクトロニクス課	
機 種	原子炉中継計表 作 業 RE-
名 称	共通電源ユニット A, BのC, B, ±12V, +24V
図 号	プリアトリード回路図
図 名	RB 2001
日 付	44.11.18
作 者	44.11.18
検 査	44.11.18
承認	44.11.18

第2.1.0.3図 共通電源ユニット回路図

変 更	45.5.16	本 材	LASTNO IC2, Q4, D4, R18, C12,
日 附		担 当	

(註) 1. PCIの回路図は図番RB2001E適用す。

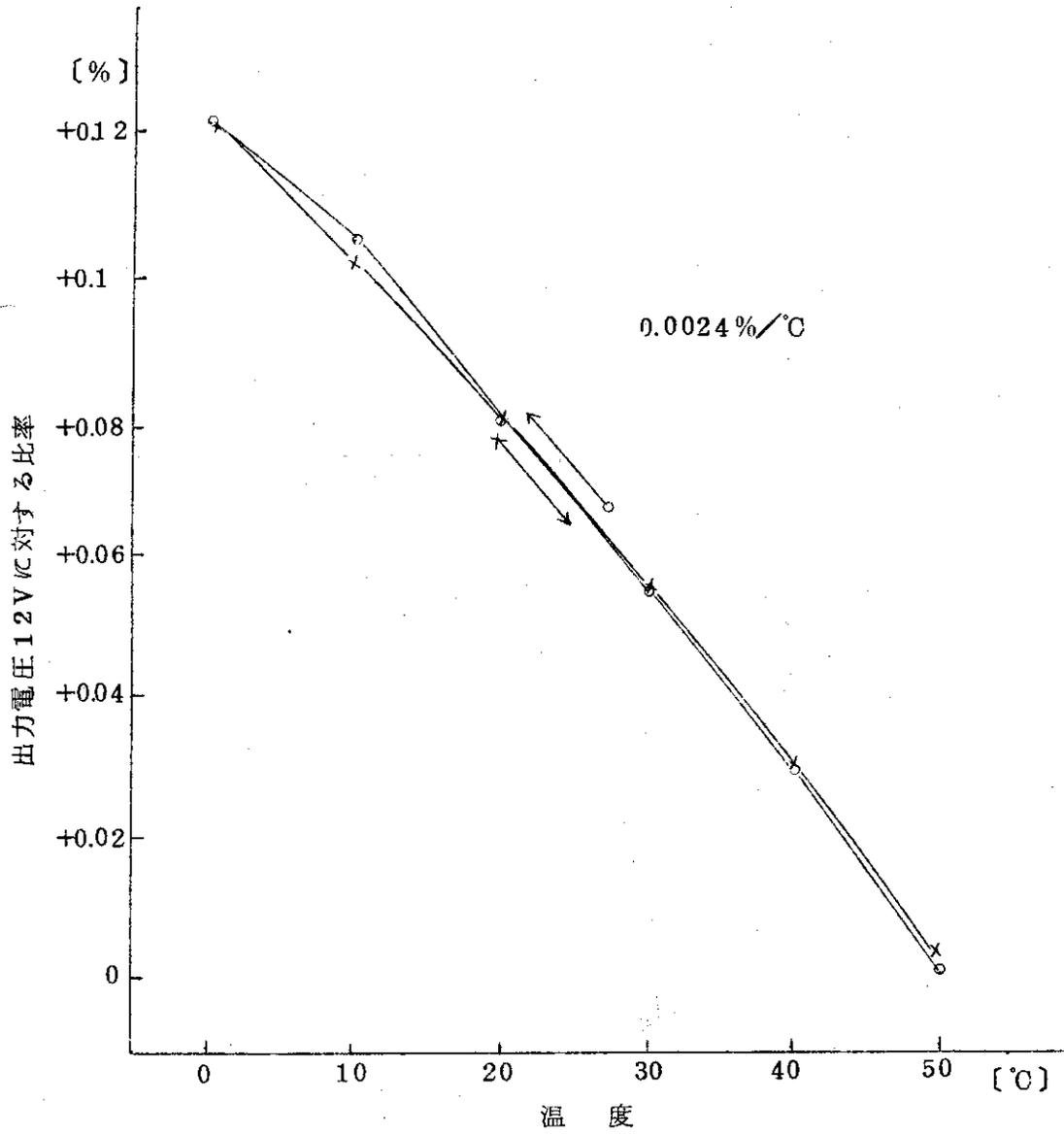
RB2002



日本原子力研究所 エレクトロニクス課	
装置名	原子炉中性子計装
図番	RE
名称	共通電源ユニットA 112P, +24V
備考	モジュール配線図
図番	RB2002
作成者	計装課 田中 隆夫
承認者	計装課 田中 隆夫
年月	'69

第2.10.4図 共通電源ユニットAのモジュール配線図

表 変 更 日 付 担当者 LAST NO TR2, T1, C4, R1, J1, PL2, PC1, TP5.



第 2.1.0.6 図 共通電源ユニットの温度特性 (電圧 +1.2V)

2.11 ガルバ系用高圧電源

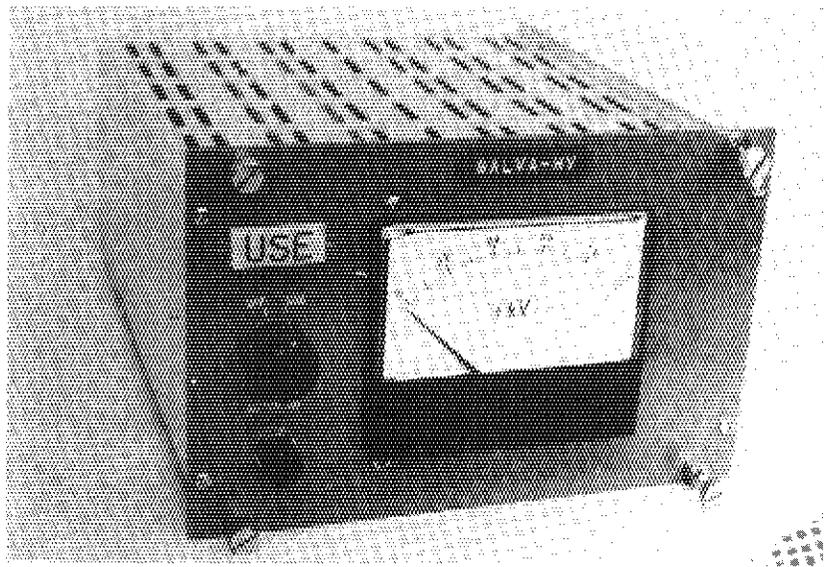
2.1.1.1 概要

この高圧電源は JRR-4 のガルバ系（ガルバノメーター系）の検出器電源で、他の高圧電源が発振型の DC-DC インバータ方式を用いているのに対し、この電源は無停電方式とするため電池を直列に接続し約 740V を出している。

外観は第 2.1.1.1 図のようで、6 幅のモジュールに作られている。正面に電圧表示のメータがあり、左下の押ボタン・スイッチを押すと電圧が表示される。このメータは電池の消耗を防ぐため常時は切られている。左中段のスイッチで高圧出力のオン、オフをおこなうことができる。

リヤ・パネルには 42 P の基本コネクタがあり、このコネクタを通して高圧を出すとともにパイロット・ランプ用の電源を入れている。

基本コネクタのキー番号は 1 で、2.9 節で述べた高圧電源と同一である。しかしこのユニットは出力端子をピン 5 から出しており、誤挿入が防止されている。



第 2.1.1.1 図 ガルバ系高圧電源の構造

2.1 1.2 仕様と回路

この高圧電源の仕様は次のようである。

電池型：BL-145B (67.5V)

電池個数：11ヶ

出力電圧：+743V

モジュール・サイズ：6幅

キー番号：1

モジュール配線図は第 2.1 1.2 図のようである。11ヶの電池を直列に接続し、その出力は+、-の端子に出ている。S₁がUSE側にあるときは+、-の端子からJ₁のコネクタに接続され、ピン5(同軸コンタクト)を通してガルバ系検出器(UIC)に電圧を送っている。またUSEのときは+24Vがパイロットに加わり使用状態を表示する。この表示は交流電源が正常なときだけ行なわれており、停電時には消える。しかし高圧出力は交流電源と関係なく無停電で供給することができる。

メータはR₁(20MΩ)の直列抵抗を通して、S₂が押されたときだけ振れるようになっている。

電池を収納する部分は漏液の問題を避けるためにモジュール内にさらにアクリルボックスを設け、その中に並べてある。

(熊原忠士)

第3章 セットの説明

3.1 スタート・アップ B

3.1.1 概要

JRR-4の起動系では計数率計ユニット、スケーラ・ユニットおよび共通電源ユニットを納めた1つのピンをスタート・アップBと称している。スタート・アップBの外観は第3.1.1図に示すように向って左から計数率計モジュール4幅、スケーラ・モジュール4幅、ブランク・モジュール2幅、共通電源モジュール2幅の順に組み込まれている。この系では計数率計、スケーラともパルス増幅器の出力パルス(パルス増幅器内の弁別回路で波高弁別を行ない、出力はロジック・パルス)を個々に入力信号として受け入れている系の出力は計数率計からはメータ表示とレコーダ出力が、そしてスケーラからはフロント・パネル面の10進6桁表示と裏側コネクタへBCD6桁のデータ出力が出ている。

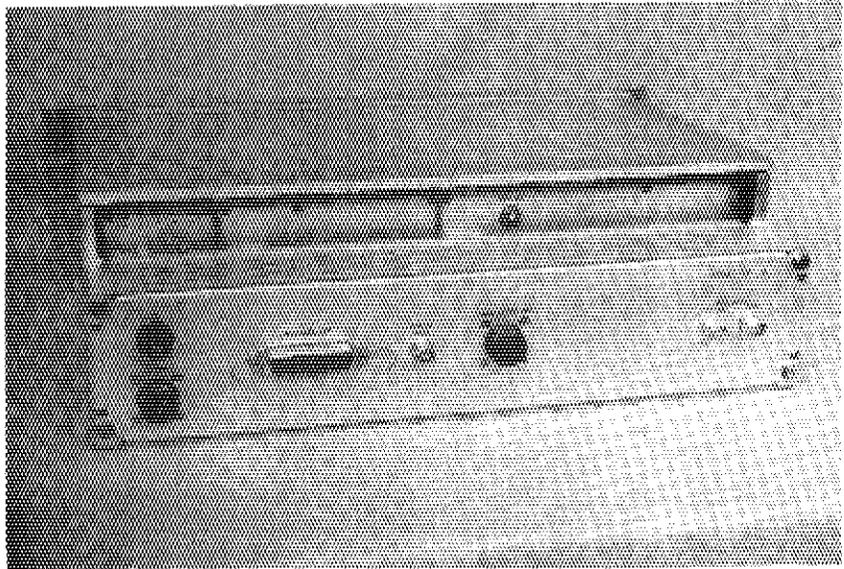
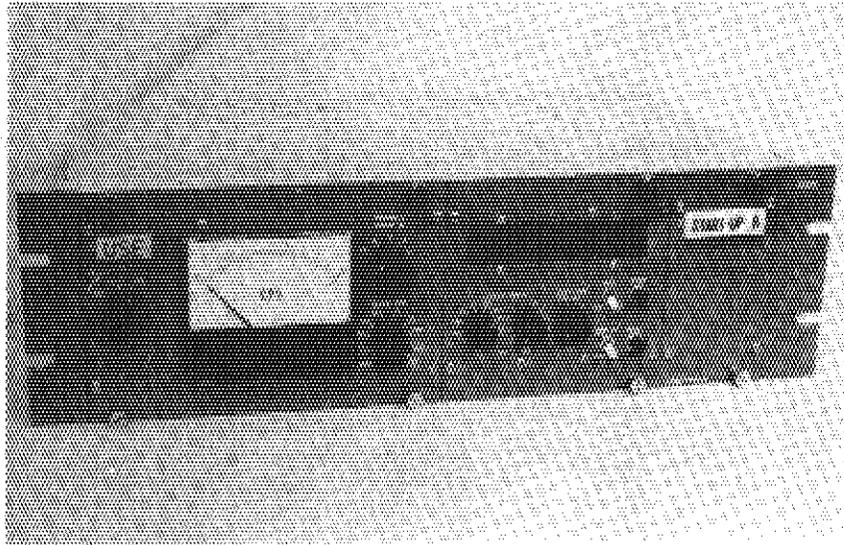
3.1.2 機能と接続

計数率計はファンクション・スイッチが「USE」の位置におかれると「USE」ランプが点燈して測定状態となり、アダプタの「RATE METER INPUT」に接続されたパルス増幅器(スタートアップA)からの信号パルスの計数率を測定する。「CAL 100」では内蔵のAC50C/Sを両波整流した信号による動作チェックのモードとなり、「CAL EXT」では「RATE METER EXT CAL」に接続された外部のパルス発生器からの信号が計数率計に加わり、校正モードとなる。計数率計の出力は「RATE METER OUT」から計数率計出力(0~1V)と記録計出力(0~10mV)が取り出される。

スケーラは「START」ボタンが押されるか、あるいは外部からスタート信号(リサイクル)が加わると「SCALER INPUT」に接続されたパルス増幅器からの信号パルスを計数する。スタート信号はAMPHENOL 57-40360のピン34から入ってくる。

ピン内のモジュール相互間あるいは外部回路との接続はすべてアダプタを介して行っている。第3.1.2図はスタート・アップBのアダプタ内の接続関係を示す構成図であり、第3.1.3図はピン・アダプタ配線図である。J1, J2, J3はピンの内面に取り付けられた42Pの基本コネクタであり、モジュールの基本コネクタと接続され電源や信号の授受を行なう。J1は電源部で、スケーラ部J2と計数率計部J3へ電源を供給している。J6, J8, J9は入力信号用コネクタ(BNC)であり、J6とJ9は外部で共通に接続されパルス増幅器からの入力を入れる。J8は外部から校正信号を入れるときに使用される。J7には計数率計出力と記録計出力が出されている。J5にはスケーラのデータ出力が出ており、BCD6桁とスタート信号、ビジー信号が含まれている。J4にはAC 100Vのライン電源が接続される。

(猪俣新次)



第 3.1.1 図 スタートアップ B の外観

3.2 スタート・アップC

3.2.1 概要

JRR-4の起動系では対数計数率ベリオド計ユニットと共通電源ユニットを1つのピンに収めこのセットをスタート・アップCと称している。スタート・アップCの回路構成は対数計数率計回路・ベリオド計回路、共通電源回路であり、これらのユニットの信号や電源はアダプタの配線を通して相互にあるいは外部回路と接続されている。

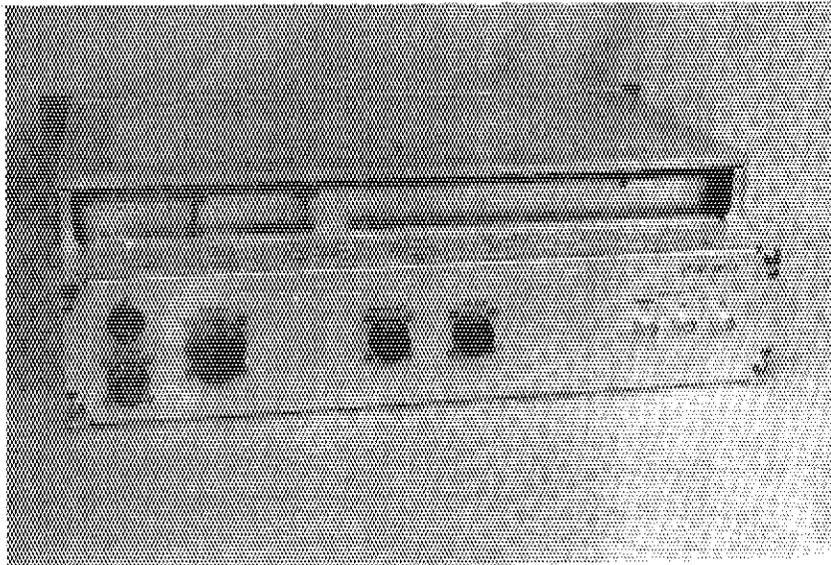
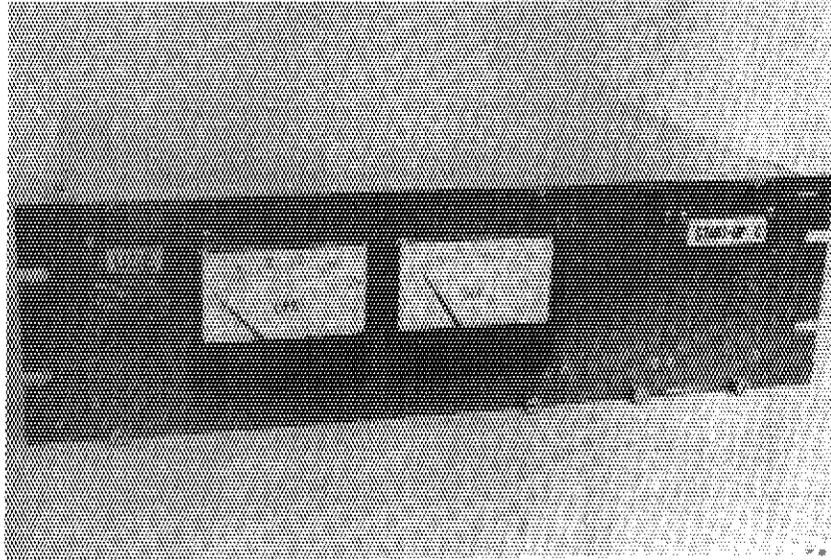
スタート・アップCの外観は第3.2.1図に示すように、共通電源2幅、ブランク・モジュール2幅、対数計数率、ベリオド計8幅のモジュールが1つのピンに納めてある。対数計数率計の入力はスタート・アップBの比例計数率計、計数器と同様にパルス増幅器の出力パルス(パルス増幅器内で弁別を行ない出力はロジック・パルス)を入力信号として受け入れる。このセットの出力はメータ、記録計、起動インターロック回路等である。

3.2.2 機能と接続

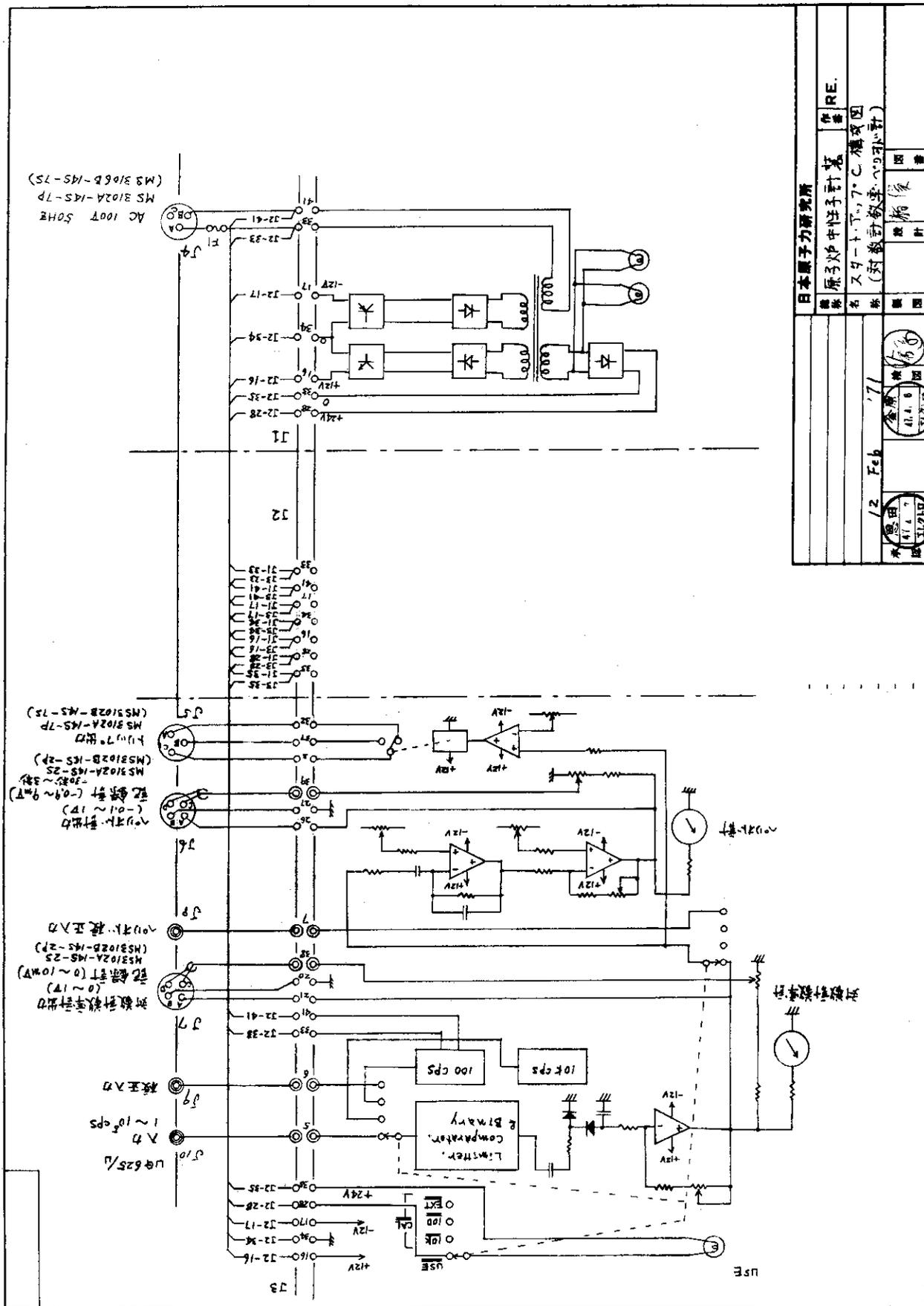
対数計数率、ベリオド計ユニットの前面パネルにあるロータリ・スイッチは動作モードを切替えるためのものである。「USE」は測定モードであり、この位置ではパルス増幅器(START-UP A)からの入力信号が接続され、さらにランプが点燈して、この系が使用状態にあることを示すようになっていく。「USE」以外の位置は校正モードであり、ランプは点燈しないが、ピン内の回路は動作状態にある。これらの位置では対数計数率計回路とベリオド計回路との接続ははずされ、それぞれの回路を単独に校正できる「10K」と「100」では内部発振回路の校正パルスが対数率計回路の入力に加わり、メータの指示が10KCPSと100cpsであればこの回路の動作は正常である。「EXT」では外部からカウント・レートの分かっているパルスをコネクタ・LOG-CALに加えれば対数計数率計を校正でき、ベリオドが既知である正のランプ電圧をコネクタ・PERIOD-CALに加えればベリオド計を校正できる。このスタート・アップCでは校正器(JRR-4用)のベリオド校正信号(ランプ電圧)をそのまま加えればよい。

ピン内のモジュール相互間あるいは外部回路との接続はすべてアダプタ内で行っている。第3.2.2図はこれらの接続関係を示す構成図であり、第3.2.3図はアダプタ内の具体的配線図である。J₁, J₂, J₃はピン内面に取りつけられた42P基本コネクタでモジュールの基本コネクタと接続され、電源および信号の授受を行なう。J₁は電源部で、ここからJ₂, J₃へ電源を供給している。J₂にはブランク・モジュールが入るので電源以外の配線はない。J₁₀, J₉, J₈は信号入力用コネクタ(BNC)であり、J₁₀から入力パルスが加えられ、J₉は外部から校正用パルスが加えられる。J₇はベリオド校正用入力を加える端子で、校正信号発生器セットから信号を入れる。J₇, J₆はそれぞれ対数計数率計、ベリオド計の出力端子であり、ピンA Bには直接出力を、ピンC Dには記録計出力が接続されている。J₅は起動インターロックのトリップ出力であり、ピンB・C間はメーク接点である。J₄にはAC100Vのライン電源が接続される。

(猪俣新次)

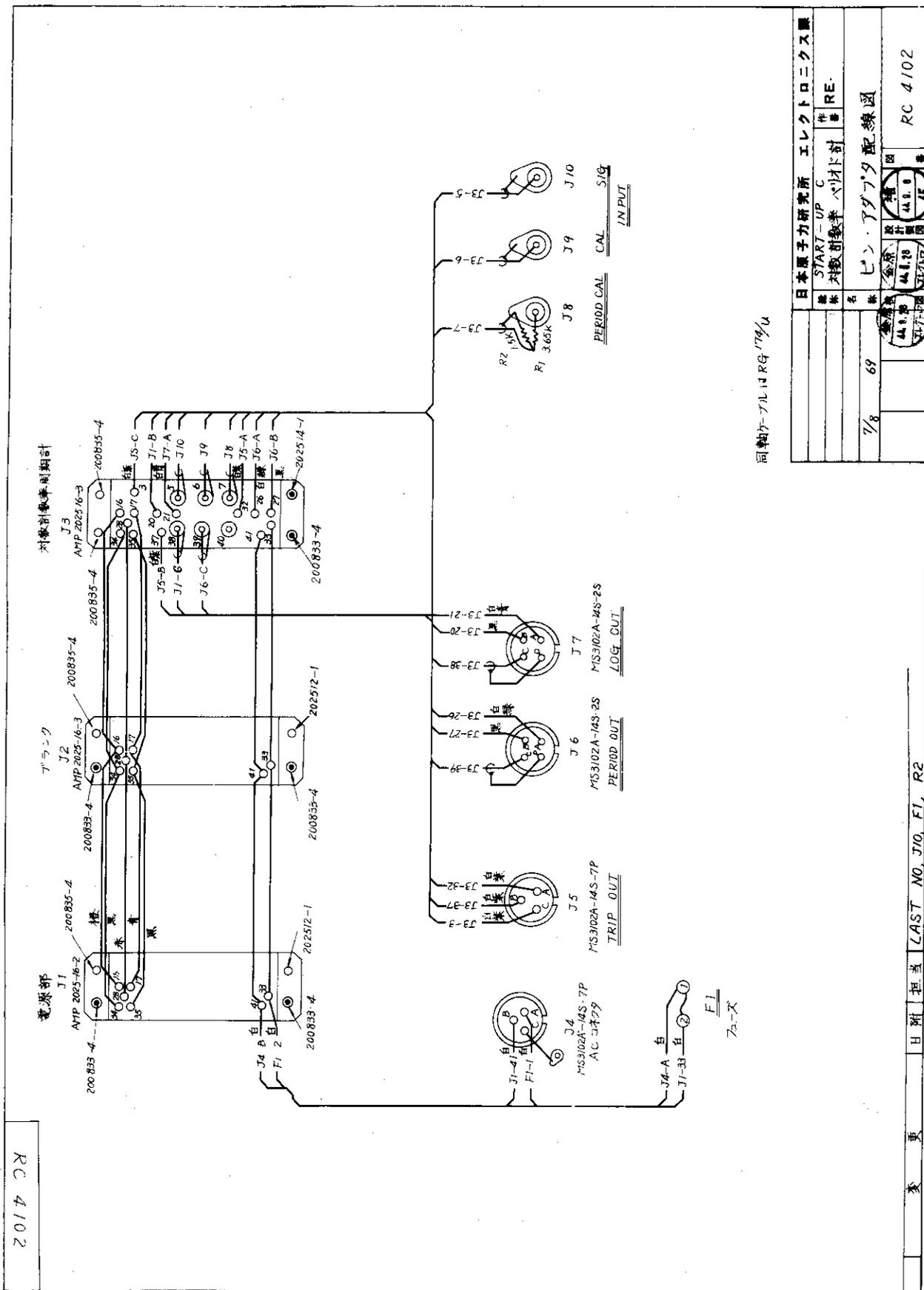


第 3.2.1 図 スタートアップ C の外観



日本原子力研究所		作番	RE.
標名	原子炉中性子計	図番	
標名	START-70C 構成図	設計	
標名	(対数計数率への変換)	校核	
承認	414.9	図	
承認	417.0	図	
承認	171	図	
承認	12	図	
承認	Feb	図	

第3.2.2図 スタート・アッポCの構成図



RC 4102

同期ケーブルはRG179/U

日本電子力研究所 エレクトロニクス課	
機名	START-UP C
機番	本機研究番号
名	作 RE-
機	作
7/8	69
ピン・アダプタ配線図	
図番	RC 4102

第3.2.3図 START-UPCピンアダプタ配線図

変更 日附 担当 LAST NO. J10, F1, R2

3.3 高圧電源セット(CIC用)

3.3.1 概要

この高圧電源セットはJRR-4のリニヤN系、ログNベリオド系のCIC用高圧電源用にまとめられたもので、外観は第3.3.1図のようである。右端にB型の共通電源ユニットを入れ左側に各4幅の正、負の高圧電源ユニットを入れている。共通電源との間はブランクとなっている。

ピンとモジュール間は42Pの基本コネクタを介して電源や信号の授受が行なわれている。また、基本コネクタのガイドでキーが構成されており、誤挿入防止を行なっている。高圧電源の正、負両ユニットのキーは共に61を用いており共通となっているが、両者の出力端子は、正電源はピン6を用い、負電源はピン7を用いている。そのため誤挿入によって破損することはないか使用上支障があるので注意が必要である。

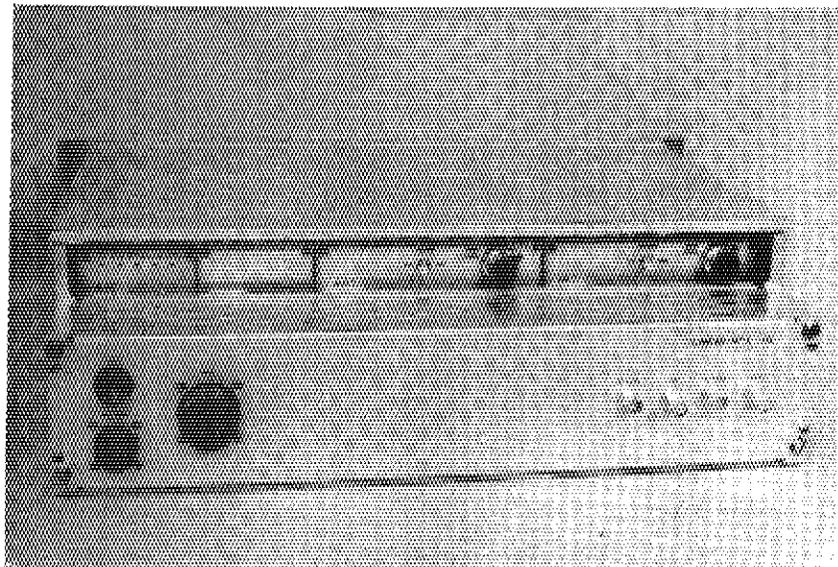
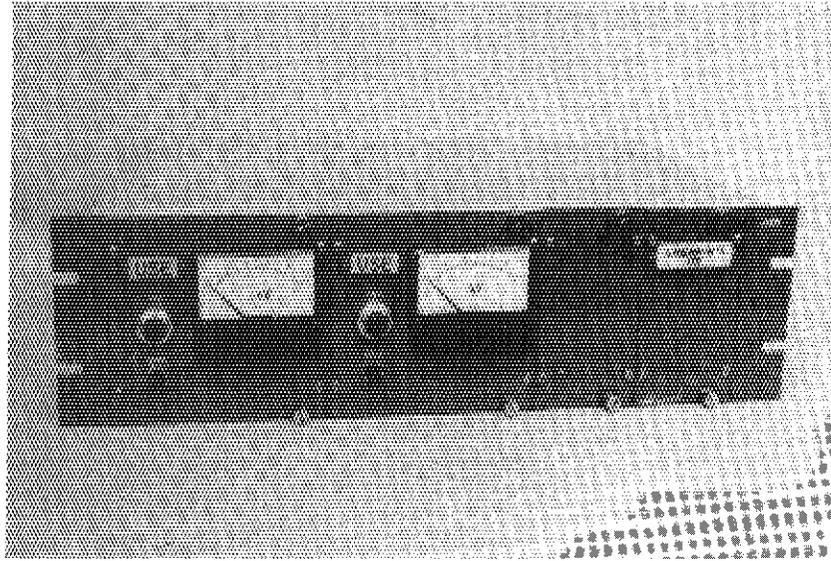
外部に対応するケーブル・コネクタはピン裏側のアダプタ(コネクタ・ボックス)に取付けられておりAC電源、高圧出力、トリップ出力等が出ている。

3.3.2 機能と接続

パワー・スイッチを投入すると、正、負の高圧電源ユニットは、トリップがかかった状態(リセット・ボタン兼用の赤ランプが点灯)になっているのでリセット・ボタンを操作すると「USE」のパイロット・ランプが点灯して出力電圧が出る。出力電圧を設定する場合、出力電圧設定用のヘリポットはマルチ・ダイヤ直読になっているので±1%の精度で設定できる。(1000Vに対する比率)

トリップ・レベルの設定は、出力電圧に対して0~100%まで連続的に設定できるが、通常は出力電圧より約10%低い値に設定するのがよい。出力電圧の設定値にトリップ・レベルの設定を極端に接近させると不安定となるのでさけるべきである。トリップ出力は、電源内部の故障や過負荷の場合(1mA以上)もトリップを出して赤ランプを点灯し、同時に高圧出力を遮断し、外部にもb接点でトリップ出力を出す。復帰させる場合は、トリップがかかった原因をとりのぞいてリセット・ボタンを操作すればよい。

ピンの右端に挿入している共通電源ユニットはタイプB(±12V 0.5A)を使用する。タイプAは±12V、0.2Aで供給できる電流が少ないため動作しないので注意する必要がある。第3.3.2図は、ピン・コネクタ・ボックスの配線図である。コネクタ $J_1 \sim J_4$ は、各ユニットに接続されており、 J_1 は共通電源ユニットに、 J_2 はブランク、 J_3 は負電源ユニット、 J_4 は正電源ユニットにそれぞれ接続する。ピンと外部との接続は総べてコネクタ・ボックスに取り付けてあるコネクタ類(BNC、MHV-RB、ヤノン・コネクタ)などによって行なわれている。高圧出力コネクタ $J_7 \sim J_{10}$ は雑音電流などの流入をさけるため電氣的に絶縁し、HOT側はMHV-RB(J_8, J_{10})を、アース側はBNC(J_7, J_9)で別箇に取り出している。トリップ出力 J_6 は、ヤノン・コネクタを用いており、ピンA、B、Cは正電源のトリップ出力で、ピンG、H、Jは負電源のトリップ出力である。ピンC、Jはトランスファ接点のコモンであ



第 3.3.1 図 高圧電源の外観

JAERI-M 4823

り、ピンA、Gは各々のa接点（正常動作）、ピンB、Hは各々のb接点（異常動作）である。
その他はJ₃はAC100Vであり3線式で電源に接続されている。

（木村和磨）

3.4 高圧電源セット(ガルバ・FC用)

3.4.1 概要

ガルバ系高圧電源と、起動系高圧電源を1つのピンにまとめ高圧電源セット2としている。ガルバ系高圧電源は第2.10節で述べてあるように電池式で無停電方式となっており、起動系用電源は発振型の一般的なものである。両チャンネル共に高圧電源は1種類で、ガルバ系はUIC、起動系はFCで共に単極電圧で使用できるのでこのピンにまとめてある。

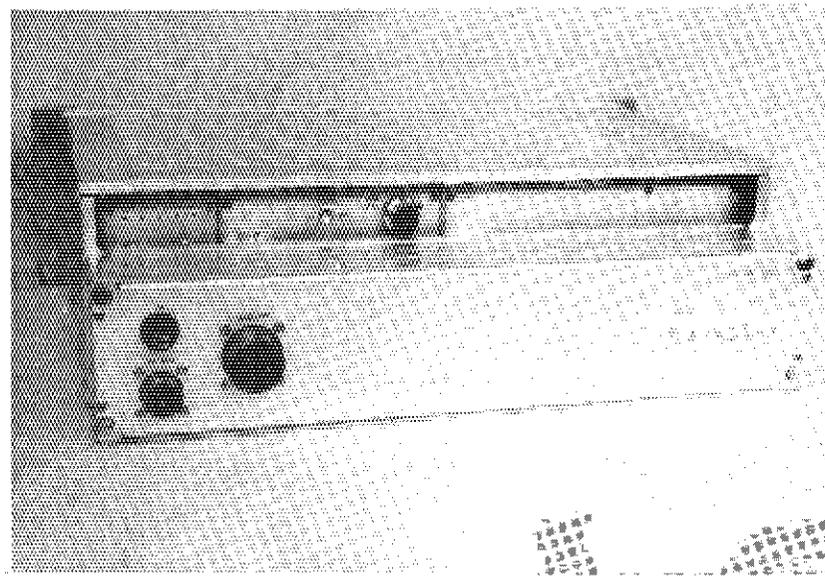
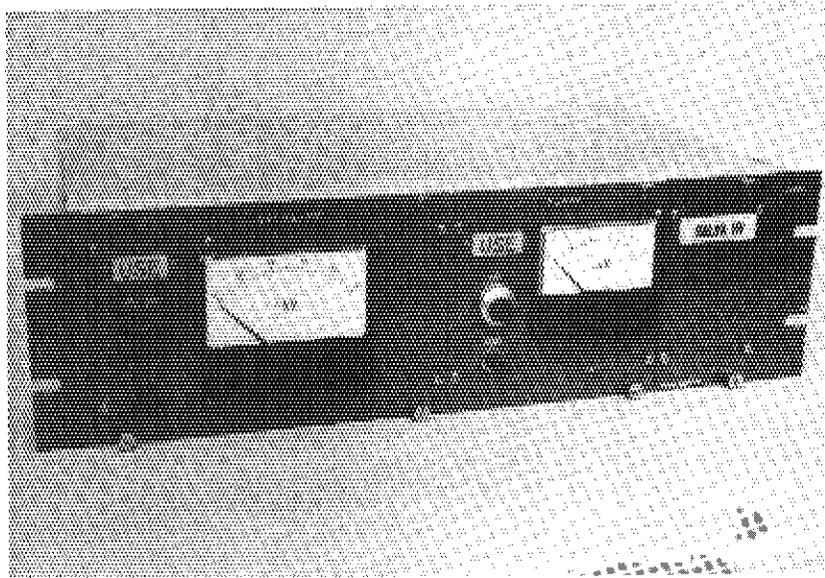
外観は第3.4.1図のようで、左側にガルバ系高圧を入れ、右側に起動系高圧電源を入れている。そして最右端には起動系高圧用の低圧電源(B型)が納められている。裏側にはアダプタ(コネクタ・ボックス)があり、外部に出入りする信号、電源のコネクタが取付けられている。

ガルバ系高圧電源は、パイロット・ランプ以外は交流電源と無関係に働くようになっており表パネルのスイッチだけで制御される。起動系は交流電源により働いており、電圧喪失トリップ等の信号がAUXILIARY端子に出ている。

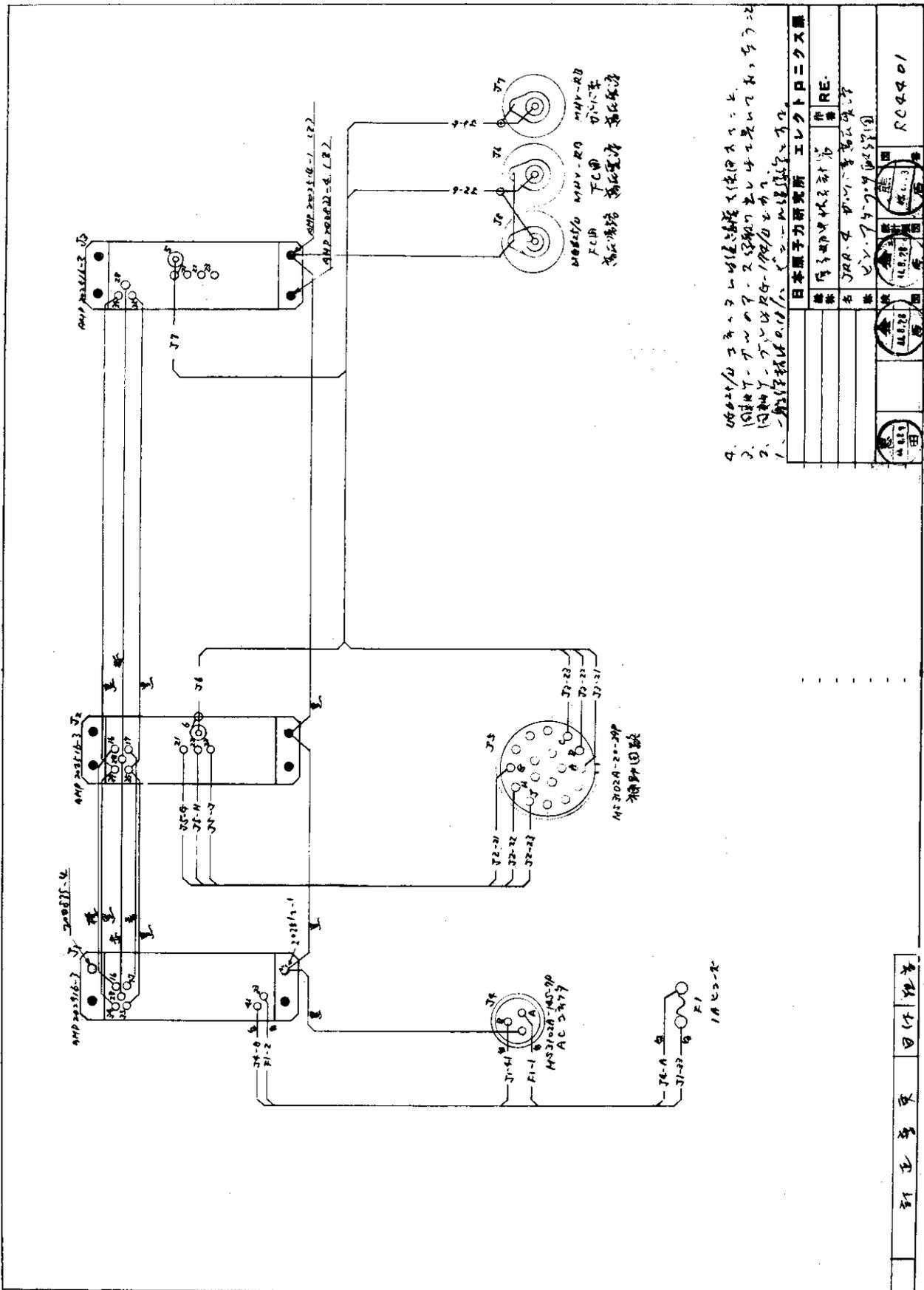
3.4.2 ケーブル接続

アダプタ内の配線図を第3.4.2図に示す。 J_1 、 J_2 、 J_3 は3ケのモジュール用の42P基本コネクタで、それぞれキー番号は7、1、1となっている。 J_4 は電源コネクタで共通電源に入り、起動系の低圧電源となっている。 J_5 は起動系およびガルバ系の起動インターロック用の信号が出入りしているコネクタで、両電源が正常な使用条件とならないとインターロックが解除されないようになっている。 J_6 、 J_7 、 J_8 は高圧の出力コネクタで、 J_7 はガルバ系の出力端子で、1ケの同軸コネクタで通常の使用方法としている。 J_6 と J_8 は起動系用の高圧出力端子で、高圧帰路を独立して設けるため2ケのコネクタを使用している。ホット側は J_6 に入れ、リターン側は J_8 に入れている。そのため外部のケーブル側は外導体を分けて J_8 に入れるようにしなければならない。

(熊原忠士)



第 3.4.1 図 高圧電源セットの外観



4. 0622/0 コネクターの位置は図に示す通りです。
 2. 0622/0 コネクターの位置は図に示す通りです。
 3. 0622/0 コネクターの位置は図に示す通りです。
 1. 一般に、コネクターの位置は図に示す通りです。

日本原子力研究所 エレクトロニクス課
 電子工学部 放射線工学
 名 氏 JAR. 4 中心 高松 隆
 職 名 主任 技師
 図 番 0622/0 (4557) 図
 製 年 1978 年 10 月
 製 所 日本原子力研究所
 製 材 RC4401

第 3.4.2 図 起動系、カルバ系高圧電源セット・アダプタ配線図

訂正書 回付 地 書

3.5 校正信号発生器

3.5.1 概 要

校正信号発生器セットは、トリップ信号発生器ユニット、ペリオド信号発生器ユニット、微小電流発生器ユニットの3ケの校正信号発生器ユニットと共通電源(A型)1ケを1つのピンに挿入して組み合わされたセットである。また、この校正信号発生器セットは、特にJRR-4用に考慮されている。

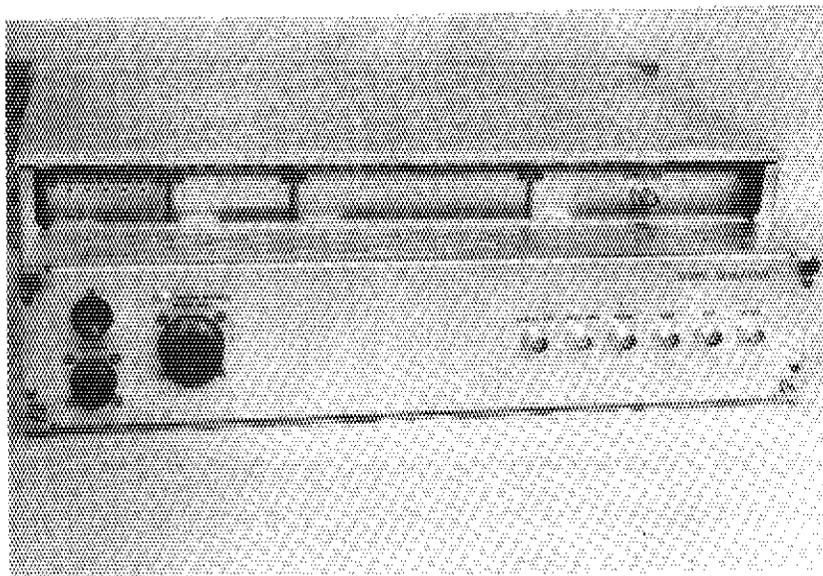
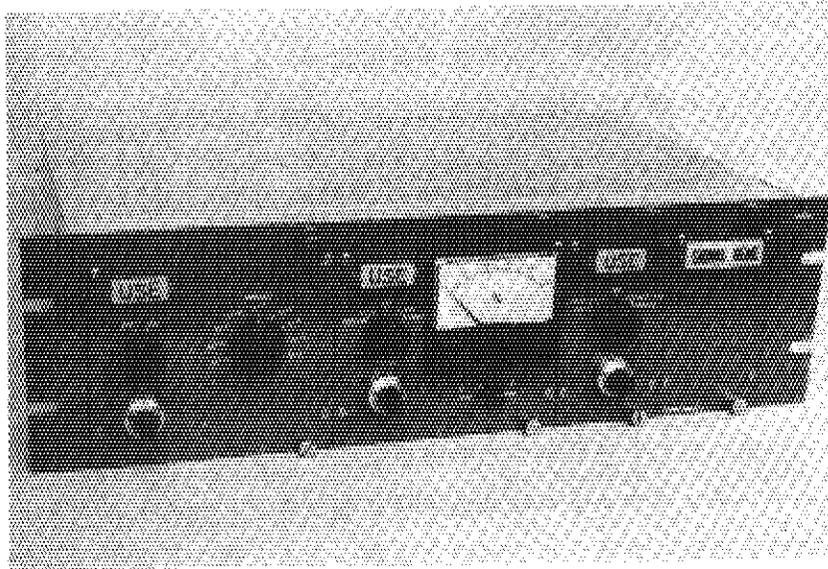
第3.5.1図に校正信号発生器セットの外観を示す。ピンに向って左から微小電流発生器、ペリオド信号発生器、トリップ信号発生器、共通電源の各ユニットが挿入されている。このセットに対する入、出力は、ピンの後面に取付けられたアダプタ部のコネクタを通じて行なわれている。

校正信号発生器の出力と被試験系との接続は、ケーブル・コネクタの切換えによって行なうものと、ケーブル・コネクションは永久接続とし、モジュール・ユニットに設けられたモードスイッチの切換えによって行なう方式の2種類がある。微小電流発生器の電流出力(モジュールから直接)とペリオド信号発生器の指数関数状電流出力の2つは、被試験系の増幅器入力端子へ直接加え、検出器と置換する方式であるため、ケーブル・コネクタの切換えで行なわれている。その他の出力は、電圧出力で、前者のように微妙な条件の部分に信号を加えることがないので、校正信号発生器側および被試験側のモジュールに設けられたスイッチの切換えによって校正信号を加えるようになっている。なお、スイッチ切換の場合、操作ミス(忘れ)等から正常系流に異常を与えないようにスイッチと連動して起動インターロック回路が働くようになっている。さらにファースト・スクラムとスロー・スクラムの両者の動作を個々に確認するため、スロー・スクラムをバイパスすることもスイッチと連動して行なわれる。

3.5.2 機能と接続

アダプタ配線図を第3.5.2図に示す。J₁～J₄は、42P基本コネクタで、各ユニットに直流電源を供給すると共に各信号出力をここから取り出し、アダプタ背面のコネクタに出している。J₅は、AC電源コネクタで、J₆～J₁₂までが校正信号の出力端子である。このうちJ₆は、JRR-4特有のもので、トリップ信号発生器およびペリオド信号発生器の各ユニットの使用時にそれらのモジュールのスイッチに連動して起動インターロック回路とスロー・スクラム・バイパス回路をオン、オフするシーケンス制御用コネクタである。

これらのコネクタのうち、J₆～J₁₀、J₁₂に関係する信号は、使用にあたってモジュール内(発生器側および被試験系側)のスイッチで接、断されるのでケーブル・コネクタは常時接続のままでよい。しかし、J₁₁に得られる指数関数形のペリオド信号と微小電流発生器の出力(モジュールのリア・パネル)の両者は、検出器と置換してオーバーオールチェックが行われるため試験をする都度ケーブル・コネクタを差し換えて切換えを行なわなければならない。



第 3.5.1 図 校正信号発生器セットの外観構造

3.5.3 トリップ信号発生器の使用法

トリップ信号発生器の出力信号は、リニヤN計の入力側より校正信号を加え、リニヤN計の出力に接続されたトリップ回路のトリップ機能テストを行うもので、リニヤN系の検出器およびレンジ抵抗を除くオーバーオールチェックができる。この信号出力は、 J_7 、 J_8 に接続されており、 J_7 がリニヤN-1用、 J_8 がリニヤN-2用である。これらのコネクタをリニヤN系の校正信号入力端子に正しく接続しておく。次いで、リニヤN計のフロント・パネルにあるモード切換スイッチをTESTに切換え、トリップ信号発生器のスイッチ S_1 （上側のツマミ）をリニヤN-1またはリニヤN-2の該当するチャンネルに切換える。このようにしてトリップ信号発生器のヘリポットをまわす。ダイヤル目盛は、200~1200までで、リニヤN計の20~120%の指示に対応し、出力レベルは、ダイヤル目盛1000のとき1.00Vである。ダイヤルと出力電圧との設定精度は、フルスケールに対し、0.08%である。

トリップ・レベルは、105%がアラーム、110%がスクラムである。スクラム動作の点検、確認は、JRR-4の場合、スロー系、ファースト系をそれぞれ別個に行なうようになっていて、そのためトリップ信号発生器ユニットのモード切換スイッチ S_1 には、BYPASSの位置にしたときスロー・スクラム系をバイパスする機能が付加されている。また、このとき起動インタロックが動作するようになっているので、スロー・スクラムをバイパスしたことに対するセーフ・ガードとなっている。

自動制御系の動作確認の場合には、トリップ信号発生器の出力信号でリニヤN計を動作させるもので、リニヤN計の指示が自動制御設定可能範囲（リニヤN計の指示で30~100%）にレベルをおき、自動制御系の動作確認を行なう。

3.5.4 ペリオド信号発生器の使用法

ペリオド信号発生器は、第2.6節で述べたようにランプ状電圧と指数関数状電流の2種類の出力信号をもち、それぞれ使用方法が異なる。

ランプ状電圧出力は、ログN-ペリオド計のペリオド計部の校正を行なうもので、この出力をペリオド計部の外部校正端子に常時接続しておくことができる。第3.5.3図にこのユニットを使用する場合の接続関係を示す。校正方法は、ログN・ペリオド計のモード切換スイッチをEXT. CALの位置にし、ペリオド信号発生器のモード切換用スライド・スイッチをRAMP側に倒すとペリオド部にランプ状電圧が加わり、ペリオド部のチェックができる。ペリオド信号発生器のダイヤルと出力の電圧上昇率 e_0 （V/sec）の関係は、ペリオドを τ_p とすれば、 $e_0 = 0.3098/\tau_p$ （V/sec）であり、ダイヤルに対するペリオドの設定精度は、3~11、30~110秒の範囲で1%以内である。出力信号電圧の上限は、5Vで、もっとも短いペリオド（3秒）のときの動作時間は約48秒で上限に達する。

ペリオド計に装荷されているトリップ・ユニットのアラームとスクラム・レベルの動作点をチェックするには、トリップ・レベルに相当するペリオド信号を設定し、この近傍で設定値を変化させてトリップ動作の行なわれるペリオドをダイヤルから読みとればよい。

次にランプ状電流を用いる場合には、ログN部を含めたオーバーオールチェックを行なうもので、検出器からのケーブル・コネクタとEXP出力のケーブル・コネクタを置換してチェッ

クを行なう。このときの出力信号は、ペリオド信号発生器のフロント・パネルにあるスライド・スイッチをEXP側に倒し、レンジ・スイッチを×1または×10にすれば得られる。校正信号は、ログNアンプを通るため、この部分の時定数の影響でペリオド計の指示が落ち着くには多少時間を要する。信号の出力範囲は、 $2 \times 10^{-8} \sim 5 \times 10^{-6}$ Aで、動作時間は3秒のペリオド設定に対して約15秒である。

レンジ・スイッチの×1,×10にそれぞれBYPASSがあるが、これは、スロー・スクラム回路をバイパスする機能を意味する。またこのレンジで起動インタロック機構が動作することは、トリップ信号発生器の場合と同様である。

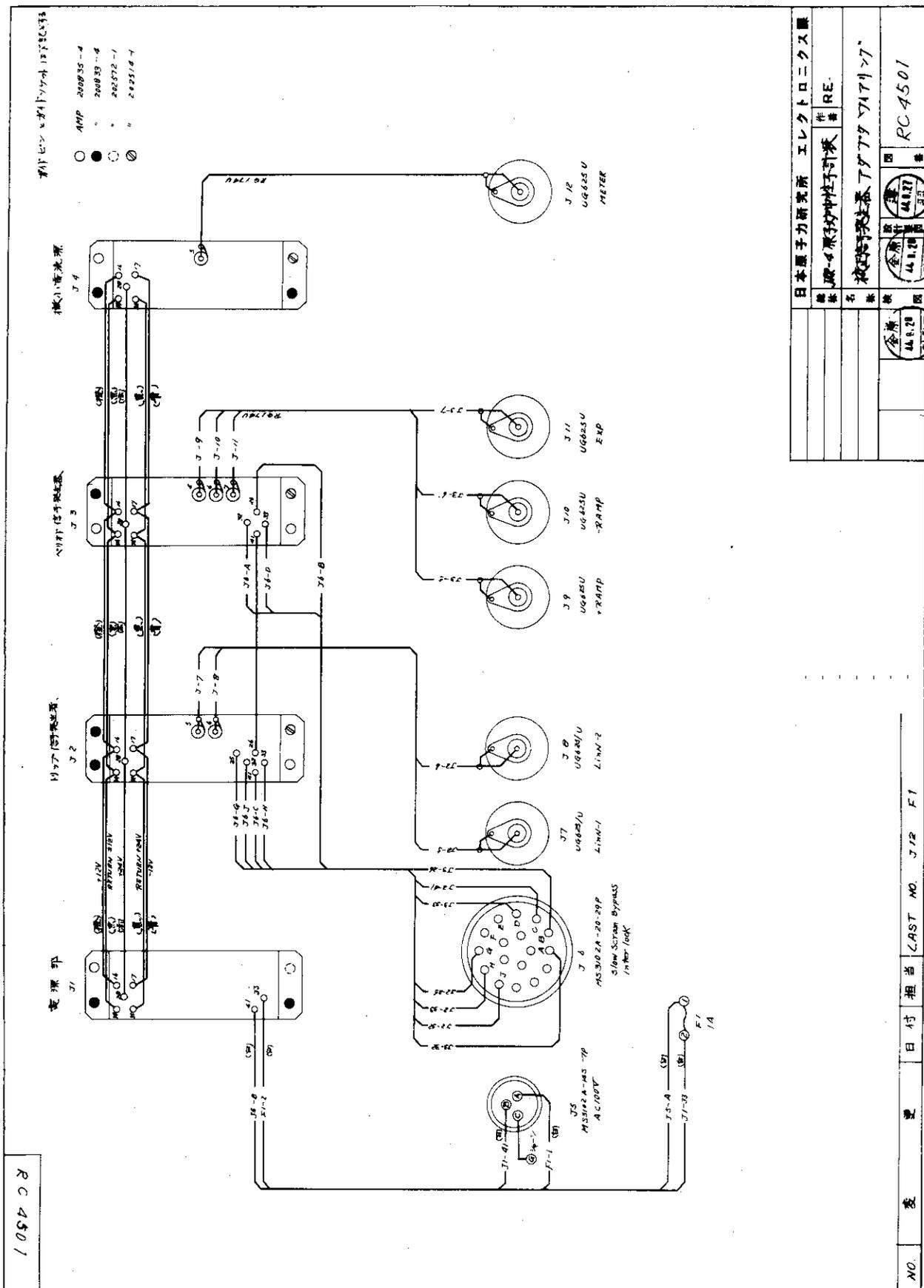
3.5.5 微小電流発生器の使用法

微小電流発生器は、CICまたはUICの出力電流を模擬し、ログN-ペリオド系、リニヤN計、ガルバノメータ系の指示を確認し、校正するためのユニットである。

したがって、ケーブル・コネクションは、このユニットのリア・パネルにある出力端子を被試験系の中性子検出器からの入力端子に接続し、被試験系の動作モードを使用状態におく。電流の設定は、微小電流発生器のフロント・パネルにあるレンジ・スイッチとヘリポットによって行なわれ、その範囲は、9桁9レンジ($10^{-11} \sim 10^{-3}$ A)で、さらに各レンジ内の0~100%となっている。

設定電流が同一でも各計測系の指示値はそれぞれパワーで表示されており、フルスケールの電流値が異なっている。また微小電流発生器には、スロー・スクラム・バイパスやインタロック機構がないので取扱いに注意することが必要である。

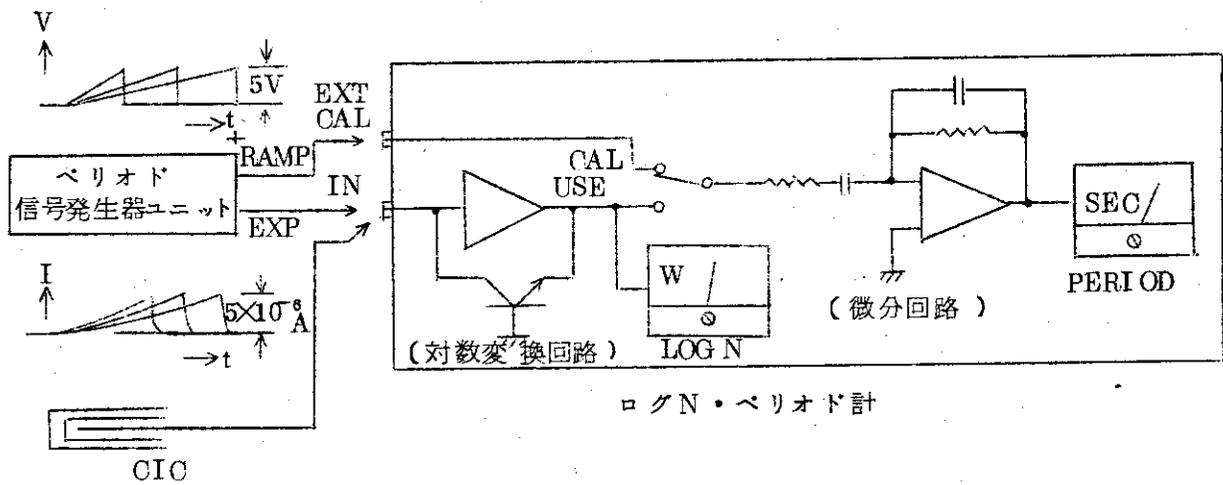
(薄羽皓雄)



第3.5.2図 校正信号発生器ペンプロッターシステム

日本電子力研究所 エレクトロニクス課	
機名	校正信号発生器
作	RE
名	校正信号発生器ペンプロッターシステム
機	
図	RC 4501

NO.	変	更	日付	担当	LAST NO.	J12	F1
-----	---	---	----	----	----------	-----	----



第 3. 5. 3 図 ベリオド信号発生器によるベリオド計の校正原理

4 お わ り に

JRR-4の起動系を含めた中性子計装の改装は、44年度業務として45年度の中頃に完了したのであるが、その後の業務に追われ、まとめの時期を逸して来たが、今回まとめることができた。その後JRR-4はFFD系のモジュール化やオートレンジの開発等を行っており、改装はさらに進んでいる。また他の炉においても2次、3次と改装範囲を広げており、また適用炉の範囲もJRR-2、3、4に止まらず、JMTR-CやJPDR-2にも及んでいる。このように原研においては中性子計装の標準化(モジュール化)が一般化し、広く用いられるようになっており、また運転経験から特性や信頼度が極めて向上したことが認められている。今後残された部分の整理も順次まとめて行く予定である。

最後に、中性子計装の標準化を進めて来るに当って、エレクトロニクス課の思田利夫課長始め、研究炉管理部の各炉の担当者の方々に種々御指導と御協力を頂いた。また本稿をまとめるに当ってはエレクトロニクス課技術系の土屋俊男、飯島一郎の両氏からデータ整理に当り協力を頂き、さらにエレクトロニクス課の各位には、製作面で種々御協力を頂いたので、ここに感謝致します。

(金原節朗)