

JAERI-M

5835

高速タイム・アナライザの製作

1974年9月

金原 節朗・田和 文男

この報告書は、日本原子力研究所が JAERI-M レポートとして、不定期に刊行している研究報告書です。入手、複製などのお問い合わせは、日本原子力研究所技術情報部（茨城県那珂郡東海村）あて、お申しこしください。

JAERI-M reports, issued irregularly, describe the results of research works carried out in JAERI. Inquiries about the availability of reports and their reproduction should be addressed to Division of Technical Information, Japan Atomic Energy Research Institute, Tokai-mura, Naka-gun, Ibaraki-ken, Japan.

高速タイム アナライザの製作

日本原子力研究所 東海研究所 技術部

金原節朗・田和文男*

(1974年8月16日受理)

高速タイム・アナライザの概要および製作上の諸問題について述べている。このタイム・アナライザは、リニャックにおけるTOF測定用に使用され、高速であると共に、種々な機能を持たせて製作している。主要素子は、74S型TTLロジックを用い、6幅のNIMモジュールに納めている。

主な性能および機能は、最大チャンネル65535、最少チャンネル幅25nsec、ストップ・パルスのダブル・パルス分解時間25nsec（カウンタ間は2nsec）、ストップ・カウンタ・チャンネル8、バッハ・レジスタ4、そしてパリアブル・ウイドス・ステップ機能等を持っている。

このタイム・アナライザの出力データは、USC-3型計算機（東芝製）に接続される。

* 昭和47年5月退職

High-speed Time Analyzer for a Linac

Setsuro KINBARA and Fumio TAWA

Division of Engineering Services, Tokai, JAERI

(Received August 16, 1974)

The high-speed time analyzer used for TOF measurements in the linear accelerator, and the problems encountered in its construction, are described. It has many functions as well as the high speed performance. As the principal element 74S type TTL logic is employed; which is incorporated in the 6 width NIM module. Features of the time analyzer are: the maximum number of channels, 65535; minimum channel width, 25 nsec (counter to counter, 2 nsec); the number of stop counter channels, 8; the number of buffer registers for the output data, 4; and the variable width stop mode. The output of the time analyzer is connected to a USC-3 type computer system (by Toshiba).

目 次

1. 概要	1
1.1 はじめに	1
1.2 仕様	5
1.3 使用上の準備と操作	7
2. 構成	11
2.1 ブロック・ダイアグラムの説明	11
2.2 発振器およびディバイダの説明 (PCB-1)	13
2.3 カウンタ・インプット回路 (PCB-2)	15
2.4 システム・コントローラ (PCB-3)	15
2.5 ダブリング・サーキット (PCB-4)	17
2.6 チャンネル・レングス・ゲート (PCB-5)	18
2.7 チャンネル・スケーラ (PCB-6)	20
2.8 バッハ・ゲート (PCB-7)	21
2.9 バッハ・レジスタ (PCB-8)	22
2.10 コーダ・アンド・バッハ・コントローラ (PCB-9)	23
2.11 バッハ・ゲート・コントローラ (PCB-10, 11)	26
3. 主要回路	28
3.1 クロック・ゲート	28
3.2 スケーラのファースト・キャリー回路	32
3.3 デレイ・タイムとチャンネル・レングス	34
3.4 バリヤブル・ウィドウス・ステップ・モードの動作とタイミング	40
3.5 カウンタ・パルス・ゲート I	44
3.6 カウンタ・パルス・ゲート II	48
3.7 カウンタ・チャンネル・コーダ	51
3.8 バッハ・レジスタのトリガ	55
3.9 バッハ・レジスタ・コントローラ	59
4. むすび	61
附録 図面	

1. 概 要

1.1 はじめに

原研リニャックの増加に伴ない、その一環として実験データの同時処理装置の整備が行なわれ、その入力装置の1つとして高速タイム・アナライザの製作が行なわれた。本報告は、上記高速タイム・アナライザの基礎回路の予備実験を含め、設計、製作、調整、および各部の問題点等について述べている。

高速タイム・アナライザの“高速”の定義は、一般に明確ではないが、こゝでは、数百 p sec 以下の速度を超高速とし、n sec ~ 数 + n sec を高速として区分して、高速タイム・アナライザとして扱っている。

このタイム・アナライザは、リニャックのデータ同時処理装置（計算機名：ICD-507、システム名：USC-3、東芝製）に接続され、DAC (Direct Access Control) バスに接続されて、DMA (Direct Memory Access) モードでデータをUSC-3に入れるように働く。

USC-3は、メモリ容量16KWで、総台測定を行なうシステムとしては比較的小容量で、メモリを有効に使うため、タイム・アナライザのハード構成をかなり高性能多機能のものにしている。

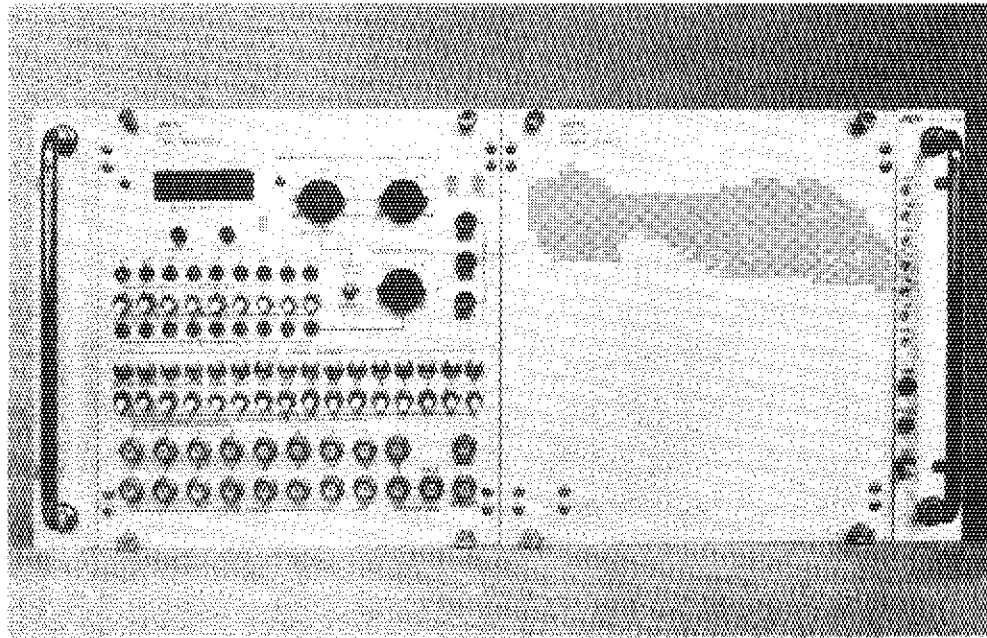
システム中に用意されている入力装置としては、ツインADC 2台（4096チャンネル50MHZ）、シングルADC 1台（8192チャンネル100MHZ）、中速TOF, ADC 1台（0.1 μ s~16384ch）等があり、さらに、こゝに報告している高速TOF, ADC 1台（25ns, 65535ch）が加わることになる。

高速タイム・アナライザは、比較的高速領域までカバーしていること、多機能であること、NIMモジュール化されていること等の特徴があり、主要素子としては、74S型（schottky型）TTLを用いて構成している。さらに、回路上の細かな点として、スタート・パルスに対するクロック・パルスのジッタを少なくする、ストップ・パルスの同一カウンタ・チャンネルおよび、カウンタ相互間のダブル・パルスの時間分解能を高めていること、計数損を極力少なくする考慮がされていること、等の特徴がある。

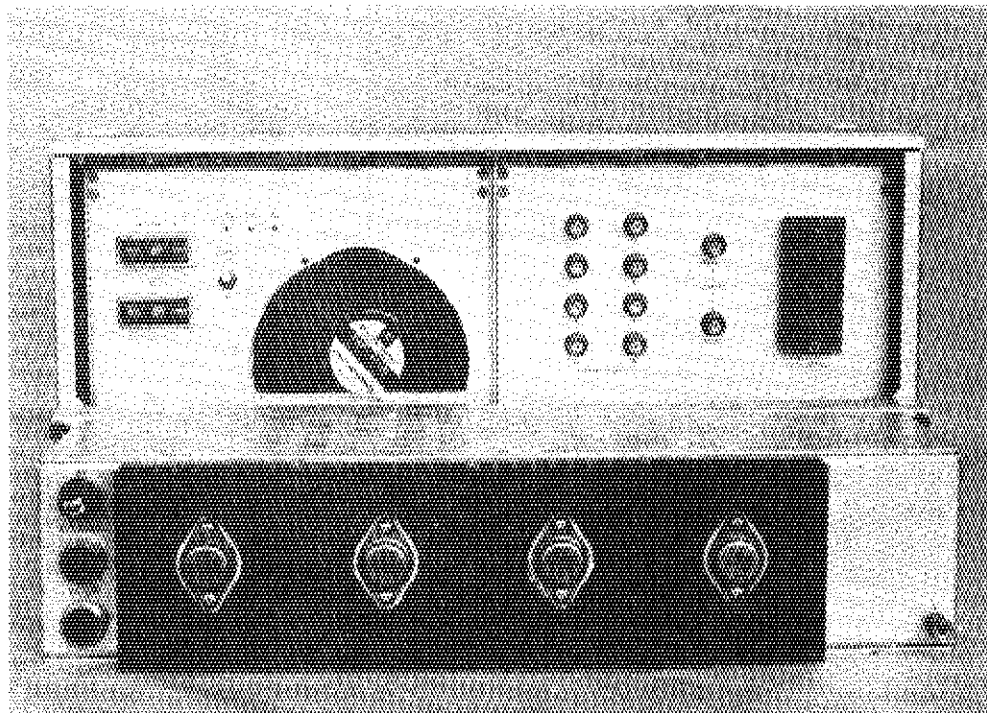
タイム・アナライザの外観は第1.1.1図のようで、NIMピンに納められており、右側に電源ユニット、左側にタイム・アナライザ・ユニットが納められる。第1.1.2図はその背面写真である。

ユニットの写真は第1.1.3図~第1.1.5図および第1.1.6図、第1.1.7図のようで、前者がタイム・アナライザ・ユニット、後者が、電源ユニットである。

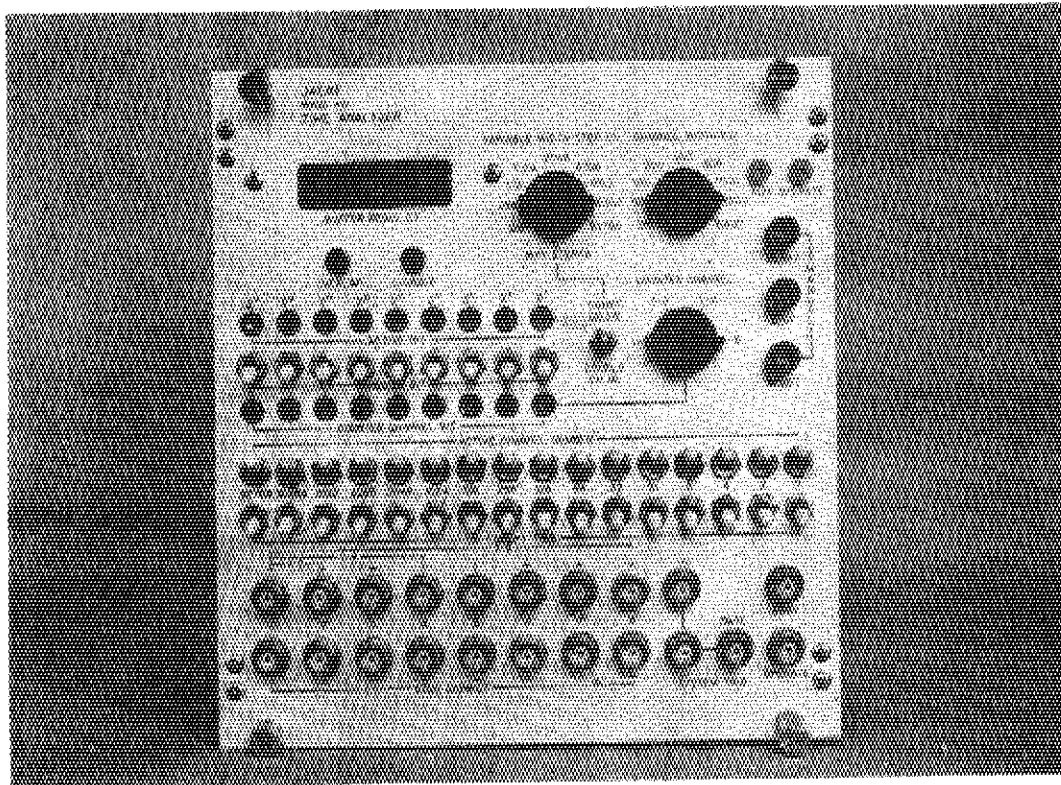
両ユニットの通風は、電源ユニットにあるファン1ヶで兼ねて行なわれ、両ユニットが接する側面に通風穴があり、タイム・アナライザ・ユニットから電源ユニットへ気流が流れるようになっている。



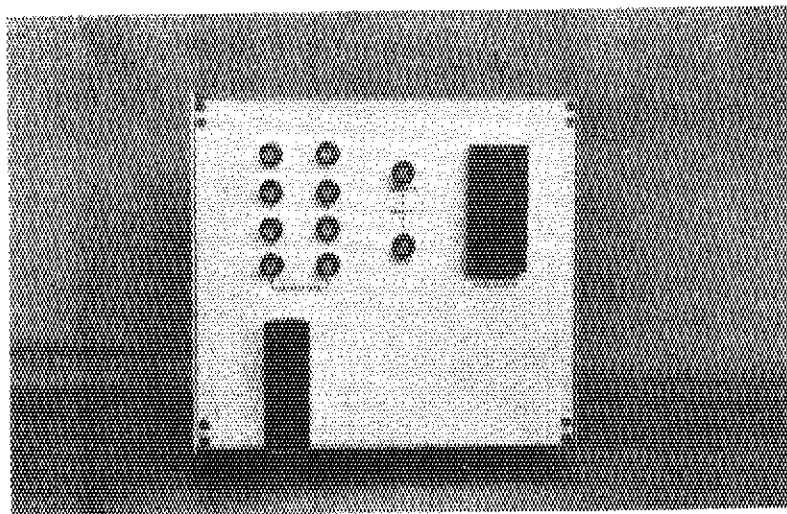
第 1.1.1 図 高速タイムアナライザの正面



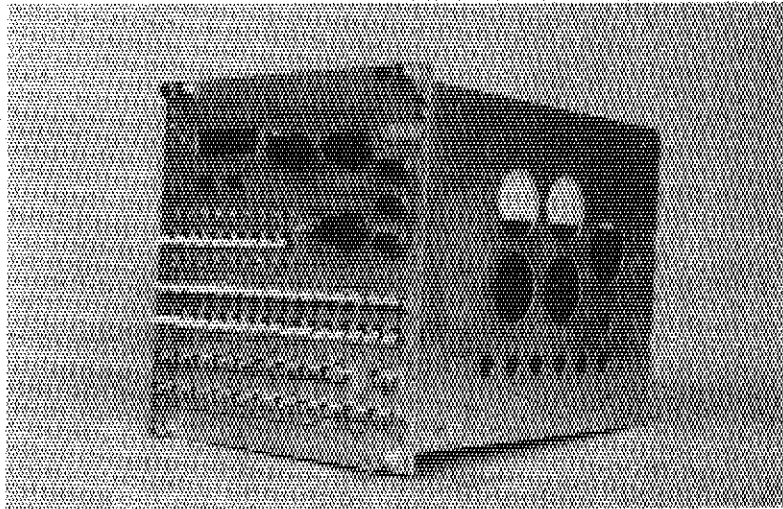
第 1.1.2 図 高速タイムアナライザの背面



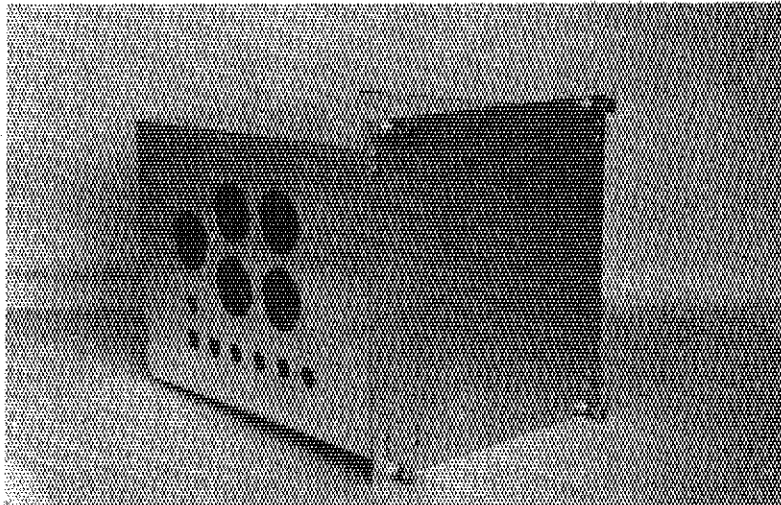
第 1.1.3 図 タイム・アナライザ・ユニット正面



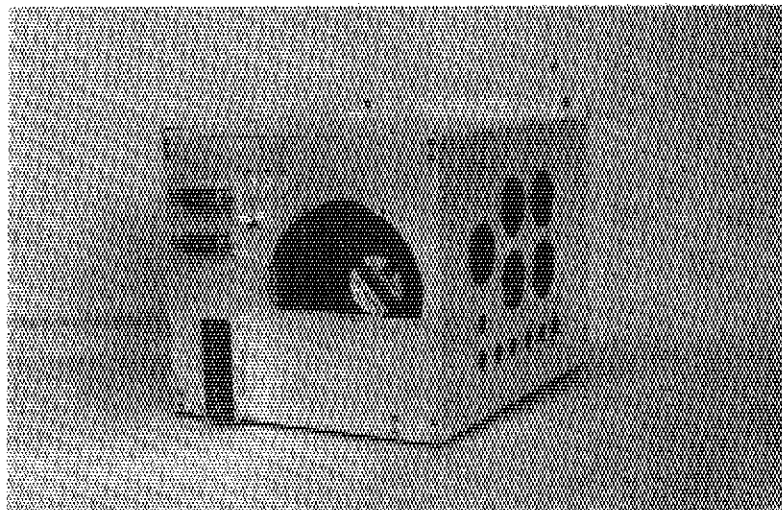
第 1.1.4 図 タイム・アナライザ・ユニット背面



第 1. 1. 5 図 タイム・アナライザ・ユニット



第 1. 1. 6 図 電源ユニット



第 1. 1. 7 図 電源ユニット

1.2 仕様

1.2.1 一般仕様

- 1) 品名：高速タイム・アナライザ
- 2) モデル：MODEL 410
- 3) 形状：アナライザ部 NIM 6幅
電源部 NIM 6幅
全体を8.3/4インチ・ビンに収納
- 4) 電源：AC 100V, 50/60 HZ

1.2.2 パネル機能および性能(第1.1.3図参照)

- 1) チャンネル幅(CHANNEL WIDTH)：25, 50, 100, 200, 400, 800, 1600, 3200, 6400(n sec)
- 2) チャンネル数(ACTIVE CHANNEL NUMBER)：最大 65535, バイナリ・スイッチで1~65535の間を任意選択できる。
- 3) デレイ・タイム(DELAY TIME)：最大 65535 × クロック周期, バイナリ・スイッチで1~65535の間を任意選択できる。
- 4) バリヤブル・チャンネル幅(VARIABLE WIDTH STEP CH)：128, 256, 512, 1024, 2048, 4096, 8192, 16387, 32768 チャンネルの任意を選択できる。8ステップまで。
- 5) バリヤブル・チャンネル・モード(CONSTANT CH NO/DOUBLE CH NO)：CONST のときはチャンネル幅だけ各ステップ毎に倍になり, DOUBLEのときは, 各ステップでチャンネル幅とチャンネル数の両者が倍になっていく。スイッチが中立のときは, NORMALモードとなる。
- 6) カウンタ・チャンネル(COUNTER CHANNEL)：1, 1-2, 1-4, 1-8の4つの選択がきき, それぞれ同時に使用できるカウンタ・チャンネル数(ストップ・パルス・チャンネル)を示す。
- 7) システム・トリガ(SYSTEM TRIG)：+5V, (1K Ω), ライズタイム 0.1 μ s 以下 or -15mA(50 Ω), ライズタイム 20nsec 以下, 端子BNC
- 8) システム・トリガ・ゲート(SYSTEM TRIG GATE) +5またはオープンでゲート開, グランド(+0.8V以下)でゲート閉, 端子：BNC.
- 9) ストップ・シグナル(STOP SIGNAL)：+5V(1K Ω) ライズタイム 0.1 μ sec 以下, or -15mA ライズタイム 20nsec 以下(50 Ω), 端子：BNC
- 10) ストップ・シグナルゲート(STOP SIGNAL GATE)：+5Vまたは, オープンでゲート開, GND でゲート閉。
- 11) リモート・オペレート(REMOTE OPERATE)：+5V(500 Ω)で始動, パルスまたはレベル, リモート・ストップと重複しないこと, オープンまたはグランドでは, 無効
- 12) リモート・ストップ(REMOTE STOP)：+5V(500 Ω)で停止, パルスまたはレベル, リモートオペレートと重複しないこと, オープンまたはグランドでは無効。

- 13) オペレート出力 (OPERATE) : システムがオペレートのとき +5 V , ストップのときグランドとなる。(Lレベル・シンク電流 50 mA , Hレベル・インピーダンス 300 Ω)
- 14) ビジー出力 (BUSY) : システムがランしている状態で +5 V , ストップのときグランドとなる。(条件は 13)と同じ)
- 15) オペレート表示 (OPERATE) : オペレートされており , システム・トリガ可の状態を示す。
- 16) ラン表示 (RNN) : システム・トリガされ , クロックが出ている状態で , 計数可のとき。
- 17) オーバーラップ表示 (OVERLAP) : システム・トリガの周期が , アクティブ・チャンネルの最終まで達しないうちに行なわれる場合に表示する。但し , 動作に支障はない。
- 18) 不能ランプ (DISABLE) : USC-3インターフェイスより割当てられたビットがアクティブ・チャンネル・ビットとカウンタ・チャンネル・ビットの和より小さく , 動作上支障がある場合に表示され , このときはオペレートできない。
- 19) バッハ・オーバフロ・スケアラ (BUFFER REGI OF) : バッハ・レジスタかオーバフロした場合に , そのパルスを計数する。
- 20) アクティブ・ビット (ACTIVE BIT) : USC-3インターフェイスより割当てられたビットのランプが点灯し , その範囲内で使用可。
- 21) リージョン・ビット (REGION BIT) : アクティブ・チャンネル・ビットおよびカウンタ・チャンネル・ビットを入れる範囲を指定する。リージョン・ビットはアクティブ・ビットに優先しない。
- 22) カウンタ・チャンネル・ビット (COUNTER CHANNEL BIT) : カウンタ・チャンネル・ビットのランプが点灯する。
- 23) 始動ボタン (START) : オペレートの状態になる。
- 24) 停止ボタン (STOP) : 停止する。
- 25) リセット・ボタン (RESET) : システムの全体がリセットされる。
- 26) 自動リセット : 電源投入後 , 自動的にリセット動作が行なわれる。

1.2.3 データ関係入出力

- 1) データ出力 : 16ビット , バイナリ , " 1 " = Hレベル , " 0 " = Lレベル ,
- 2) フラグ出力 : データが用意されたことを示す。" 1 " = H , " 0 " = L , USCOK によって " 1 " から " 0 " に戻る。
- 3) PL信号 : 記憶装置側でデータ受取中を示す信号としてもらい , この信号が " 1 " (Hレベル)の間はデータを変化させてはならない。
- 4) EOS信号 : 記憶装置側がデータを受取り終ったことを示す。USC-3からは " USC OK " が来る。
- 5) オペレート信号 : 記憶装置側からデータの授受可能であることを確認する信号としてもらう (" 1 " = Hレベル) 。 USC-3からは , USCOPが来る。
- 6) アクティブ・ビット信号 : 記憶装置側からアクティブ・ビットを指示してもらう場合に使用する。USC-3の場合は , COMMON (1本) と MEMORY CAPACITY (7本) から

成り COMMON から送られた信号が USC-3 側で指定する CAPACITY ラインに返される。(接点回路)

7) コネクタ: SERIES 8016 90 CONTACT (ELCO 社)

- 00-8016-090-217-707 (レセプタクル)
- 00-8016-090-217-003 (プラグ)

1.2.4 性能仕様

- 1) 最少チャンネル分解時間: 25 nsec
- 2) クロック・ジッタ (対システム・トリガ): < 4.5 nsec
- 3) ストップ・パルス of ダブル・パルス分解時間:
 - 同一ストップ・カウンタ・チャンネル: 25 nsec
 - ストップ・カウンタ・チャンネル相互間: 計数損なし: 25 nsec, 先着のみ計数: 2 nsec。
- 4) 最大計数速度: 記憶装置 (USC-3) の速度に依存, 最大約 100 Kcps

1.3 使用上の準備と操作

1.3.1 ケーブル配線と入出力

使用に当っては, 電源ケーブルの接続, スタート, ストップの入力信号の接続, 出力ケーブルの接続が必要である。

電源ケーブルは, ビン電源のコードを AC 100V (50HZ) 電源に接続し, 使用可能となる。

入力関係は, スタート・パルスをタイム・アナライザの SYSTEM TRIG の+または-の端子に接続し, +5 V または -15 mA のパルスを加える。このシステム・トリガをゲートしたいときは, SYSTEM TRIG.GATE 端子にゲート信号を加えることにより制御できる。

ストップ・パルスは, 8チャンネルまで同時に接続することができる。信号条件は, スタート・パルスと同じで +5 V または, -15 mA の端子が用意されている。さらに各チャンネル毎にゲート端子が用意されており, +5 V または, 端子開放でゲート開の条件で働く。

出力は, タイムアナライザ・ユニットのリア・パネルから ELCO 型 90ピン・コネクタで出しており, そこから, USC-3 インターフェイスに接続する。

システムの動作始動は, パネル右上の押ボタン・スイッチ (OPERATE) を押すことによりオペレートとなり, システム・トリガによってクロック・パルスが出るようになる。オペレートは, 遠方から操作することもでき, リヤパネルの REMOTE OPERATE から +パルスを加えることによっても始動できる。

停止は, OPERATE の下の STOP 押ボタンを押すことにより停止する。遠方制御は, リヤ・パネルの REMOTE STOP から +パルスを加えることによってもできる。

さらに, 停止は, RESET 押ボタンを押すことによっても停止する。しかし, この場合は, その時点で総ての状態がリセットされてしまうので測定を継続する場合には不適當である。

RESET 押ボタンによっては、動作の停止は勿論、オーバフロ・スケアラやバッハ・レジスタもその時点でリセットされるので、測定を始め等に使うようにする。また、このリセット作用は、電源が投入されたときに、自動的に働くようになっている。

1.3.2 パネル面の操作

使用に先だって、測定条件をパネル面で設定しておかねばならない。

- 1) チャンネル幅の設定 (CHANNEL WIDTH) スイッチによって 25~6400 nsec の間をバイナリ・ステップで選択する。こゝで選ばれたクロックが測定サイクルの基準となる。
- 2) デレイ・タイムの設定 (DELAY TIME) の 16 けたのバイナリ・スイッチの選択と組合わせによって (0~65535) × チャンネル幅の時間遅れを与えることができる。こゝで与えた遅れ時間は、システム・トリガによってスタートした後、待ち時間となり、この時間が過ぎて、0 チャンネルから計数が行なわれるようになる。
- 3) アクティブ・チャンネルの設定 (ACTIVE CHANNEL) の 16 けたのバイナリ・スイッチの選択と組合わせにより 1~65535 までのチャンネルを選べる。このときのチャンネル幅は、1) 項で選んだチャンネル幅 (時間) で決められる。そして、このアクティブ・チャンネルまで時間計数を行なうとそのサイクルは終了する。
- 4) カウンタ・チャンネル (COUNTER CHANNEL) スイッチにより使用するカウンタ (ストップ・パルスの数) を選ぶことができ、1, 1-2, 1-4, 1-8 の 4 つの組み合わせとすることができる。1 のときは、1 チャンネルだけ、1-2 は 1 および 2 チャンネル、1-4 は 1 から 4 チャンネルまで、1-8 は 8 チャンネル全部をそれぞれ使用するときである。カウンタ・チャンネルを複数使用するとき、そのためのコードが必要となり、そのコードがどのビットに入るか COUNTER CHANNEL BIT ランプによって表示される。例えば 1-4 の位置で 4 つのカウンタを使用するときは第 1.3.1 図のように 2 つのビットのランプが点く。
COUNTER CHANNEL スイッチを 1 においたまゝ複数けたのチャンネルにストップ信号を入れた場合は、それらのストップ信号は、OR 機能的に集められ合成されて測定される。この場合、勿論カウンタ・チャンネルのコード化は行なわれない。
- 5) アクティブ・ビットは、USC-3 から割当てられたメモリ・リージョンで、ACTIVE BIT のランプで表示される。第 1.3.1 図に示すように 2^{13} ビットまで使用してよい場合は、 2^7 から 2^{13} までのランプが点灯し、そこまで使用してよいことが表示される。
- 6) リージョン・ビットの選定 (REGION BIT) は、カウンタ・チャンネル・ビット以下をメモリのどのグループへ入れるか決めるスイッチで、カウンタ・チャンネル・ビットの真上の桁から上のスイッチが有効に働く。しかし、USC-3 からアクティブ・ビットが指定されると、その差のビットだけが有効に働くことになる。例えば、第 1.3.1 図において、アクティブ・ビットが 2^{13} まで割当てられ、カウンタ・チャンネル・ビットの最上が 2^{12} であるため、リージョン・スイッチは 2^{13} 桁だけ有効に働き、他の桁のスイッチは無効となりそれらの位置は他の動作に支障を与えることはない。

アクティブ・チャンネル・ナンバと、カウンタ・チャンネル・ビットの和が、USC-3 より与えられたビット以下の場合は動作上の支障はないので、以上で基本的な部分の設定ができれば START ボタンにより動作が始まり、STOP ボタンにより停止する。しかし、設定

が悪く、カウンタ・チャンネル・ビットの最上桁がUSC-3からの割当てを越した場合は動作に支障が生ずるのでDISABLEランプが点くと共にスタートはできないようになっている。

- 7) バリヤブル・ウィドウス・モードの設定を行なう場合は、COUNTER CHANNEL スイッチの左側のロック型スナップ・スイッチで行なう。このスイッチが中立位置の場合は、一般の一定チャンネル幅のモードで動作する。スイッチをCONST CH NO 側に倒すとその上のVARIABLE WIDTH STEP CH スイッチで選択されたチャンネル毎にチャンネル幅(時間)が倍に広がる動作となる。例えば、256のときは、256チャンネルまではCHANNEL WIDTH スイッチで定められたチャンネル幅(時間)で動作するが、257チャンネルから512チャンネルまではチャンネル幅が倍の時間となり、以後、256チャンネル毎にチャンネル幅が倍となっていく。

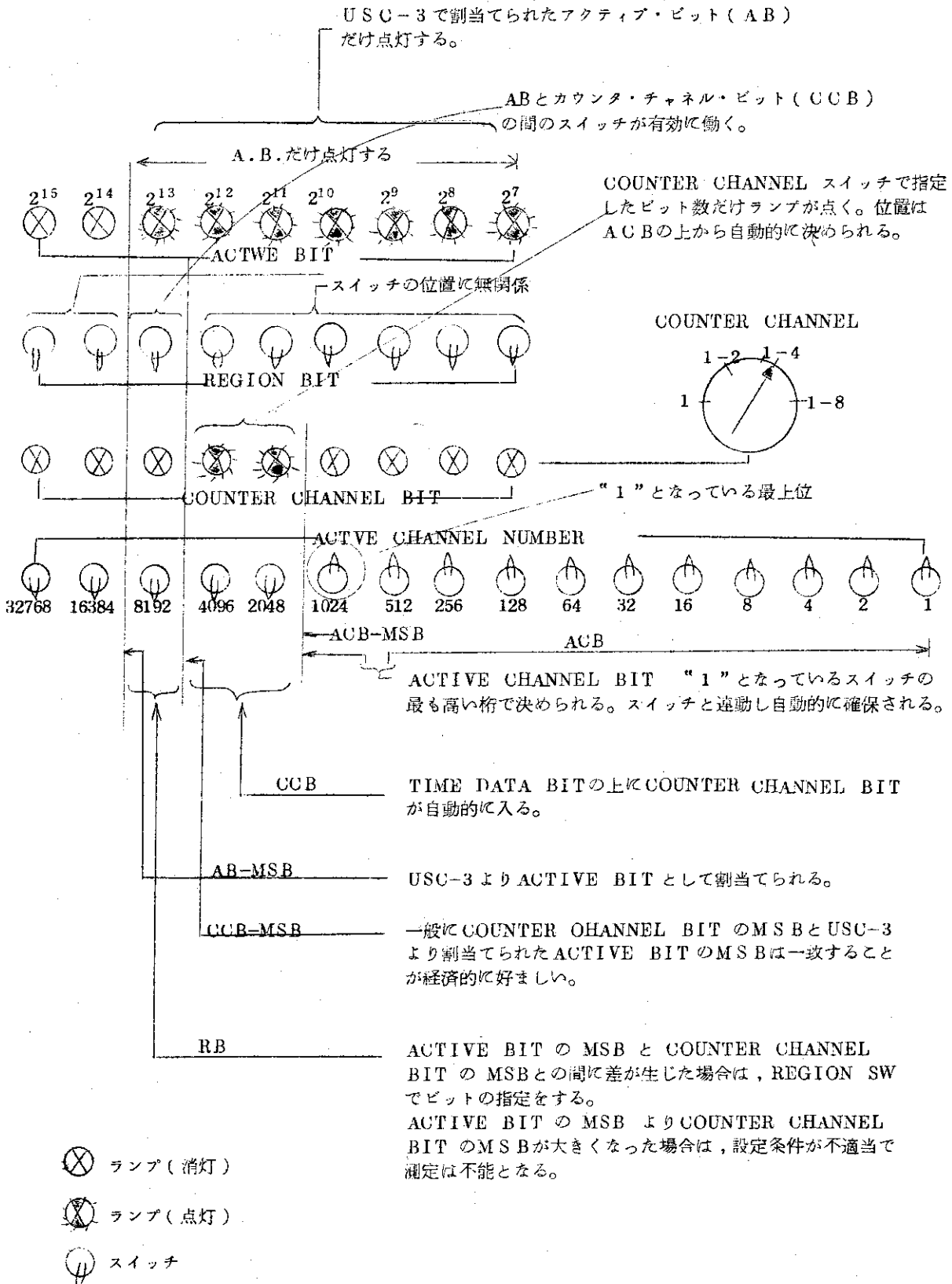
次にスナップ・スイッチをDOUBLE CH NO側に倒した場合は、上のVARIABLE WIDTH STEP CH で決められたチャンネルに達すると前記の場合と同様チャンネル幅が倍に広がり、同時に、そのステップから次のステップまでのチャンネル数も倍になる。例えば、VARIABLE WIDTH STEP CHが256で、CHANNEL WIDTH が100nsec の場合、最初の256チャンネルまでは、100nsec のチャンネル幅で働き、257チャンネルから200nsec のチャンネル幅となり、この時期が257チャンネルから768チャンネルまで行なわれる。このようにチャンネル幅と共にチャンネル数も倍々となっていくモードである。

このモードの動作は、アクティブ・チャンネル・ナンバーの最後まで行なわれ、システム・トリガによって毎行なわれる。また、このステップ数は最大8ステップ行なわれ、それ以上は倍増動作は行なわれない。これは、例えば、VARIABLE WIDTH STEP CHを128に選んで、CONST CH NOで働かせた場合、8ステップまで行なわれると1024チャンネルになるが、それ以上のチャンネルではチャンネル幅の倍増動作は行なわれないことになる。

- 8) 押ボタン・スイッチ。パネル面には、3つの押ボタン・スイッチがあり、START およびSTOPは既に関連動作で述べたようにSTARTを押すことにより全回路が動作状態になり、その上のOPERATEランプが点き、システム・トリガ・パルスを受け付けることができる。そして、システム・トリガ・パルスが入り、クロック・パルスの出ている期間は、RUNのランプが点灯する。

STOPボタンを押すと上記の動作が停止状態となる。

もう1つのRESETボタンは、総てのレジスタ、スケーラがリセットされ、電源を投入した直後と同一状態になる。そのため測定を一時止めてモニタしたいような場合は、RESETボタンを押すことは適当でなく、STOPボタンで止める必要がある。そしてRESETは、新しい別な測定を始めるようなとき、前回の測定条件を一旦クリアするとき使用するのに使われる。



第 1.3.1 図 パネル面のビット・スイッチとビット・ランプの配列と操作関係

2. 構 成

2.1 ブロック・ダイヤ・グラムの説明

全体の構成をブロック・ダイヤ・グラム（巻末図面DL1000）に示す。

上部にシステム・コントローラ部が示されており、その中の左側はシステム・トリガ回路、中央部は、オペレートFFで、全体のスタート、ストップを司どる。右側は、マニュアル・コントロールを行なう回路から成っている。

システム全体の動作は、オペレートFFがセットされ、システム・トリガが行なわれることにより行なわれる。

この部分は、3枚目のプリント板（PCB-3）に納められている。

左部の中段は、発振器およびディバイダで、80MHzの原発振から40MHzのクロック・パルスを作り、さらに、クロック・ディバイダで必要な周期のクロックを作っている。

80MHzの原発振は、フリー・ランニングで動作しており、サイクル・リセット・パルスに同期して40MHzのクロック・パルスを作る。このとき、リセット・パルスに対する、クロック・パルスのジッターは4nsec以下に抑えられている。

クロック・ディバイダによって25nsecから6400nsecまでの間をバイナリ・ステップで9ステップのクロックを選ぶことができる。

クロック・ディバイダで選ばれたパルスは、フェーズ・アジャスタを通りトリガ・クロック（⊕パルス）と、インピット・クロック（⊖パルス）の2種類が出され各部へ送られる。

発振器とディバイダは、PCB-1に納められている。

左部の下段は、PCB-2に納められたカウンタ・インプット回路で、8ケのカウンタで得られたストップ・パルスを整形する部分である。

各カウンタ・チャネルは、+5V（1K Ω ）、-18mA（50 Ω ）、ゲート（開放または+5Vで開放、グラウンドで閉鎖）の3つの入力端子が用意されている。

カウンタ・インプット回路で集められた信号は、コード信号とトリガが信号の2つとして取り出され、PCB-9のコーダとバッハ・コントローラへ送られる。

中央部に示す、PCB-4、-5、-6の部分は、ダブリング回路、チャネル・レンジ・ゲート、チャネル・スケーラで、PCB-6のチャネル・スケーラを中心にチャネル・スケーラ部が構成されている。

PCB-6のチャネル・スケーラは、2進16桁で構成されており、桁上げの伝播遅れがないようにファースト・キャリー方式を用いている。また、このチャネル・スケーラの値が、時間情報として取り出されるので、ここから各種の情報出力線が取り出されている。

PCB-6のチャネル・スケーラの中には、スケーラ本体と、デレイ・タイムを与えるためのプリセット回路、バリエブル・ステップのためのダブリング・レンジ・ゲート等がある。

PCB-5は、チャネル・レンジ・ゲートで、この部分には、ゼロ・レコグナイズ回路、チャネル・レンジ・ゲート、サイクル・リセット回路等がある。

ゼロ・レコグナイズ回路は、チャネル・スケーラのゼロを検知する回路で、チャネル・スケ

ーラが、デレイ・タイム・ゲートによってプリセットされ、それが、ゼロに達したことを検知する回路となる。ゼロが検知された以降の時間が有効時間となり、アクティブ・ゲート信号が作られ、カウンタからストップ・パルスを受付けることができるようになる。

チャンネル・レンジゲートは、有効時間となってからの時間の長さを決めるもので、1から65535までを任意に選択することができる。

チャンネル・レンジ・ゲートで検出された信号は、サイクルの終りであるため、サイクル・リセット・パルスを作っている。

PCB-4のダブリング・サーキットは、バリエブル・ウィドス・ステップを行なわせるための回路で、ダブリング・モード・スケーラ、ダブリング・マスタ・スケーラ、ダブリング・ステップ・ゲートの3つの部分から構成されている。そして、チャンネル・スケーラ内にある、ダブリング・レンジ・ゲート回路を加えて、4つの部分でバリエブル・ステップ動作を行なわせる。

チャンネル・スケーラ内のダブリング・レンジ・ゲートで選択検出された信号をダブリング・モード・スケーラで、チャンネル幅だけを倍々にするモードと、チャンネル幅と、ステップ間のチャンネル数を共に倍にしていくモードの選択が行なわれる。

ダブリング・マスタ・スケーラは、チャンネル・スケーラが有効時間になった時から同時に始動し、ステップ・パルスが来る毎に、チャンネル・スケーラの前にダブリング・マスタ・スケーラが1桁づつ加わっていくように働くもので、スケーラ自体は一般のスケーラと同一の構成である。

ダブリング・ステップ・ゲートは、ステップ毎にダブリング・マスタ・スケーラの桁を加えていくゲートである。

これらの部分の回路は、チャンネル・スケーラが速い速度で動作している途中で、マスタ・スケーラの桁を加える操作をするので、最も速いクロックのときは、25 nsec 以内に行なわなければならない、伝播時間を極力短くしなければならない部分である。

スケーラ部の下段から右の方にかけての部分は、PCB-9のコーダ/バッハ・コントローラで、カウンタ・パルスの処理を行なっている。

カウンタ・インプット部の右のカウンタ・パルス・ゲートは、こゝで作られた、パルスによりチャンネル・スケーラの値を時間信号として取り出すトリガ・パルスとなる。さらにその部分において、インビット・クロックが加えられており、チャンネル・スケーラが反転する位相でトリガが行なわれることのないようにしている。

その下のカウンタ・チャンネル・コーダは、8ケのカウンタのパルスを3ビットのカウンタ・コードに変換するようにしている。

バッハ・レジスタ・オーバフロ・ゲートは、4つのバッハ・レジスタが満ばいときはオーバフロとして、オーバフロ・カウンタで計数する。

バッハ・レジスタ・オーバフロ・ゲートを通った、カウンタ・パルスは、BRトリガ・パルス・ディストリビュータへ送られ、データを4つのバッハ・レジスタへ順次振分ける作用を行なう。このとき、データそのものは、バッハ・レジスタに入れるがバッハ・レジスタを制御するため、マーカ・レジスタをバッハ・レジスタ・コントローラ内に設け、BR、アウトプット・スキヤナと共にバッハ・レジスタを制御する。

さらに、データ記憶装置に対し、フラグ信号を送ったり、エンド・オブ・ストアの信号のやりとりもこの部分で行なっている。

PCB-7のバッハ・ゲートは、チャンネル・スケラからのデータやカウンタ・チャンネル・コード、リージョン信号等をバッハ・レジスタに送るためのゲート回路で、それらの信号を合成し、バッハ・レジスタへデータ信号として送り出している。

PCB-10, -11は、バッハ・ゲート・コントローラで、PCB-7のバッハ・ゲートをカウンタ・チャンネル数やリージョン数、記憶部からの使用可能ビット等を合成してバッハ・ゲートを制御している。

PCB-8はバッハ・ゲートで、4つのバッハ・ゲートがあり、PCB-9のバッハ・レジスタ・コントローラによって制御され順にデータを入れていき、順にデータを送り出すように働く。

2.2 発振器およびディバイダの説明 (PCB-1)

発振器およびディバイダの回路を図面DL1023(巻末)に、そのロジックをDL1002(巻末)に示す。

両図を参照しながら構成と動作を説明する。

OSC-1(EH-156)は、モジュール化された80MHzの発振器で、+12V, -12Vを加えることにより、AC結合の80MHzパルスが得られる。

その出力は、 R_4, R_5 で適当なバイアスを与え、IC19のインバータに入れ、IC16~IC19で構成される。クロック・シェパ/ゲートに結合される。

IC19の、6ケのインバータをロジック図に示すように組み合わせ、80MHzの3相、パルス(120°ずつの位相差〔8.3ns〕を持つパルス)を作っている。

3相・パルスは、それぞれ3ケのJKFFに送りFFをトリガする。3ケのJKFFは、RUN, GATE信号により常時リセットされているが、RUN, GATE信号が \ominus になるとリセットが解除され、3つの位相差を持って始動する。

また、RUN GATE信号の立下りでユニバイプレータ(IC17)をトリガし、約30nsのインヒビット・パルスと、3つのFFの、Q側出力を \oplus NAND回路(IC16)で合成し、その出力、(\ominus でユニバイプレータ(IC13)をトリガし、約10ns幅、 \ominus パルスの40MHzクロック・パルスを作る。

3ケのJKFFを用いて、80MHzの3組パルスから40MHzのクロックを作っているのは、RUN GATE信号によって任意位相でゲートしたとき、40MHzクロックと、RUN GATE信号との間のジッタを少なくするためである。1ケのJKFFを用いて単に80MHzを40MHzに分周した場合は、12.5nsecのジッタが生ずることになるが、上記のように3相パルスを用いて3ケのJKFFでゲートしながら分周すると12.5nsecの1/3に当る約4nsec強のジッタとなる。実際には、4.5nsec程度に抑えられている。

(クロック・ゲートについては、3.1節に詳細を示す。)

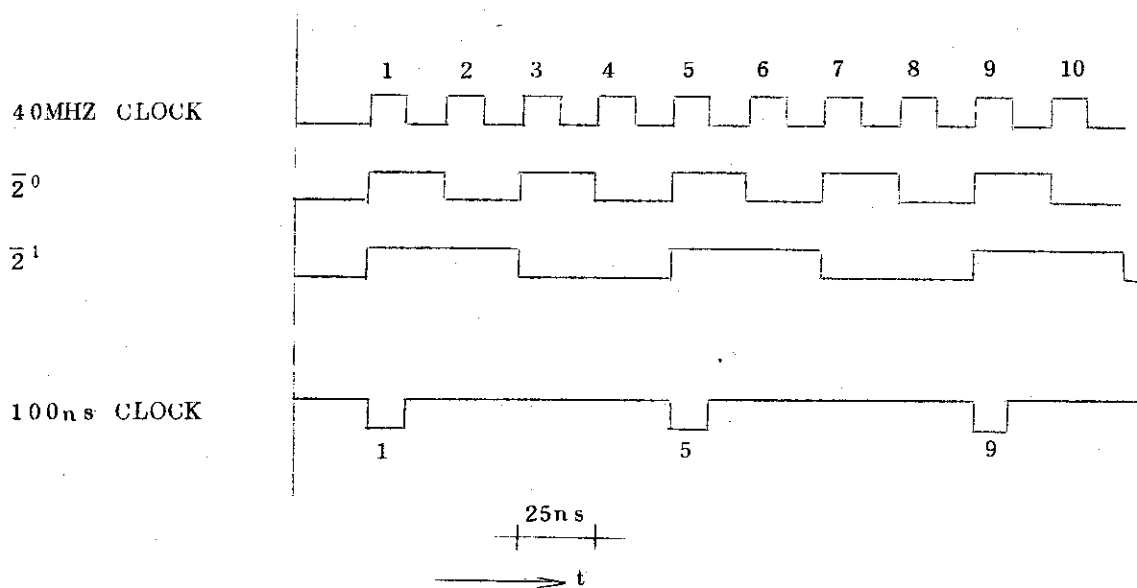
40MHzクロックは、クロック・ディバイダに送られ、25nsecから6400nsecの間のバイナリ・ステップのパルスを作り、必要に応じ任意のパルスを選択することができる。

IC-3~IC-6は8桁のクロック・ディバイディング・スケラで、IC-1~IC-2および $D_1 \sim D_{18}$ でファースト・キャリ回路が構成されている。トリガはIC-14のドラ

イバから全桁同時にトリガされ、桁上げの行なわれるときは、ファースト・キャリ回路によって各桁共に同一位相でトリガが行なわれるように働く。

IC-8, IC-10は、クロック選択ゲートで、IC-7と、IC-9でその制御を行っている。

パネル面のCHANNEL WIDTHスイッチによって、必要なクロックが選択されると、そのラインがGNDされ、選択しようとするクロック幅より1つ上の周期のゲートが全部閉じることになる。例えば、100 nsec を選択する場合、端子 \bar{N} がグランドされ、IC-7のピン⑬がグランドとなり、クロック・ディバイディング・スケーラの 2^2 以上の桁の出力ゲートが全部閉じられる。その結果、40 MHz クロック、 2^0 出力、 2^1 出力の3者だけゲートを通り、 \oplus NAND回路(D19~D26, IC-14)で集められ、100 nsec のクロックが作られる。このときのクロック選択ゲートの動作とタイミングを第2.2.1図に示す。



第2.2.1図 クロック選択ゲートの動作とタイミング

第2.2.1図から分るように、クロック出力は、第1発目の40 MHzパルスから出ることになる。

この部分の回路で、IC-15を用いて、40 MHzクロックを3段反転しているのは、 2^0 や 2^1 等のスケーラ出力との位相を合わせるため、トリガ・パルス(\ominus 40 MHzクロック)から、 \oplus NANDゲートの入力までの遅れが総て9 nsec となるようにしている。

\oplus NANDゲートの出力は、1つは、 \ominus INHIBIT CLOCKとして直接出力端子へ出て、PCB-9のカウンタ・パルス・ゲートへ送られており、他の1つは、ユニバイブレータとフェーズ・アジャスタを通り \oplus トリガ・クロックとしてチャンネル・スケーラ等に送られている。

\oplus トリガ・クロックをフェーズ・アジャスタを通してしているのは、 \ominus インヒビット・クロックとの位相を合わせるため、両クロックは、別経路を通して最終的にバッハ・レジスタに送ら

れ、バッハ・レジスタの端子位相においてインヒビット・クロックのパルス幅の間に、チャンネル・スケーラのトリガが行なわれるように調整するためである。

(位相問題については第3.8節に詳細に説明している。)

2.3 カウンタ・インプット回路(PCB-2)

このプリント板には、ストップ信号となる8チャンネル分のカウンタ・インプット回路が入っている。

回路構成は、各チャンネル同一回路で、8チャンネル分あり、トランジスタおよびダイオード等のディスクリート部品で構成されている。

回路は、DL1021(巻末)に示すように、図にはカウンタ1の回路だけが示されている。各チャンネルの入力は、 $\oplus 5V$ 、 $\ominus 18mA$ 、ゲート($\oplus 5V$ 開放)の3つの入力端子がある。

D_1, D_2 は、 $\oplus 5V$ 入力用のリミッタ、 D_3, D_4 は $\ominus 18mA$ 用リミッタで、両リミッタ共に Q_1, Q_2 のトランジスタに加わる信号を \oplus または \ominus の1V以下に抑えている。

Q_1, Q_2 は、コンパレータで、常時は、 Q_2 が導通しており、端子⑧から \oplus パルスが加えられたとき、または、端子①から \ominus パルスが加えられると反転して、 Q_2 のコレクタに \oplus パルスが得られ、それが Q_3 で反転され \ominus パルスとして端子⑦に出る。出力のパルス幅は、 C_3 と R_{11} で微分され、20nsec程度のパルス幅となる。

ゲート回路は、エシッタ・ホロクとリミッタから成っており、上記のカウンタ・シェーブ回路とは独立している。

ゲート入力は、 Q_4 のエシッタ・ホロクを通り、 D_6, D_7, D_8 のリミッタで振幅の制限(最大+2.5V, 最小-0.7V)が行なわれる。

ゲート回路の入力をエシッタ・ホロクに入れているのは、入力インピーダンスを高くし、端子オープンするとき、ゲート開放となるようにするためである。

2.4 システム・コントローラ(PCB-3)

システム・コントローラの回路は、図面、DL1022(巻末)に、そして、そのロジック図は、DL1001(巻末)に示す。

回路図の左の部分は、スタート・パルスを受付ける回路で、その回路構成は、PCB-2のカウンタ・パルスの整形回路と全く同一である。

また、回路図の右部分は、各種表示ランプのドライバで9回路用意されており、さらに、左寄りの下に示す。 Q_7, Q_8, Q_9 の回路も表示ランプのドライバである。 $Q_7 \sim Q_9$ は、システム・コントローラ関係のドライバであり、 $Q_{10} \sim Q_{18}$ は、他の回路関係のドライバである。

Q_5, Q_6 は表示ランプと類似回路であるが、これはシステム・コントローラ部の動作信号の出力ドライバで $\oplus 5V$ のレベル出力を作っている。

IC部分の構成と動作をロジック図と共に説明する。IC-3の上半分でRSFFを構成し、回路上のオペレートFFとなっている。このFFをマニュアル・スイッチまたは、リモート信号でセットすることにより、システムの動作が可能になる。

オペレートFFの入力回路は、ロジック回路に示すようにIC-10、IC-3、IC-7、

IC-8等のゲートが組み合わされて構成されており、マニュアルによるセット、リセットと共に、リモートによるスタート、ストップ信号によってセット、リセットが行なわれるようになっている。

IC-11は、上記マニュアルのスタート、ストップ信号を作るシェーパとして使用されているRSFFである。

IC-8の左半分は、システム全体のマニュアル・リセット信号を作るシェーパで、この信号により全体がイニシャライズされる。

このリセット信号は、電源が投入された時にも自動的に発生するように、 C_{10} 、 R_{20} 、D9、IC-4(ピン⑧⑨⑩)があり、電源投入後は自動的にイニシャライズされる。

IC-5の部分は、ランニングFFで、システム・トリガ・パルスが加わるとランニングFFがセットされ、クロック・パルスが出されることになる。ランニングFFがセットされる条件は、オペレートFFがセットされていることと、システム・トリガ・ゲートが⊕（または開放）であることによりセットされる。

そして、ランニングFFは、チャンネル・スケーラからサイクル・リセット・パルスによりリセットされる。

IC-5の一部(ピン⑬を含むJKFF)は、オーバーラップ検出回路として使っており、ランニングFFがセットされているときに、次のシステム・トリガ・パルスが加わるような条件のときは、オーバーラップFFがセットされるようになる。このときは、チャンネル・スケーラで決められたサイクル時間(チャンネル数×チャンネル幅)よりもシステム・トリガの周期が短い場合であって、そのような動作条件を表示するようになっている。しかし、オーバーラップ表示が行なわれても、実際の動作は、システム・トリガ・パルスによって毎回チャンネル・スケーラがリセットされ測定上の支障はない。

オーバーラップFFは、システム・トリガの周期が長くなるか、チャンネル・スケーラの計数時間を短かくすれば自動的にリセットされ、各サイクル毎に状態がレフレッシュされることになっている。

ランニングFFの出力は、その動作がランプ表示されると共に、SYSTEM BUSY出力として端子に出ている。

また、前記したオペレートFFの出力もその動作がランプ表示されるが、出力信号としては、直接ではなく、オペレートFFがセットされた後ランニングFFがセットされるとSYSTEM OPERATE信号が出ることになっている。

ランニングFFがセットされるとクロック・パルスが出るようにOSC GATE信号を出しているが、この信号は、ランニングFFの出力とシステム・トリガが、パルスを混合して出している。これは、ランニングFFの出力だけではオーバーラップしたときに、FFの信号は連続的に出たままなので、新しいシステム・トリガ・パルスの位相とクロックが合わなくなるのを改めるためである。システム・トリガ・パルスを加えることによりランニングFFの出力を一旦中断するようにすると、クロック・パルスは新しいシステム・トリガ・パルスに同期させられ、上記の問題点が解決される。

2.5 ダブリング・サーキット (PCB-4)

ダブリング・サーキットは、回路図をDL1024 (巻末)ロジック図をDL1002 (巻末)に示す。

ダブリング・サーキットは、後述のチャンネル・スケーラ (PCB-6)、チャンネル・レンジス・ゲート (PCB-5)等と組み合わせ、バリヤブル・チャンネル・ウィドゥス・ステップ動作を行なわせる回路で、その主要制御回路となっている。そして、このプリント板 (PCB-4)は、ダブリング・モード・スケーラ (IC-11~IC-17, IC-3~IC-6, IC-26, IC-27)、ダブリング・マスタ・スケーラ (IC-7~IC-10, IC-1, IC-2)、ダブリング・ステップ・ゲート (IC-18~IC-21, IC-23, IC-24)の3つの部分から成っている。

ダブリング・モード・スケーラは、IC-11からIC-17までの8桁のスケーラを中心に構成されている。そして、桁上げ回路が2つに分かれており、IC-3~IC-6によって、シフト・スケーラ的な桁上げを行なう回路と、IC-26, IC-27, $D_{21} \sim D_{46}$ から構成されるバイナリ・スケーラの桁上げ回路から成っている。

前記の桁上げ回路によって、シフト・スケーラの動作が行なわれるので、IC-11から“1”の状態が順次上位桁に伝えられ、1つのトリガ・パルスが来る毎に、IC-18からIC-21までの部分で構成されるダブリング・ステップ・ゲートのFFを順にセットしていくようになる。この動作を行なわせるためには、端子⑧からSINGL DOUBLING GATE信号が⊕の状態に加えらる。

もう1つのモードは、端子⑦のDUAL DOUBLING GATE信号が⊕となったときで、このときは、IC-26とIC-27のゲートが開き、 $D_{21} \sim D_{46}$ のダイオードから構成される一般の桁上げ回路が働き、IC-11~IC-17のスケーラは、一般のバイナリ・スケーラとして動作する。そして、端子⑨から加えられるPICKOFFパルスの数がバイナリ・ステップに達する毎に桁上げが行なわれることになり、IC-18~IC-21のFFもそれに伴って動作することになる。そのためチャンネル・スケーラのチャンネル幅は、各ステップで幅が2倍に広がると共にステップ間のチャンネル数も倍になる動作をする。

IC-1, IC-2, IC-7~IC-10はダブリング・マスタ・スケーラで、この内のIC-7~IC-10のスケーラは、一般のスケーラと同様に構成されており、IC-1, IC-2, $D_1 \sim D_{18}$ はその桁上げ回路 (ファースト・キャリ方式)である。

このダブリング・マスタ・スケーラは、端子④のATC GATE信号が⊕になると動作を始めるようになる。ACT GATE信号が⊕になる時点は、PCB-5のチャンネル・レンジス・ゲート (第2.6節)で説明するようにチャンネル・スケーラが全桁“0”の状態を通過し、有効チャンネルの計数を始めると同時にチャンネル・スケーラと同一歩調で計数を始める。但し、IC-10の 2^6 と 2^7 桁は、IC-21の 2^6 と 2^7 FFがセットされるとリセットが解除され、その時点から始動する。これは、ダブリング動作の位相を合わせるために行なう操作である*。

IC-18から、IC-21は、ダブリング・ゲートFFで、前記したダブリング・モード

* バリヤブル・ステップ動作については第3.4節で詳細に示す。

スケアラの各桁のトリガに対応してセットされるようになっていいる。シングル・ダブリング・モードのときは、ピックオフ・パルスが得られる度に下位から順にセットされることになり、デュアル・ダブリング・モードのときは、ピックオフ・パルス毎にバイナリ・ステップでセットされていくことになる。

ダブリング・ゲートFFの出力と、ダブリング・マスタ・スケアラの出力が、IC-23 と IC-24 のゲートで取り出され、 $Q_1 \sim Q_8$ のトランジスタORゲートで集められている。

この部分の動作は、ダブリング・ゲートFFが順にセットされていくと、その桁に相当するダブリング・マスタ・スケアラの桁の出力が合成ゲートで取り出され、CHANNEL SCALER GATE 信号としてチャンネル・スケアラのクロック・パルスを開引きするような働きをする。

2.6 チャンネル・レンジス・ゲート (PCB-5)

チャンネル・レンジス・ゲートの回路を図面DL1025 (巻末)に、そのロジックをDL1002 (巻末)に示す。

このプリント板には、チャンネル・スケアラ (PCB-6) に付属する2組のゲートとその関連の整形回路がある。

$D_1 \sim D_{16}$ のダイオード・ゲートは、ゼロ・レコグナイズ回路で、チャンネル・スケアラの全桁が“0”になったことを検知する回路である。各ダイオードは、 Q_1 のエジッタ・ホロワを通しIC-1 に集められ、全体で \oplus NANDゲートとなっている。IC-1 の右側には、上記ダイオードで集められた \oplus ORゲートの入力と、 \oplus トリガ・クロック・パルスが加えられており、出力は、 \oplus トリガ・クロック・パルスにストローブされて出力が出ることになる。

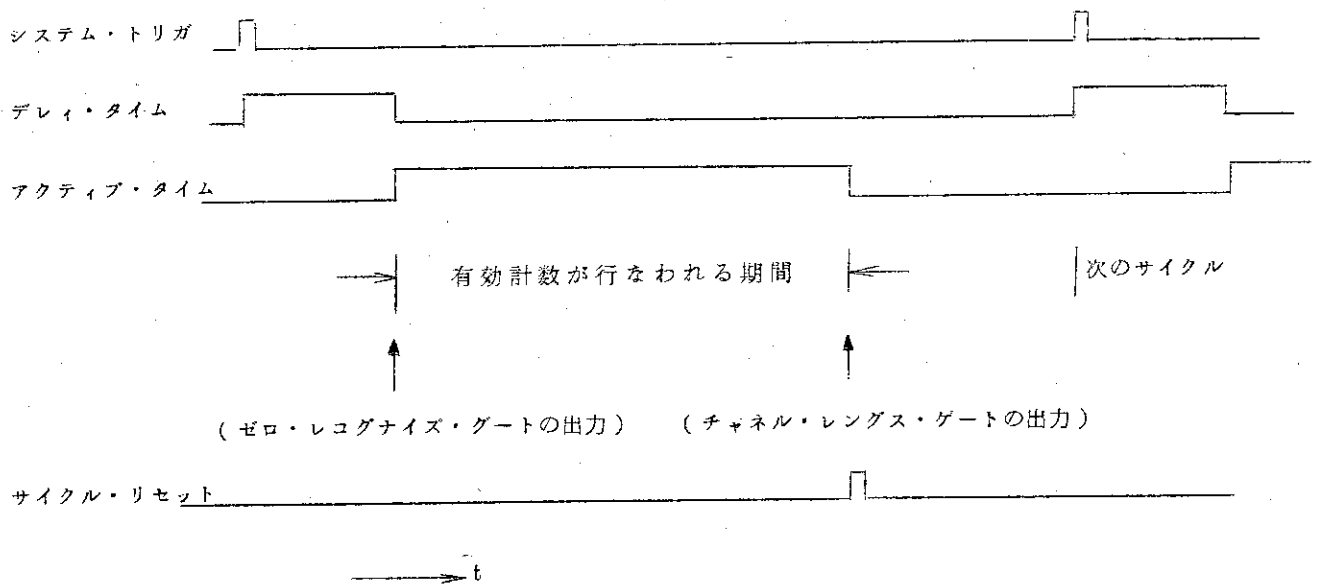
\oplus NANDゲートの出力はIC-1 のピン⑧から出てIC-2 のピン④の組のFFをセットする。そしてFFの出力はIC-2のピン⑥(\bar{Q})から取り出されIC-1の左半分で反転し端子②からACTIVE GATE信号として出す。

このACTIVE GATE信号は、チャンネル・スケアラが“0”チャンネルになって、アクティブ計数を行ない出した時点から得られ、チャンネル・スケアラが決められたチャンネルに達し、オーバーフローするまで継続する信号となる。そして、このACTIVE GATE信号を出している期間にカウンタ・パルスを計数するように働くようになっている。

一般のタイム・アナライザの使い方では、システム・トリガが行なわれた後ある時間だけ遅延時間を与え、その後、0チャンネルから有効計数が行なわれる。その関係は一般に第2.6.1図のようになっている。上記のゼロ・レコグナイズ・ゲートはアクティブ・タイムの前縁を検知するゲートとなっている。

一般の動作において、例えば、デレイタイムを与えずに動作させた場合は、チャンネル・スケアラは一旦全桁“1”にプリセットされるので、第1発目のクロックで必ずゼロ・レコグナイズ・ゲートに出力が得られ、その時点からアクティブ・タイムとなる。

IC-2のアクティブFFのリセットは、一般には、以下に述べるチャンネル・レンジス・ゲートの出力によってサイクル・リセット・パルスが作られ、リセットされるが、システム・トリガがオーバーラップしたようなとき誤動作しないようにシステム・トリガ・パルスの一部で



第 2.6.1 図 サイクル・タイムとデレイタイム、アクティブ・タイム
の関係

もリセットがかけられている。

IC-4～IC-11 および D-18～D-49 の部分は、チャンネル・レンジス・ゲートで、チャンネルの終りを検出するゲートである。第 2.6.1 図に示すように任意のチャンネル数に選定されたアクティブ・タイムの終りを検出し、サイクル・リセット・パルスが発生することになる。

IC-4～IC-11 は、任意のチャンネル・レンジスを選ぶゲートで、チャンネル・スケアラの真値側と対補側のどちら側からゲート入力をとるかの選択ゲートである。制御信号は、パネル面のスイッチから下側の端子へ加えられ、開放またはグラウンドの信号が入り、開放の場合が有効となる。チャンネル・スケアラからの信号は、スケアラ FF から直接出た Q、および \bar{Q} 信号を、プリント板の上側の端子から受けて、IC-4～IC-11 の \oplus NAND ゲートにそれぞれ加えている。

各 \oplus NAND ゲートの出力は、ダイオードで構成された \ominus OR ゲートで集められ、さらに Q_1 、 Q_3 のエシッタホロワと IC-3 の右側と組み合わせられ、全体として \ominus NOR ゲート (ダイオード以降) として働くようになっている。

IC-3 の右側に入っている入力は、上記ダイオード・ゲートからのサム信号入力が 2 組と、アクティブ・タイムの信号である ACTIVE GATE 信号を約 6 n sec 遅らせて (IC による 2 回反転によって) 加えている。そのため、IC-3 の右側出力は、アクティブ・タイムにおいて ACTIVE CHANNEL NO スイッチで決められたチャンネルに達すると出力が出る。その出力は、IC-2 のユニバイプレータで整形され、OVERFLOW パルスとなり、さらに SYSTEM TRIG パルスと混合されて、CYCLE RESET パルスとして端子 ④ に出している。

上記の IC-3 の右側ゲートにおいて、ACTIVE GATE 信号を遅らせて加えている理由は、 \oplus トリガ・クロック・パルスを基準に考え、一方はチャンネル・スケーラを通して IC-3 に達する信号の時間と、他の一方は、IC-1 から IC-2 を通り IC-3 に達する信号の時間関係を合わせるため、チャンネル・スケーラの信号より、ACTIVE GATE 信号が早くならないようにしているためである。これは、普通のチャンネル数のときは問題にならないが、全桁を“1”にしたとき、すなわち 65535 チャンネルのときに問題になる。65535 チャンネルのときは、全桁の“1”を検出する訳だがアクティブ・チャンネルの検知が行なわれるのは全桁が“1”のときから“0”になる寸前であるため、ACTIVE GATE 信号が早すぎるとオーバフロ信号となってしまうためである。

リセット回路のロジックは、前記した DL1002 に示されているが、全体との関連を見るには DL1001 に示された部分を見た方が分かりやすい。

(リセット回路の動作およびアクティブ・タイムについては第 3.3 節で詳細に説明する。)

2.7 チャンネル・スケーラ (PCB-6)

チャンネル・スケーラは、このタイム・アナライザの中心部であり、構成も最も複雑になっている。そして、このプリント板には、チャンネル・スケーラ本体の外に、デレイ・タイム・プリセッタ、ダブリング・ピックオフ・ゲート等がある。

回路図は、図面 DL1026 (巻末) に、そのロジック図は DL1002 (巻末) に示されている。

チャンネル・スケーラの本体は、IC-6~IC-13 の 8 本の IC で、これで 16 段の 2 進スケーラが構成されている。桁上げ回路は、IC-14~IC-17 と、D1~D56、さらに Q1~Q9 等で構成され、16 桁に亘りファースト・キャリ方式が用いられている。そのため桁上げが行なわれるときは、全桁同一位相で行なわれ、そのずれは負荷の影響を含めても $\pm 1 \text{ n sec}$ 以下である。

また、チャンネル・スケーラのトリガは、ファンナウトの関係で、前段 8 桁と後段 8 桁の 2 つのグループに分け、IC-18、IC-19 からドライブしている。

それから、27 桁から上の桁上回路にエンッタホロクを用いているのは、ダブリング・ピックオフを行なっているためファンナウトを大きくするためである。

チャンネル・スケーラの出力は種々取り出されているが、1 つは、FF から直接出している信号で、PCB-5 のゼロ・レコグナイズ・ゲート等に送っている信号で全桁に亘っている。2⁷ 桁以上は、FF からの直接出力が、PCB-8 にも送られており、2 つのゲートを通して PCB-9 のバッハ・ゲートにチャンネル・データとして送られている。また、2⁶ 以下は、PCB-8 のゲートに相当するものは無いので、バッハ・レジスタへ送る出力は、チャンネル・スケーラから 2 本のインバータを通した後直接送っている。2 段反転している理由は、2⁷ 桁以上との位相を合わせるためである。

IC-21~IC-25 までの 4 本のゲートは、ダブリング・ピックオフを行なわずゲートで、実際には、3 本の \oplus NAND ゲートとして使っている。このゲートの 3 つの入力は、その 1 は、チャンネル・スケーラの 2⁷ 桁以上の桁から取り出すファースト・キャリ信号で、各桁毎に接続されてこれがピックオフ信号となる。2 番目は、フロント・パネルのロータリ・スイッチ

から来る選択制御信号で、プリント板の下側の端子から接続され、バリヤブル・ステップ・モードでは、選択すべき桁が $\oplus 5\text{V}$ になる。3番目の信号は、アクティブ・ゲート信号で、アクティブ・タイムの期間だけこれらのゲートが働くように全ゲートにバスで接続されている。

IC-21 から IC-25 の各 \oplus NANDゲートの出力は、ダイオード・ゲートで \ominus ORをとり、Q10 のエンッタ・ホロワを通り \ominus パルスをも PICKOFF 信号として端子 F に出す。PICKOFF 信号はさらに IC-21 で反転され、 \oplus パルスとして DOUBLING PICKOFF 信号を端子 D に出している。

IC-26~IC-33 は、チャンネル・スケアラのリセット・ゲート回路で、このゲートによってデレイ・タイムに相当する値をチャンネル・スケアラにプリセットすることになる。

デレイ・タイムは、チャンネル・スケアラをコンプレメンタリに計数してフル計数に達するまでの時間となるから、全桁が“1”にプリセットされたときは、デレイ・タイムはゼロ、全桁が“0”にプリセットされたときは、65535 カウントのデレイ・タイムが与えられることになる。各桁の IC は、フロント・パネルのスイッチによって選択され、サイクル・リセットが行なわれるとき、チャンネル・スケアラの各桁をセットまたはリセットすることになる。

(チャンネルスケアラの動作については第3.2節に、バリヤブル・ステップ・レンジ動作については第3.3節において詳細に説明する。)

2.8 バッハ・ゲート (PCB-7)

バッハ・ゲートはチャンネル・スケアラ (PCB-6) とバッハ・レジスタ (PCB-8) の間にあって、バッハ・レジスタに入れるデータの 2^7 から 2^{15} までの桁の選択制御を行なうゲート回路となっている。バッハ・レジスタの 2^6 以下の桁には、チャンネル・スケアラからの時間信号しか入らないが、 2^7 桁以上は、カウンタ・チャンネル・コード (ストップ信号のチャンネル・コード) や、リジョン・コード等を入れることができるようになっているので、それらの関連制御ゲートをこのプリント板にまとめてある。

回路図は、図面 DL1027 (巻末) に、ロジック図は DL1003 (巻末) の上半分に示している。

回路図において、チャンネル・スケアラからのチャンネル・ナンバー・コード信号は、上記の端子から入り、再び上部の端子からバッハ・レジスタへ送られるようになっている。下部の端子からは、カウンタ・チャンネル・コードやリジョン・コード、さらに、各桁の制御信号が入っている。

ロジック図において、左側から入力データが入り、上部にデータ出力が出るように示されている。制御信号は、図の下半分のバッハ・ゲート・コントローラ部から入るようになっている。入力データの内、チャンネル・ナンバー・コードとカウンタ・チャンネル・コードは速い信号であり、リジョン・コードと制御信号は直流レベルの信号である。

回路構成は、回路図およびロジック図に示すように7ケの IC で2桁分を単位として作られており、10桁分用意されている。実際には9桁を使用している。

回路図およびロジック図の右側の2桁分について説明すると、IC-15 は、チャンネル・ナンバー・コード用のゲートで、4つのゲートが2桁分に使われている。

IC-24, IC-25, IC-30 は, カウンタ・チャンネル・コード用のゲートで, 3ケのICによる12ケのゲートが6ケずつ各桁に用いられている。このゲートは, カウンタ・チャンネル・コードの $2^0, 2^1, 2^2$ の3桁をどれでも選択できるように3組のゲートが用意されている。

IC-35は, リージョン・コードのゲートで, 1ケのICを2桁分に使っている。この回路は前記したように直流レベルの信号を扱っているので速いICは必要なく, 一般の74型ICを用いている。

上記の各選択ゲートで, 各桁はどれか1つの信号が選択され, IC-9およびIC-10のゲートで集められる。このサム・ゲートは, 上記した各ゲートの種類と数から, 5入力のゲートを必要とするが, ICは4入力ゲートを用いているので, その補助としてダイオードを用いている。

以上の各ゲートの全体的な動作は, ロジック図から理解されるが, 一般的な動作を説明すると, チャンネル・ナンバーを例えば511チャンネルまで使用する場合, パネル面のACTIVE CHANNEL NUMBER スイッチは, “256”以下を全部“1”にすることによりチャンネル数が確保され, “256”(2⁸)の桁以下がチャンネル・ナンバー用として使用される。この場合, ロジック図の“256”のスイッチ(2⁸桁の下方にある)が図のように上側に入り, その結果, 2⁸まではチャンネル・ナンバー・コードが開かれることになる。その次に(上位)カウンタ・チャンネル・コードが入ることになるが, 8ケのカウントを用いる場合は, パネル面でCOUNTER CHANNEL スイッチを1-8のポジションにおき, 3ビット分をカウンタ・コード用に確保する。この場合, チャンネル・ナンバ・コードの上位に続いてカウンタ・コードが入るように, 2¹⁰, 2¹¹, 2¹²桁が自動的にカウンタ・コード用となる。

2¹³桁以上は, フリーとなるのでリージョン・コードを入れてリージョンの固定をしておく必要がある。しかし, 記憶装置側(USC-3側)から, タイム・アナライザ用のリージョンが指定される場合は, タイム・アナライザ側のリージョン・コードは無効になり, 記憶装置側で決められることになる。

2.9 バッハ・レジスタ(PCB-8)

バッハ・レジスタは, チャンネル・ナンバ・コードやカウンタ・チャンネル・コード等を入れるレジスタで, 4ケ用意されている。そして, 使い方は, チャンネル・スケアラ等から順に入れていき, 記憶部(USC-3)へ順に出していくようになっている。このように4ケのレジスタを設けて, 一時記憶を行なう理由は, カウンタから得られる計数パルスがアトランダムの特徴を持っており, それに対し記憶部の処理速度が十分でないので, 計数損を防ぐために一時記憶をしている。

回路図は, 図面DL1028(巻末)に, ロジック図は, DL1004(巻末)に示す。そして, このプリント板には, 上記の4つのレジスタと, 各レジスタのトリガ用のパルサ, さらに, レジスタからデータを取り出すゲート回路等がある。ここから取り出されたデータ信号は直接記憶部(USC-3)へ送られることになる。

構成は, IC-1~IC-8が第1バッハ・レジスタ, IC-9~IC-16が第2バッハ・レジスタ, IC-17~IC-24, IC-25~IC-32がそれぞれ第3, 第4のバッハ・

レジスタである。

IC-53~IC-60は、各バッハ・レジスタのトリガ用ドライバである。このドライバの構成は、各レジスタが同一タイミングでトリガできるように、レジスタを選択するゲート信号と、タイミングを決めるトリガ・パルスを別々に加えている。そして、各バッハ・レジスタは、第1から第4までが順に、且つ、循環してトリガされるようになっている。

また、各バッハ・レジスタのJKゲートには、チャンネル・スケラ ($2^0 \sim 2^6$ 桁) およびバッハ・ゲート ($2^7 \sim 2^{15}$ 桁) からのデータ信号がPC板の上側の端子から入り、各レジスタの同一桁を並列に結んで、それぞれのレジスタFFのJKゲートに接続されている。

IC-33~IC-48は、4ワイド・2入力AND-NORゲートで、4つの2入力ANDゲートを持ち、その出力のORを反転して出す機能を持っている。このICで、各16桁の4つのバッハ・レジスタのQ側(真値側)出力を集めIC-49~IC-52のインバータを通して最終的なデータ出力とする。

IC-33~IC-52の部分の動作は、n sec オーダの高速動作の必要はなく、 μ sec オーダの動作でよいので、一般の74型TTLICを使用している。

(バッハ・レジスタのトリガ位相の問題については第3.8節に詳細に説明している)

2.10 コーダ・アンド・バッハ・コントローラ(PCB-9)

コーダ・アンド・バッハ・コントローラは、カウンタ・パルス(ストップ・パルス)の制御、コード化、およびバッハ・レジスタへのデータの出し入れの制御、さらに、記憶部(USC-3)との制御信号のやりとりを行なう部分で、カウンタ・パルスの流れを制御している部分と言える。

回路図は、図面DL1029(巻末)に、そのロジックはDL1001(巻末)に示す。このプリント板には種々な機能の回路が入っているので構成も複雑になっている。

まず、カウンタ・パルスの入力ゲートは、ダイオードで構成されており回路図の $D_{16} \sim D_{31}$ の部分である。ダイオード・ゲートを通ったあと、IC-27~IC-30のユニバイプレータ(JKFFで構成)で整形され、約10nsecのパルス幅に整形する。

ユニバイプレータの出力は、 \bar{Q} 側(\ominus パルス)からとり、ダイオード $D_1 \sim D_8$ による \ominus OR回路で集められ Σ カウンタ・パルスとしてカウンタ・パルス・ゲートに加える。また、一方、同じくユニバイプレータの \bar{Q} 側出力は、IC-19~IC-21の4入力 \ominus NOR回路に加えられ、カウンタ・コーダのゲート信号を作る。

カウンタ・パルス・ゲートは、IC-11(半分)、IC-35、IC-36、IC-2等で構成されている。IC-11はメモリFFで、カウンタ・パルスが来るとトリガが端子からトリガされ、“1”の状態にセットされる。そして、Q側の \oplus 出力がIC-36のゲートを通り \ominus パルスとしてIC-35(ピン⑬)に送られ、IC-35のユニバイプレータをトリガする。このユニバイプレータは、約8nsecのパルス幅で動作し、 \bar{Q} 側の \ominus パルスでIC-11のFFをリセットする。そして、IC-11のQ側から \oplus パルスを取り出し、次段のトリガ・パルスゲートに出力として出す。

以上は、PCB-1から \ominus インヒビット・クロック・パルス(端子⑫)から)が来ていないときの一般の動作であるが、 \ominus インヒビット・クロック・パルスが来た場合には、その動作を含まない。含めた総合動作が行なわれることになる。

\ominus インヒビット・クロック・パルスのインヒビットの目的は、バッハ・レジスタにおいて、チャンネル・スケーラのデータ信号が変化する位相で、カウンタ・パルスによるトリガが行なわれないように、その位相期間だけトリガの位相を外すように働くものである。

IC-11のJKFFがセットされ、Q側出力が \oplus になったとき、インヒビット・パルスが加えられているとIC-36のゲートは閉じられているので、JKFFの出力は、そのまま待たされることになる。そして、インヒビット・パルスが終るとゲートが開かれ、IC-35のユニバイブレータをトリガする。このように、インヒビット・パルスが来ているときは、その間待たされるが、インヒビット・パルスの後縁で出力が出ることになる。

カウンタ・インプット・ゲートには上記の最終出力の外に、JKFFの \bar{Q} 側から \ominus パルス出力が出ている。この \ominus パルスは、カウンタ・コードのトリガに用いている。

カウンタ・コードの3ケのJKFF(IC-10, IC-11の半分)は、JKゲートに前記した \ominus NOR回路の出力が加えられており、トリガ端子には、上記のIC-11からの \ominus パルスが加えられる。両者の位相関係は、JKゲート信号が、トリガ・パルスより約4 n sec 早く到来するようにしている。IC(74S112)の特性として、トリガ・パルスより3 n sec 以上早い時点のJKゲート信号によって状態が決められるので、上記のように4 n sec 早く到来したJKゲート信号がJKFFに取り入れられて、カウンタ・チャンネルのコード化が行なわれる。

各カウンタ・チャンネルの内、任意の2ケの信号が非常に接近(数 n sec)して来た場合、早いチャンネルの信号は、上記のように正しくコード化されてJKFFに入れられるが、遅れて来るチャンネルのコード信号は、最初のトリガ・パルスに対し3 n sec 以前に加わらないと無視されてしまう。すなわち、回路上決まるJKゲート信号とトリガ・パルスの時間と、IC自体のトリガに必要なJKゲート信号とトリガ・パルスの時間(3 n sec)の差がコードの分解時間となる。

さらに、2つのチャンネルのパルスを共に有効に計数するには、前記のカウンタ・インプット・ゲートの分解時間によって決められることになり、それは約25 n sec である。

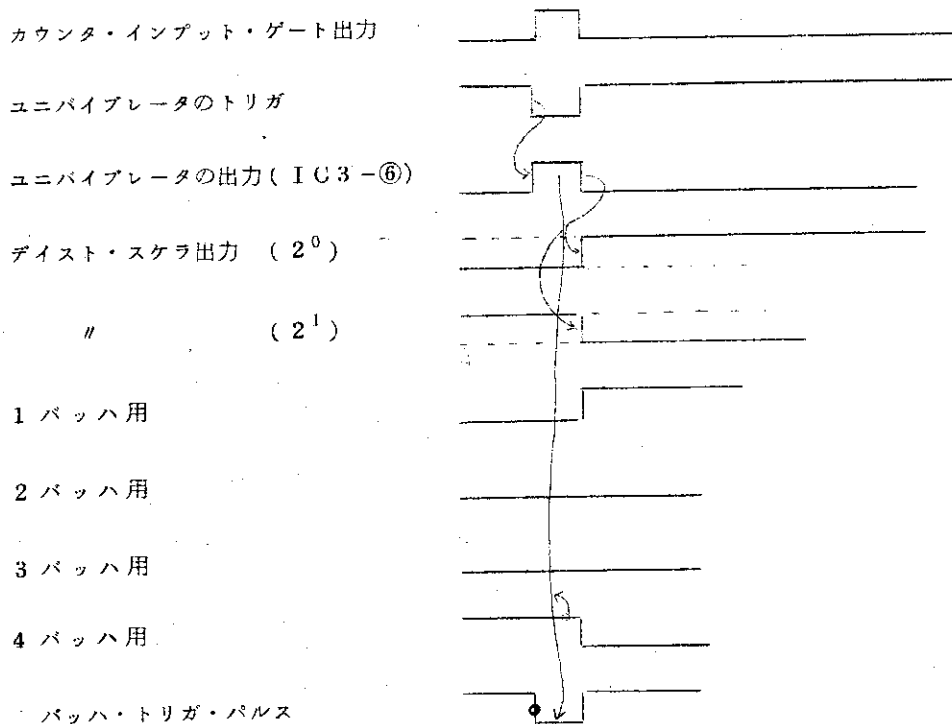
(カウンタ・インプット・ゲートおよびカウンタ・コードの詳細動作については第3.5節、第3.6節、第3.7節に詳細に説明する。)

カウンタ・パルス・ゲートの出力は、トリガ・パルス・ゲートへ送られ、IC-3からIC-12のユニバイブレータ(ピン⑬関係)およびJKFF(ピン①関係)をトリガする。ユニバイブレータは、バッハ・レジスタのトリガ・パルスの整形を行ない、IC-38からバッハ・レジスタにBUFFER-TRIG-TIMINGパルスを送る。また、ユニバイブレータからIC-3(右側)を通り、IC-4の2進2桁のディストリビューティング・スケーラをトリガする。さらに、このトリガ・パルスはIC-22, IC-23のマーカ・レジスタ4ケもトリガしている。

ディストリビューティング・スケーラは、各パルス毎に1カウント進められ、その計数値を

IC-39~IC-42のデコーダで、4ライン信号に直し、データを入れるバッハ・レジスタを順に指定するように働く。

バッハ・レジスタをトリガするパルスは、バッハ・レジスタ(PCB-8)部で作られるが、IC-39~IC-42の出力をレジスタ選択用信号として使用し、IC-38で作られるBUFFER TRIG TIMING信号でタイミングをとるようになっている。その関係を第2.10.1図に示す。図に示すように、ディストリビューティング・スケラは、トリガ・パルスの後縁で動作することになる。



第2.10.1図 バッハ・レジスタ・トリガのタイミング
 トリガ・パルスが出た後スケラが反転する。ゲート間のタイム・デレイは示していない。

IC-22~IC-23は、バッハ・レジスタと同時に動作していくマーカ・レジスタで、バッハ・レジスタと対応して4つ用意されている。そして、バッハ・レジスタにデータが入っていればこのマーカ・レジスタも“1”の状態にセットされ、マーカーとしての役を果たす。

セット動作の制御もバッハ・レジスタと同じで、インプット・ディストリビュータの出力でJKゲートを制御し、ユニバイブレータの⊕出力の後縁でトリガする。

マーカ・レジスタの出力は3種類あって、その1つは、-NOR出力(IC-24)、第2は、+AND出力、それから個々の出力である。

-NOR出力は、マーカ・レジスタのどれかがセットされていれば記憶装置(USC-3)にデータ出力を出すようにするために、各マーカ・レジスタの \bar{Q} 側から⊖出力をIC-24の左側で、⊖NORゲートで集め、データ・スキヤニングOSC等を働かせている。

第2出力は、+AND出力で、マーカ・レジスタのQ側から⊖出力を出し、D11~D14に

よる⊕ANDゲートで全レジスタが“1”になったことを検出している。そして、AND出力が出た場合は、バッハ・レジスタのトリガを止め、カウンタからの入力、BROスケラ（バッハ・レジスタ・オーバフロ・スケラ）で計数するようにトリガ、パルス・ゲートを働かせる。

3番目の個々の出力は、バッハ・レジスタからデータを取り出す制御を行ない、各バッハ・レジスタに、データがあるか、無いかを確認する信号として使っている。

バッハ・レジスタからのデータの取り出しは、データスキッピング回路で行なっているが、この部分は、OSC、スケラ、ゲート等から成っており、順にスキッピングしながらマーカ・レジスタのマーカを追って動作するようになっている。これは、マーカ・レジスタの任意のレジスタにデータが入ったことが示されれば、スキップナは、どこになっても自動的にそのマーカの位置まで進むようになっている。データが入っていることを確認して、データの送り出し動作を行なうように働く。

記憶部（USC-3 計算機）との制御信号のやりとりは、USC-3 が運転状態にある。この信号は、PCB-9 のプリント板とは関係なく、PCB-3 のシステム・コントローラの方へ送られている。

データのやりとりに関係する部分としては、PL信号が⊕の状態で来ると動作可能となる。そして、バッハ・レジスタにデータが入ると、マーカ・レジスタが“1”になり、スキップナが動作して両者が一致するとFLG信号が出て、USC-3 側でデータの読み取りを行なう。読みとりが終るとUSCOK信号が返され、タイム・アナライザ側は次のデータを送り出すことができる。

これらの記憶部とのやりとりは、IC-18, IC-9, IC-16, IC-26 等で行なっている。

（バッハ・レジスタのトリガ、マーカ・レジスタおよびスキッピング回路の動作については第3.8節、第3.9節に詳細に説明する。）

2.11 バッハ・ゲート・コントローラ（PCB-10, 11）

バッハ・ゲート・コントローラは、バッハ・ゲート（PCB-7）に対する制御信号を作っており、記憶部（USC-3）から指示されたレンジ、パネル面の各種スイッチで操作したチャンネル数、カウンタ・チャンネル数等を整理して誤りなく各データをバッハ・ゲートに入れるような制御信号を作る部分である。

回路図は、図面DL1030（巻末）、ロジック図は、図面DL1003（巻末）の下半分に示す。

構成は、1枚のプリント板に5桁分用意されているので、2枚のプリント板を用いている。実際の使用桁数は9桁であるため1桁分は遊んでいる。

1枚のプリント板中の構成は、回路図および、ロジック図に示すようで、1桁当たり、4ケのICと1ケのダイオード、2ケのトランジスタから成っている。1桁当たりの4ケのICの使い方は、ロジック図に示すようで、各桁共に同一配列で構成されている。

各桁に亘ってバスとなるラインは、カウンタ・チャンネル・ナンバ・ビットで、IC-6の3本の出力が各桁に亘っている。この出力ラインは、カウンタを1ケ使用する場合は、全部

GNDレベルで、2ヶ使用するときには、IC-6のピン⑫の出力ラインが⊕になる。また、4ヶのカウンタを使用するときには、IC-6のピン⑫とピン④のライン、8ヶ使用のときは全部が⊕になる。

ロジック図内に“64”からバイナリ・ステップで“32768”までの表示がしてあるスイッチは、パネル面のアクティブ・チャンネル・ナンバ・スイッチで、“1”側(上側)に倒されている最も高い桁のスイッチの位置関係にある桁からカウンタ・チャンネル・コードが入ることになる。例えば、ロジック図において、“256”のスイッチが“1”側であり、カウンタ・チャンネル・ナンバ・スイッチが1-8の位置にある場合は、 2^9 桁から 2^{11} 桁までにカウンタ・チャンネル・コードが入るようにゲートが開かれることになる。

各桁には、表示ランプが2コづつあり、アクティブ・チャンネル・ナンバ・スイッチの最高投入位置の直下まで、アクティブ・チャンネル・ビットのランプ(各桁の左側ランプ)が点き、そのスイッチの桁からカウンタ・チャンネル・ナンバ・スイッチで指示した桁だけアクティブ・カウンタ・ビットのランプ(図の右側ランプ)が点く。ロジック図の例では、 2^9 から 2^{11} までのランプとなる。

各桁から $D_1 \sim D_5$ のダイオードによって⊖ORがとられている回路は、ディゼーブル信号発生回路で、記憶部(USC-3)から割当てられたアクティブ・アドレス・ナンバが指示されて、その範囲内に、アクティブ・チャンネル・ビットとアクティブ・カウンタ・ビットが納まらない場合にディゼーブル信号が発生する。この信号が発生すると、DISABLEランプを点けると共に、ノット・オペレート信号を出してオペレートFFをリセットするように働く。

ロジック図において左側部分で回路が欠けているところは、実際に使用しないため略してあるが、プリント板上は、PCB-10,11共に全回路一様に実装している。

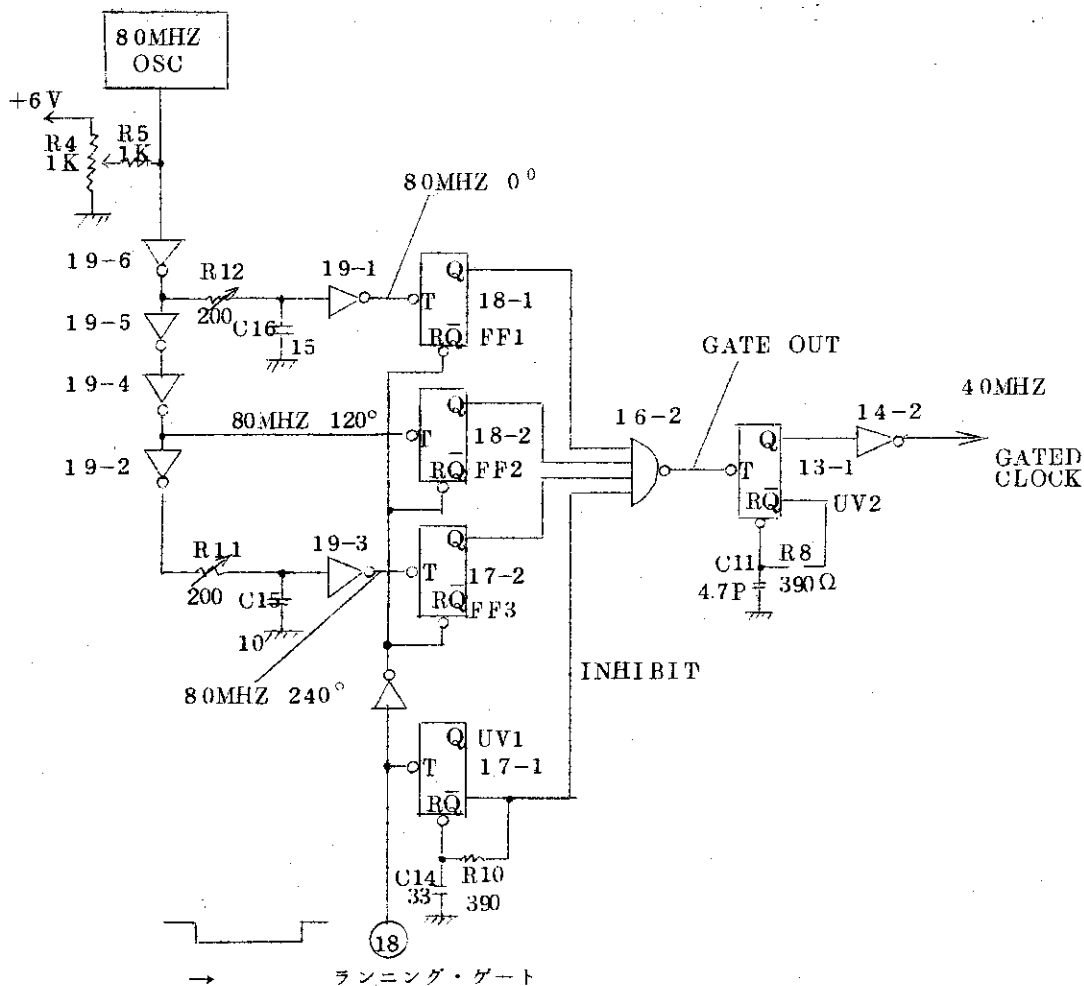
3. 主要回路

3.1 クロック・ゲート

クロック・ゲートは、任意の位相でフリーランニングしている80MHZの発振器から、40MHZの基準クロック・パルスを取り出すゲートで、システム・トリガ・パルスに同期してゲートが開かれ、システム・トリガ・パルスの位相に対し出来るだけジッタの少ない条件でクロック・パルスを取り出す必要がある。

一般のクロック・ゲートでは、原発振周波数の1周期分のジッタが生ずるが、今回用いたゲートは、その1/3程度に抑える方式をとっている。

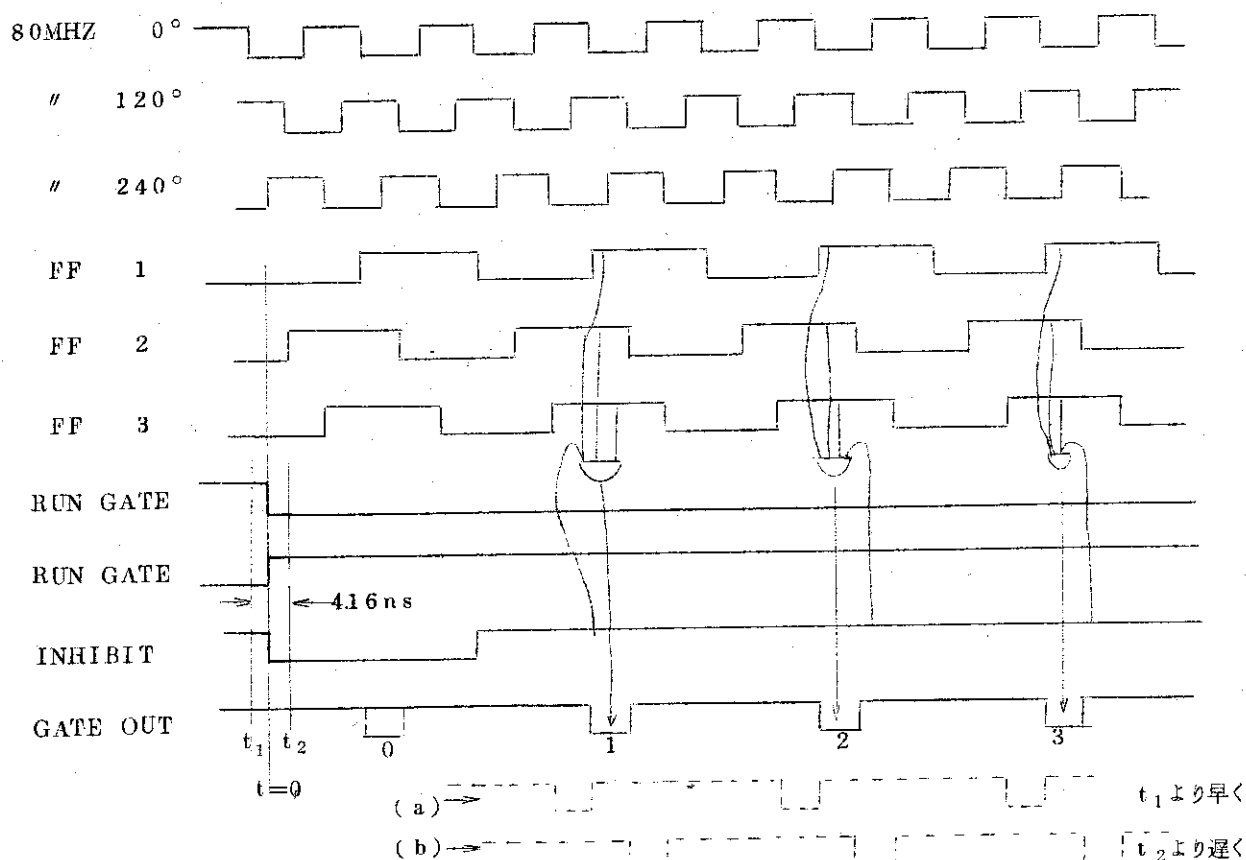
クロック・ゲートは、図面DL1023のIC-16~19の部分で構成されており、その部分のロジック図を示すと第3.1.1図のようである。第3.1.1図に入れてあるロジックの番号は、回路のIC番号に相当するものである。



第3.1.1図 クロック・ゲートのロジック図

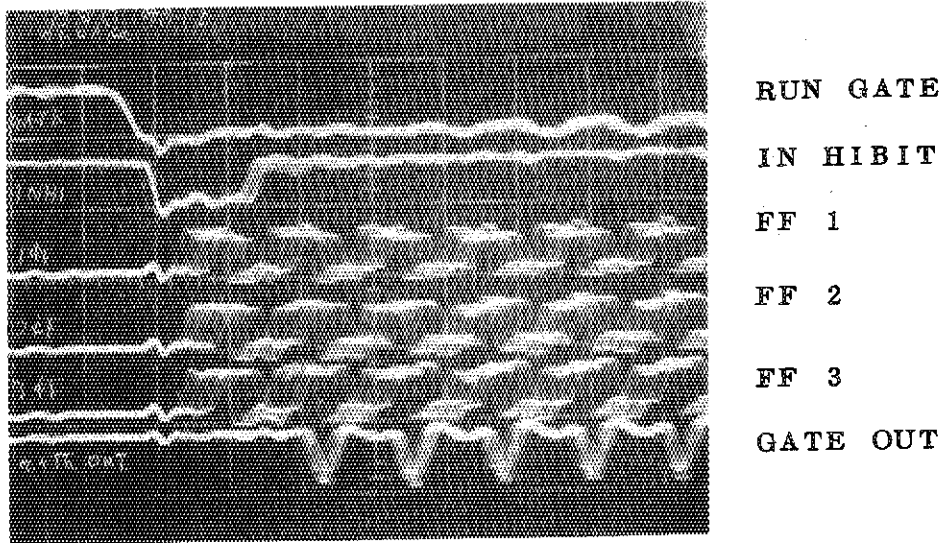
一般に80MHzの原発振パルスから1/2の40MHzのクロックを得るには、1ケのFF(フリップ・フロップ)ゲートを用いて、分周により簡単に得られるが、このときは、80MHzの1周期、12.5nsecのジッタが生ずることになる。このジッタを少なくするためには、原発振パルスの周波数を高くして、高い周波数の段階でゲートし分周比を大きくすればジッタが少なくなるが、74S型TTLの最高動作速度が120MHzであるため、原発振周波数を高くすることができず第3.1.1図のような回路を用いてジッタを少なくする方法を採用した。

動作原理は、19-1~19-6の6ケのインバータで、それらの伝播遅れとRおよびCの遅れを利用して80MHzの3相パルス、すなわち、それぞれ4.16nsecの位相差を持つパルスを作り、その3つのパルスで3つのFFをトリガし、各FFのQ側出力のANDをとるとゲート信号に対し80MHzの1周期の1/3のジッタのクロックが得られることになる。この関係を波形で示すと第3.1.2図のようになる。

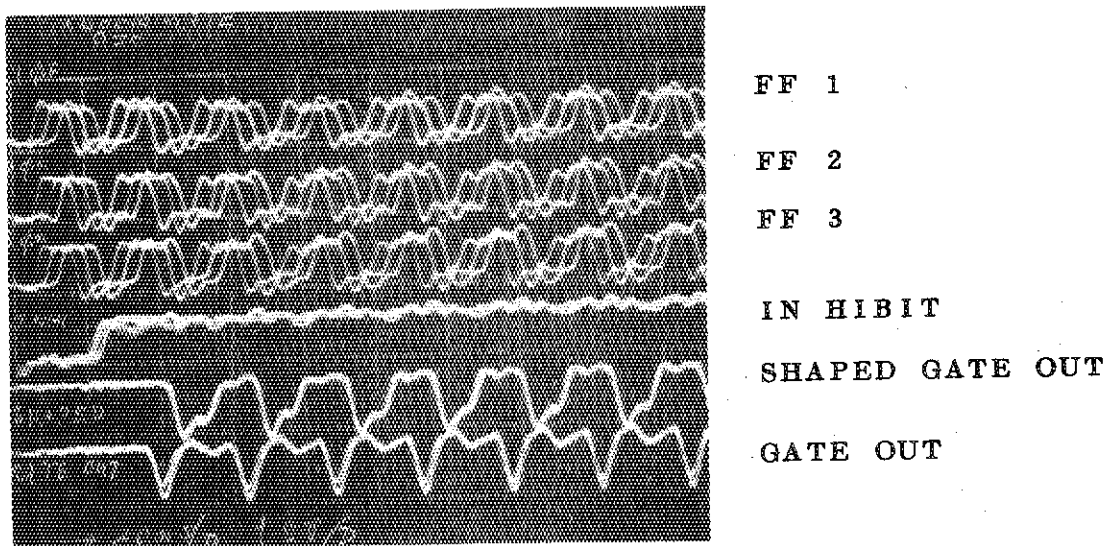


第3.1.2図 クロックゲートの動作波形

IC-19のインバータの部分では、1段通過すると約3nsec遅れると共に性が反転するので、それを利用して第3.1.1図のような組み合わせで80MHz周期で各120°の位相差を持つ3つのパルス(80MHzで0°, 120°, 240°)を作り、それぞれFFをトリ



第 3.1.3 図 クロック・ゲートの動作波形
(RUN GATE で同期)



第 3.1.4 図 クロック・ゲートの動作波形
(ゲートアウトで同期)

3.2 スケータのファースト・キャリア回路

このタイム・アナライザ、チャンネル・スケータ、ダブリング・マスタ・スケータの3つは、総てファースト・キャリア方式を用いており、スケータの各桁が同一位相で動作するようにしている。これは、計数損を少なくするため、ストップ・パルスが来ると、走っているチャンネル・スケータから約10 nsec の時間で、スケータの値を取り出すことを行なわせるため、全桁が同一位相で働いている必要があるため採用している。

一般の伝播型の桁上げ方法を用いると、74S型TTLの場合、FFの伝播遅れは約6 nsec で、16桁のスケータを考えると全桁で約100 nsec の遅れとなる。この間、スケータの値を読み取ることができず、25 nsec のクロックの場合などには一旦停止をさせなければならないことになる。

また、クロック・ディバイダでは、桁上げ遅れがあると、システム・トリガに対するクロック位相に差が生ずることになり、それを防ぐためファースト・キャリア方式を用いている。

このように、桁上げ時間が問題になる部分のスケータは全部、ファースト・キャリア方式を用いている。

上記3つのスケータは、8桁のものと16桁のものであるが、基本的には、同一の桁上げ回路となっており、ここでは、チャンネル・スケータ(16桁)について説明しておく。

回路は、図面DL1026(巻末)に示されており、スケータ本体とファースト・キャリア回路のロジック図を示すと第3.2.1図のようである。

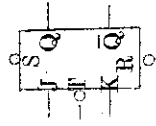
第3.2.1図のロジック図で説明すると、トリガは、 \ominus パルスで全桁同時に行なわれ、各桁の反転条件が桁上げ回路で作られ、JKゲートに加えられているため、その条件に従ってバイナリ・スケータとして動作していく。そのため、各桁のトリガ位相はトリガ・パルスと同時に進行われ、反転動作する桁は、全部同一位相で動作することになる。

ファースト・キャリア回路の構成は、ある桁、例えばN桁についてみると、その桁の直下以下の全桁が“1”の状態になったことを条件に、次のクロックでN桁は反転できるようにJKゲートを開く信号を作る必要がある。そのため、直下以下の各桁のQ側出力の \oplus ANDをとってJKゲート信号を作るように構成している。各桁共に、上記の条件でJKゲート信号を作る必要があるため桁数が多くなると全体のゲート数は非常に多くなる。そのため第3.2.1図のように適当な桁毎にグループ化してゲート数を少なくするように構成している。

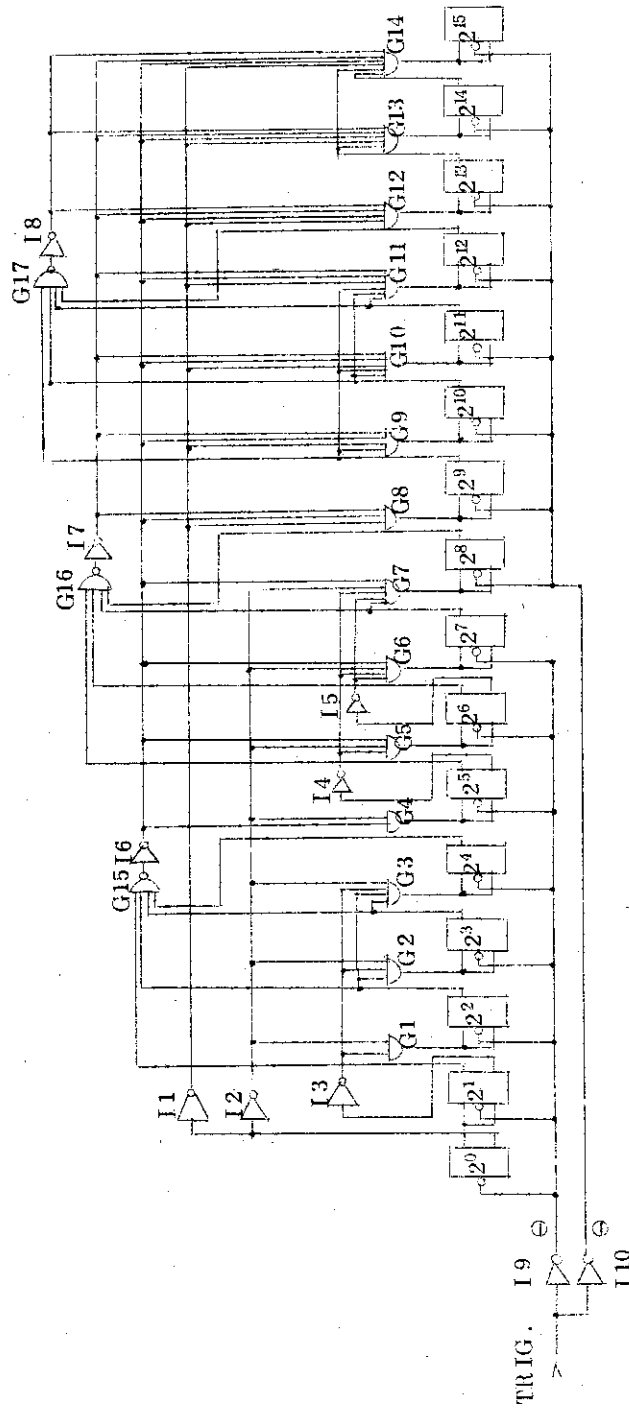
また、トリガ回路を上位桁と下位桁の2つに分けているのは、ドライブ用IC、I9、I10のドライブ・ファクタの関係である。

桁上げ回路部で、I3、I4、I5の各インバータは、バイナリFFの負荷負担を軽くするためとG7における出力波形を整えるために入れているが、本来は無くても十分に働く。2⁹桁は、直接バイナリFFのQ出力からとっているが動作上の問題はない。

I4、I5は、上記のように負荷負担だけでなく多少別な意味があって入れている。バリヤブル・チャンネル・ステップ・モードを働かせる場合に、27桁以上の桁からJKゲート信号を取り出しているが、G6-G14の各 \oplus NANDゲートに集められる信号に位相差があるとキャリア信号にスパイク状の不要信号が生じ、誤動作することがあるため位相合わせのために入れている。この点からは、2⁹、2¹⁰、2¹³等の桁のQ出力信号も位相合わせが必要であり、入れた方



BINARYの
シンボル



第 3.2.1 図 チャネル・スケラのアースト・キャリ回路

が望ましい。

チャンネル・スケーラの桁上げ時の動作波形を示すと第 3.2.2 図、第 3.2.3 図のようになる。第 3.2.2 図はチャンネル・スケーラの端子でみた $2^0 \sim 2^6$ の桁上げ時の波形であり、第 3.2.3 図は $2^0 \sim 2^{13}$ 桁をバッハ・レジスタ(チャンネル・スケーラの数値をデータとして入れるレジスタ)端子でみたところである。第 3.2.3 図で、波形にジッタが見られるのは、シンクロスコープの周期をシステム・トリガ・パルスでとっているため、クロックのジッタ(約 4.5 nsec)が現われているためである。

第 3.2.4 図、第 3.2.5 図はキャリ信号で、前者は 25 nsec クロックで動作している場合、後者は 100 nsec クロックで動作している場合の各信号である。

3.3 デレイ・タイムとチャンネル・レンジス

デレイ・タイムは、パネル面のスイッチで 0 ~ 65535 カウント(時間単位はそのときのクロック)までのセットができ、システム・トリガ・パルスが到来してから、このデレイ・タイムの時間だけ待って有効計数に入る。

有効計数に入ってから、有効計数のチャンネル数を決めるのがチャンネル・レンジス・スイッチで、1 ~ 65535 カウント(時間単位はそのときのクロック・バリエブル・ウィドウズ・モードでは、クロック単位が変わる)までのセットができる。

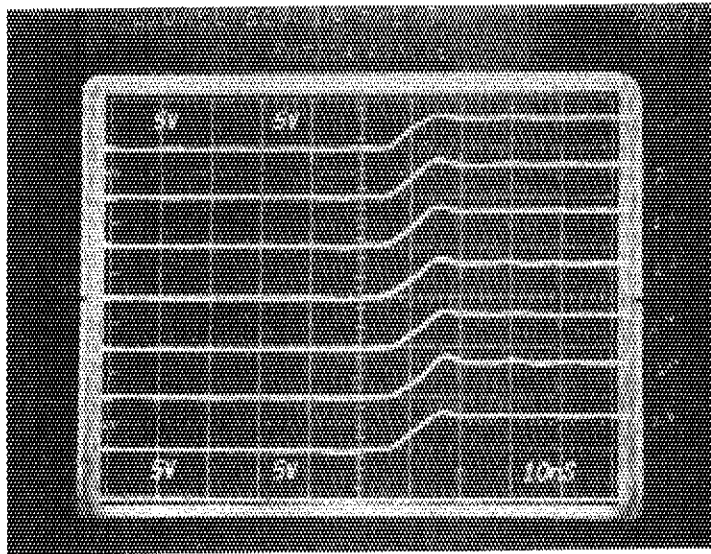
この一連の設定は、チャンネル・スケーラの部分において行なわれる。デレイ・タイムは、チャンネル・スケーラのリセットをどのように行なうかで決まり、デレイ・タイムから、有効計数に入る点は、チャンネル・スケーラが 0 を通過する時点を捕えて切換えられる。そして、チャンネル・レンジス・スイッチで設定されたプリセット値に達するとオーバフロ信号が出て、1つのサイクルが終ることになる。この関係は、第 3.3.1 図のような関係になっており、3つのポイントから成っている。

デレイ・タイムは、チャンネル・スケーラのセット状態を“1”にするか“0”にするかで決まり、適当な値に設定し、フル・カウントまでの補数値がデレイ・タイムとなる。そのためチャンネル・スケーラ各桁の状態の内、“0”の桁の和がデレイ・タイムになる。

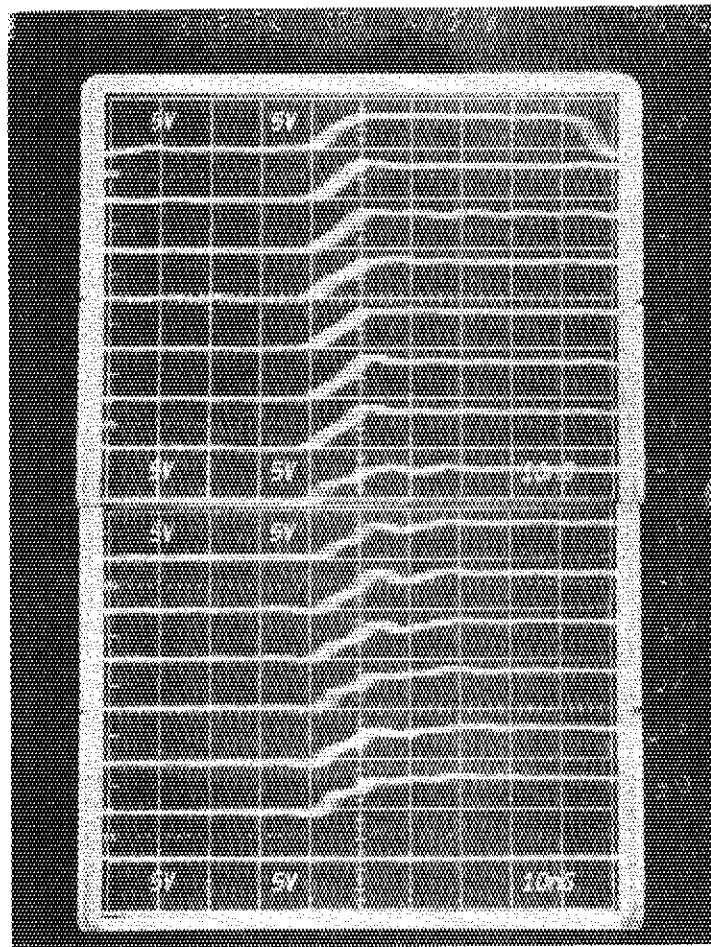
リセット動作は、第 3.3.2 図のような関係で動作しバイナリを“0”にリセットした桁の和がデレイ・タイムとなる。

デレイ・タイムは上記のように、各桁の設定状態から正常の方向へ計数を始め、全桁が“1”の状態になるまでの時間となる。そして、全桁が“1”になるとゼロ・レコグナイズ・ゲートが動作し、チャンネル・スケーラがゼロを通過したことを確認し、デレイ・タイムからアクティブ・タイムに入る。

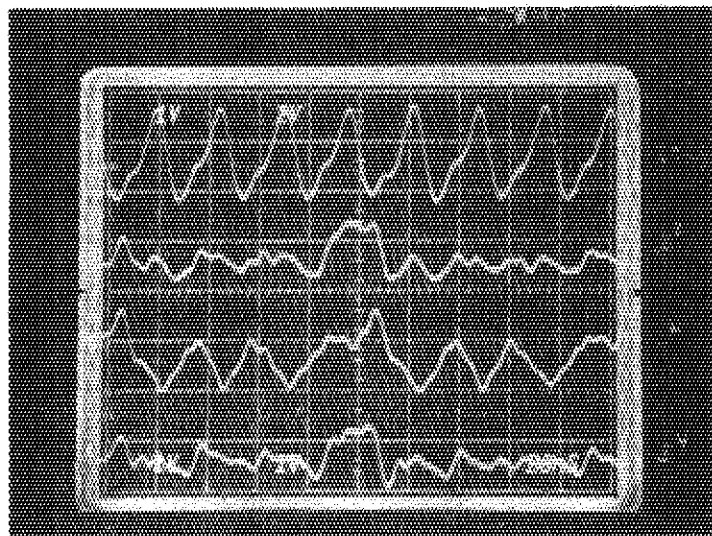
ゼロ・レコグナイズ・ゲートは、チャンネル・スケーラの全桁の Q 側信号を取り出し、全桁の Q 信号と \oplus クロックの \oplus NAND ゲートで構成される。そのため、ゼロ・レコグナイズ・ゲートの出力は、全桁が“1”となり、フル・カウントから次のゼロカウントに移るタイミングで出力を出すことになる。第 3.3.3 図は、そのタイミング波形で、デレイ・タイムを 2 カウント、アクティブ・タイムを 2 カウントに設定した場合である。クロックは 100 nsec のときで、オペレート・ゲートが開く(\ominus になる)とスケーラは 65533 の状態から動作を始め、第 1



第 3. 2. 2 図 チャンネル・スケアラ $2^0 \sim 2^6$ の折上げ動作波形



第 3. 2. 3 図 チャンネル・スケアラ $2^0 \sim 2^{13}$ の折上げ動作波形をバッハ・レジスタの端子でみたところ



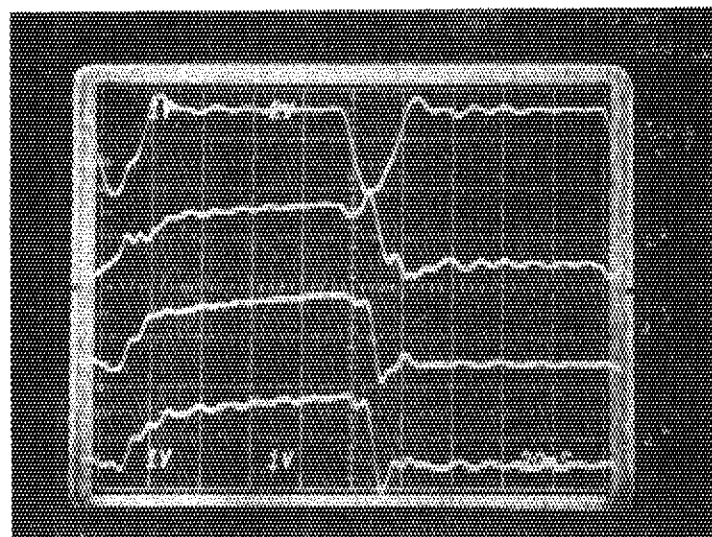
クロック・パルス 25nsec

2^3 キャリ

2^2 キャリ

2^1 キャリ

第 3.2.4 図 25nsec クロックのときの 2^3 , 2^2 , 2^1 折のキャリ信号



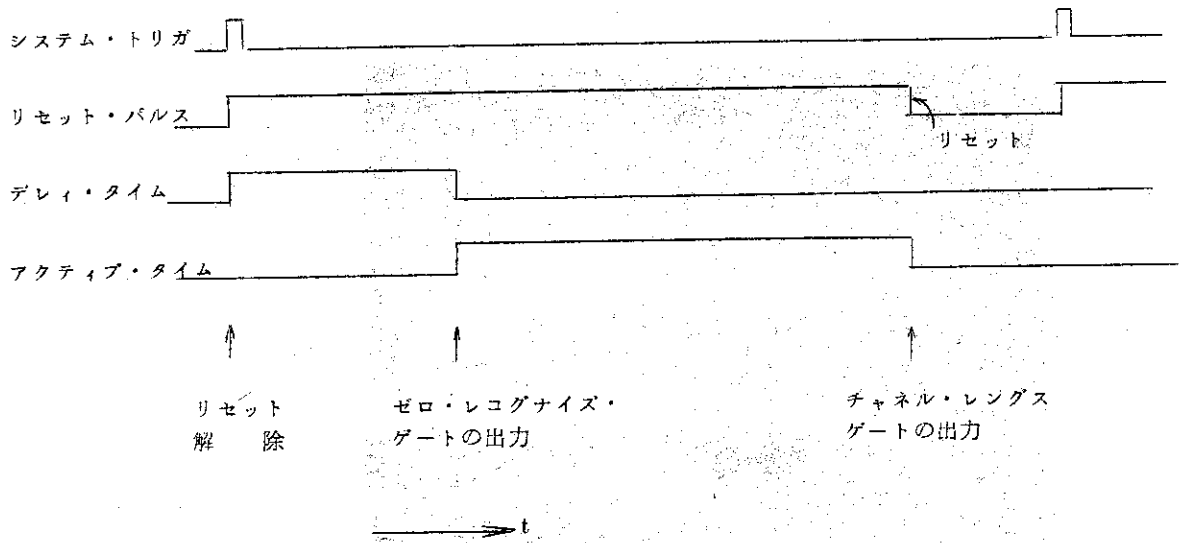
クロック・パルス 100nsec

2^2 キャリ

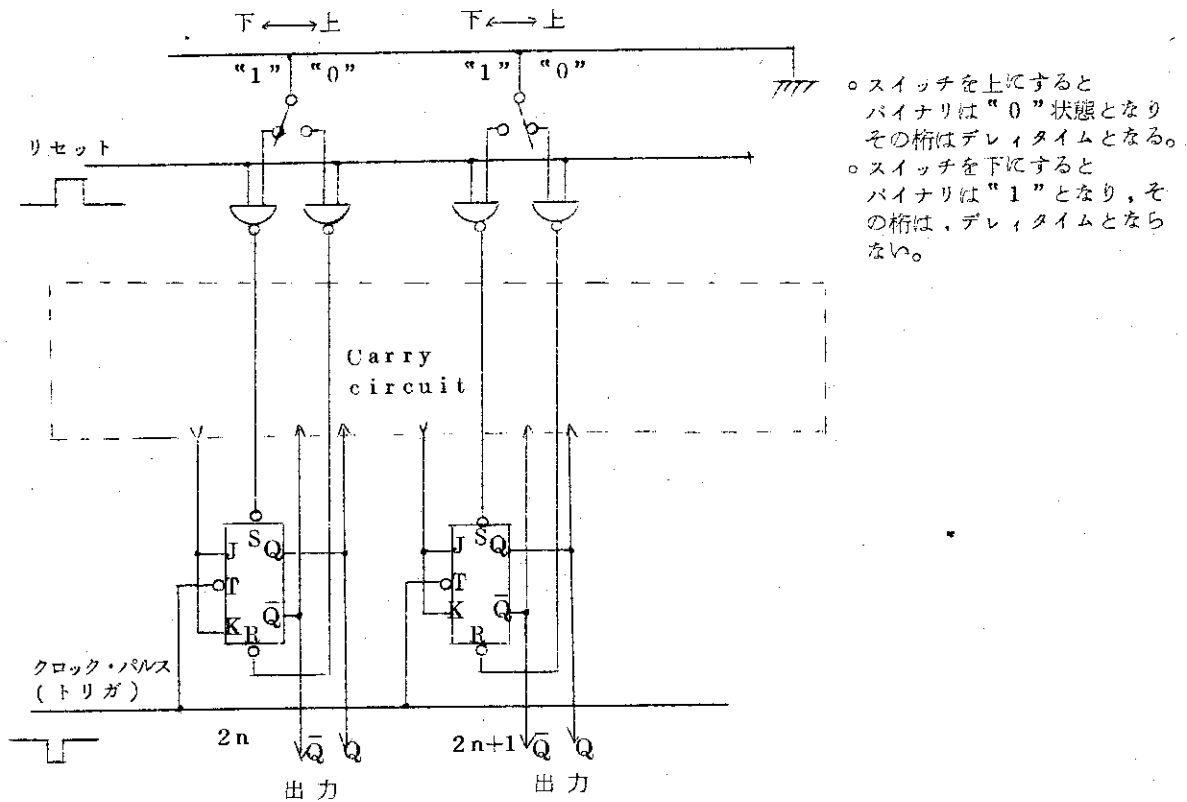
2^3 キャリ

2^4 キャリ

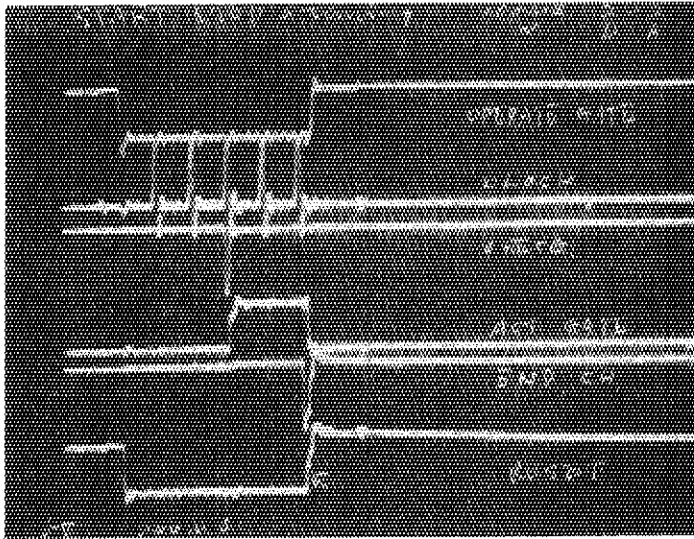
第 3.2.5 図 100nsec クロックのときの 2^2 , 2^3 , 2^4 折のキャリ信号



第3.3.1図 サイクル・タイムとデレイタイム, アクティブ・タイムの関係



第3.3.2図 デレイ・タイム設定の関係



オペレート・ゲートの波形

⊕クロック

ゼロ・レコグナイズ出力

アクティブ・ゲート出力

オーバフロ・パルス

リセット・パルス (⊕が有効)

第 3.3.3 図 スタート・ストップのタイミング波形

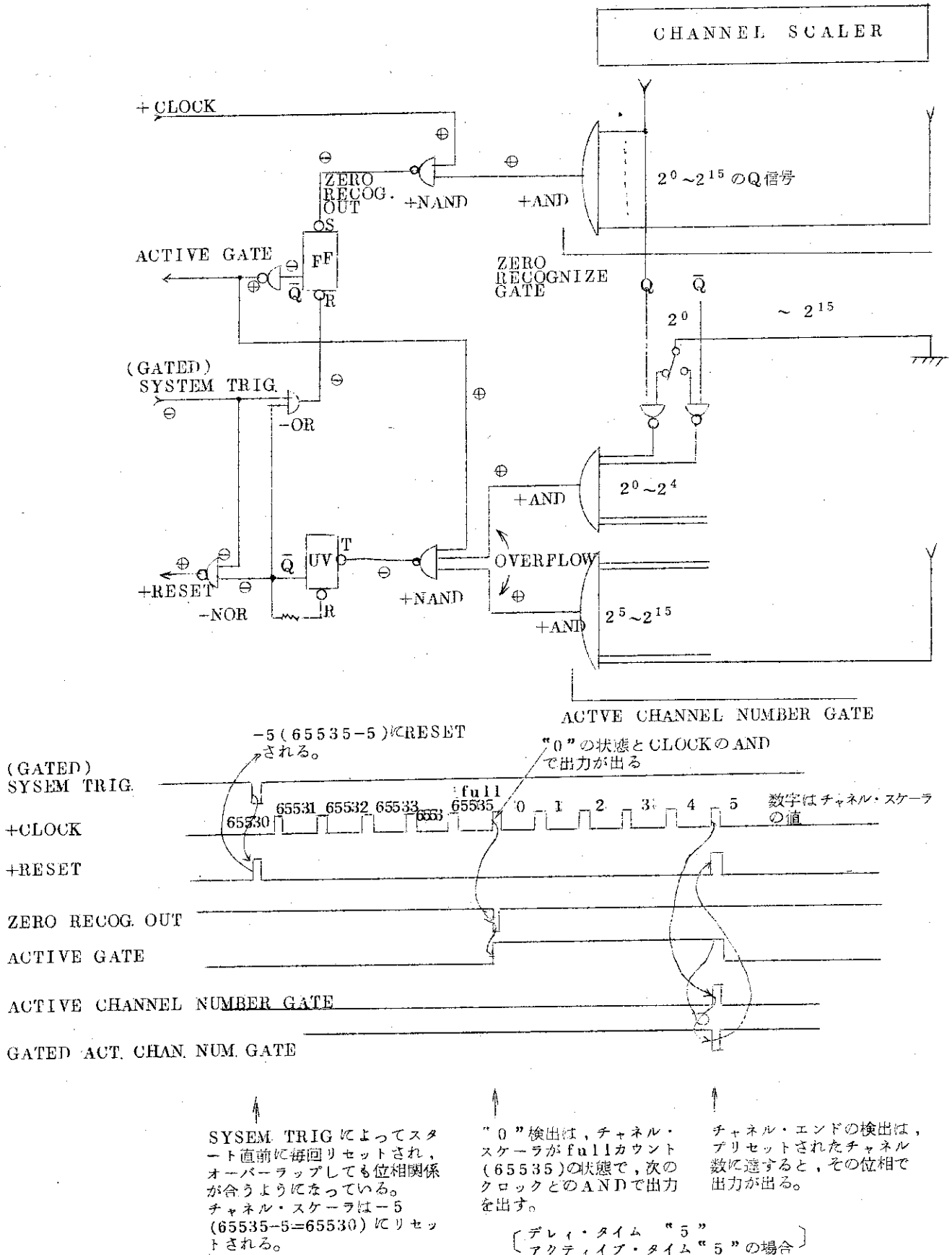
のクロックで 65534 となり、2 番目で 65535 (フル・カウントとなって、その終りでクロックと同期してゼロ・レコグナイズ出力を出している。その点からアクティブ・ゲートが開き有効計数が行なわれる。その後、2 つ目のクロックでオーバフロ・パルスが出て、サイクルが終了することになる。

チャンネル・レンジを決めるチャンネル・レンジ・ゲートの動作は、チャンネル・スケアラの全桁に亘って、Q または \bar{Q} 信号をパネル面のスイッチ (チャンネル・レンジ・スイッチ) で選択し ⊕ NAND ゲートで集めてオーバフロ信号を作っている。⊕ NAND ゲートの構成は、チャンネル・スケアラ全桁の Q および \bar{Q} の選択ゲート (IC-4 ~ IC-11) の出力 32 本の信号をトランジスタを含む 2 つの ⊕ AND ゲートで集め、それを 4 入力の ⊕ NAND ゲート (実際は 3 入力で使用) に加えている。⊕ NAND ゲートの他の 2 つの入力には、アクティブ・タイムにおいてのみ出力が出るように、アクティブ・ゲート信号が加えられている。

アクティブ・ゲート信号は、前記のゼロ・レコグナイズ・ゲート出力でアクティブ・ゲート FF をセットすることにより生じ、チャンネル・レンジ・ゲートの出力で上記 FF がリセットするまで続く。

各部の有効計数動作は、上記アクティブ・ゲート信号が来たことを条件に、動作可能となるように構成しているので、デレイ・タイムの期間は特にインヒビット信号等を作って動作を抑えることはしていない。

システム・トリガからチャンネル・スケアラのオーバフロ信号が出てサイクルが終るまでの期間のタイミングを示すと第 3.3.4 図のようになる。図の条件で動作を説明すると、リセット・パルスは、システム・トリガ (GATED) と、オーバフロ・パルスの合成によって作られているので、各サイクルが始まる前と後に出るようになっていいる。それは、通常の動作では、直



第 3.3.4 図 デレイ・タイムおよびアクティブ・タイムを決めるゲート構成と動作タイミング

前のリセットは不要であるが、サイクルがオーバーラップした場合にオーバーフロによるリセット・パルスが出なくなり、クロックおよびチャンネル・スケータ等の動作状態を0に統一するために直前にもシステム・トリガによるリセット・パルスを入れている。このリセット・パルスでチャンネル・スケータは、-5の状態(65535をフルカウントとして、それより5カウント少ない状態のことで65530になる)にリセットされる。

システム・トリガのパルスの後、クロック・パルスが出て、チャンネル・スケータを計数するが、最初のクロック・パルスが出るまでの時間遅れは、約130nsec(チャンネル幅には無関係)の遅れがある。そして、チャンネル・スケータがフル・カウントになるまで計数し、フル・カウントの条件とクロック・パルスの \oplus NANDで“0”検出を行なっている。そのため“0”検出の位相は、フル・カウントの後縁、すなわち“0”カウントの前縁で出力が出ることになる。第3.3.4図ではデレイタイムを“5”にした場合の例であるから、最初の130nsecの遅れを除いて、5周期の後“0”検出が行なわれている。

“0”検出でアクティブ・ゲートが \oplus となり、有効計数が行なわれることになる。

次に、チャンネル・エンドの検出は、アクティブ・チャンネル・ナンバ・ゲートが所定の値に達するとAND出力を出し、それと、アクティブ・ゲートが \oplus であることを条件にオーバーフロパルスが出て、リセット・パルスが作られる。オーバーフロ・パルスは、第3.3.4図の関係から分るように、アクティブ・チャンネルが“5”の場合は、チャンネル・ナンバが“5”になるとオーバーフロ・パルスが出る。これは、“0”検出の場合の位相と比べ、チャンネル・スケータと検出ゲートの伝播遅れだけ時間遅れ(約15nsec)があるが、一般には同一位相と扱ってよい。

3.4 バリヤブル・ウィドゥス・ステップ・モードの動作とタイミング

バリヤブル・ウィドゥス・ステップ(V.W.S)動作は、チャンネル幅やステップのチャンネル数が倍々となるので、ここでは別名ダブリング動作とも呼んで、その名前を各部につけている。

VWS動作の概要を、ロジック図(DL1002(巻末)参照)で説明すると、チャンネル・スケータとダブリング・マスタ・スケータが同時に計数を始め(デレイ動作を除外して説明)同一歩調で動作が行なわれる。V.W.S動作のステップ信号は、チャンネル・スケータの $2^7 \sim 2^{15}$ 桁から桁上げ制御信号(FFのJKゲートに加えている信号)を取り出すようになっており、ダブリング・レンジ・ゲートでその1つを選びステップを決めている。例えば 2^7 桁の信号を取出した場合は、128ステップとなり、 2^8 の場合は256のステップ毎にダブリング動作が行なわれる。

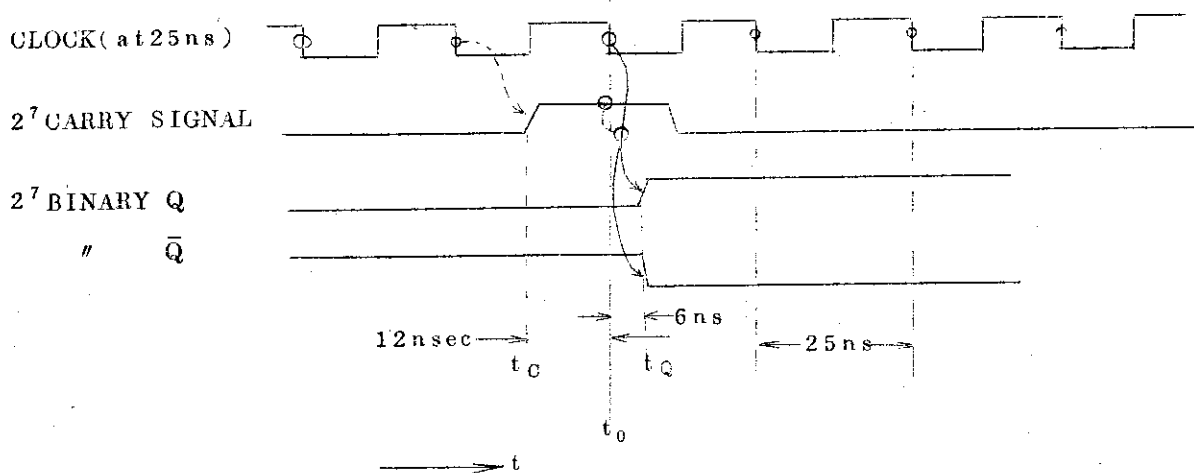
選択取り出されたステップ・パルスは、バリヤブル・ウィドゥス・スケータに送られ、コンスタント・ナンバ・ステップ(シングル・ダブリング)か、ダブル・ナンバ・ステップ(デュアル・ダブリング)かのモード選択が行なわれる。例えばコンスタント・ナンバ・ステップのときは、128や256カウント(チャンネル・スケータの計数)のステップ・パルス毎にダブリング・ゲートFFを順に開いていき、ダブリング・マスタ・スケータが1桁ずつチャンネル・スケータ初段の前にカスケードに接続されるような形で動作する。そのため、チャンネル・スケータ

ラは、各ステップ毎に桁数が多くなり、それが初段に加わるような形となるのでチャンネル・スケアラ自体の計数速度は、その都度 $1/2$ になる。

以上で全体の動作概要を述べたが、この一連の動作で特に問題になる点は、各部の信号の伝播速度とクロック周期の関係である。クロック周期の最も短いとき、すなわち、 25 nsec のとき、その周期中にピックアップの検出からマスタ・スケアラの1桁が、チャンネル・スケアラの前段にカスケードにはまり込む動作が完了しなければならない。そのために、各部の信号伝播速度について種々考慮を加えており、また方式的な考慮も行なっている。

以上のような観点から、各部の構成と動作をもう一度細かく説明する。

チャンネル・スケアラからステップの切換パルスをピックアップする部分は、ロジック的には、図面DL1002（チャンネル・スケアラのIC-9~IC-13の部分）に示すように、チャンネル・スケアラのキャリ信号からピックアップ信号を取り出している。



第3.4.1図 ピックオフ信号の位相

その理由は、第3.4.1図のように、例えば 2^7 からピックアップ信号を取り出す場合、バイナリ (2^7) の出力 (Q, \bar{Q}) から出すと位相は t_0 の位置となって t_c に対しこの部分で 6 nsec 強の遅れを生ずることになる。B.W.S 動作の一連の動作は前次したように多くの回路を通して行なわれるため信号の伝播遅れは極力小さくする必要があり、この部分で 6 nsec 強の遅れを生ずることは大きな問題である。そのため、 2^7 の信号と同一のものを早い位相で取り出すため 2^7 桁のキャリ信号を用いている。キャリ信号の場合、クロックのトリガ位相よりも約 12 nsec 程度早く (25 ns clock の場合)、 Q 信号と比べると 18 nsec 程度早くなるので位相関係が非常に楽になる。

キャリ信号をピックアップ信号として取り出す場合に問題になる点は、信号レベルが十分でないことと、キャリ信号の波形が問題となる。

前者に対しては、ピックオフを行なう桁のキャリ信号回路に、エミッタ・ホロワを入れ、信号レベルを大きくすると共に、インピーダンスを低くして確実な信号を出すようにしている。

また、後者に対しては、キャリ信号を合成しているゲートにおいて各桁の位相（伝播遅れ）によって波形が乱れるのが問題である。そのため、波形が問題になる部分においては、各桁の位相を合わせる必要がある。特に波形が問題となる 2^7 と、 2^8 桁のキャリ・ゲートで、 2^5 2^6 桁からの信号に3 nsecの遅れを与えて位相調整を行なっている。

このような位相調整は、各キャリ・ゲート全体に必要なが、 2^9 以上の桁では実害が生じていないので略している。

ダブリング・レンジ・ゲートの部分において、ピックオフ信号を集める。ORゲートにダイオードとトランジスタ（エミッタ・ホロワ）を用いている。これは、ICロジックを用いる場合より4~5 nsec速くなるためである。

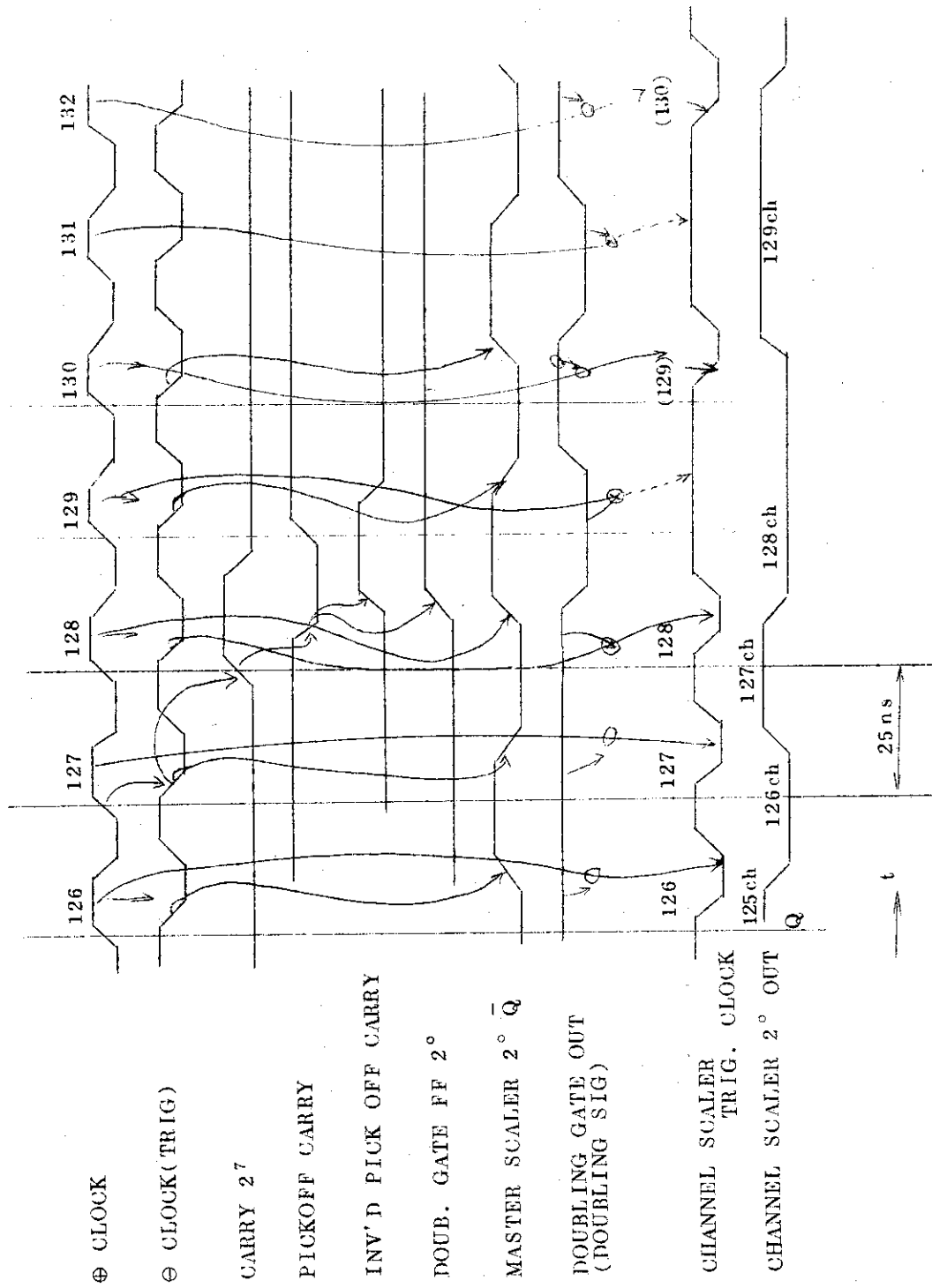
また、ダブリング・ゲートFF（IC18：ピン⑨の部分）は、上記ダブリング・レンジ・ゲートのORゲートから直接セットするようにしている。

最後に、クロック・パルスを各ステップ毎に $1/2$ に落す部分は、ダブリング・マスタ・スケアラで作られる制御信号で、チャンネル・スケアラに加えられるクロック・パルスを間引きさせている。この場合の制御信号は、チャンネル・スケアラの 2^0 桁のJKゲートにも加えているが、これは、クロック・パルスを間引くゲート作用より、約4 nsecほどタイミングの節約が出来るために行なっているものである。しかし、JKゲートの制御は、ダブリング直後の第1発のクロックに対してだけ有効に作用し、2発目以降のクロック・パルスに対してはチャンネル・スケアラが正しく動作しないのでこの制御方法だけでダブリング制御は出来ない。

VWSモードの切換動作のタイミングを示すと第3.4.2図のようになる。これは実際の測定波形を多少分りやすく書き直しているが、タイミング関係は実測のまま示している。

第3.4.2図の要点を説明すると、 \oplus clock の“128”までは正常に計数し、129から1ケおきに間引き作用を行なわせるものである。“127”番目のクロックによって 2^7 桁のキャリ信号が作られ、それがピックオフされ、ダブリング・ゲートFFの 2^0 をセットし、その時点以降のマスタ・スケアラの出力をダブリング信号として取り出し、チャンネル・スケアラのトリガ・パルスの間引きを行なわせるようになっている。

この方式では、間引きを行なうダブリング信号が“129番目のクロックより12~13 nsec程度早く得られており前記したJKゲート制御（チャンネル・スケアラ 2^0 の）方式の時間も考慮すると16~17 nsec程度の時間的余裕があり、クロック・パルスをさらに速くすることも可能である。（この場合、16~17 nsecの $1/2$ 周期だけクロック・パルスを速く出来、周期は17 nsec程度となり、約60 MHzである）



第3.4.2図 V.W.S. モードのストップ切替時のタイミング
 (25 nsec clock のとき)

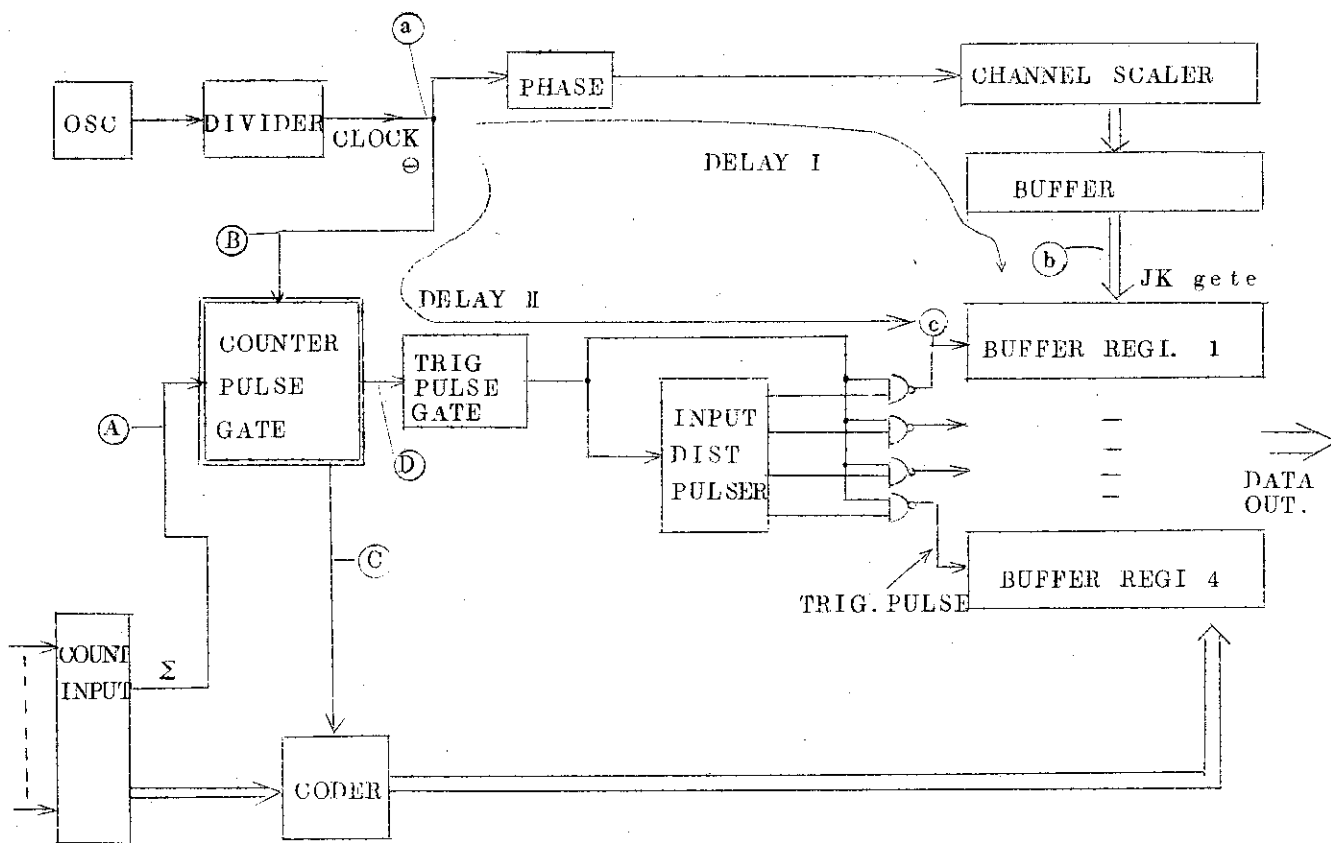
3.5 カウンタ・パルス・ゲート (I)

カウンタ・パルス・ゲートは、PCB-9の一部にあって、そのロジック図は図面DL1001の左寄や上部に示すトンネル・ダイオードの部分である。

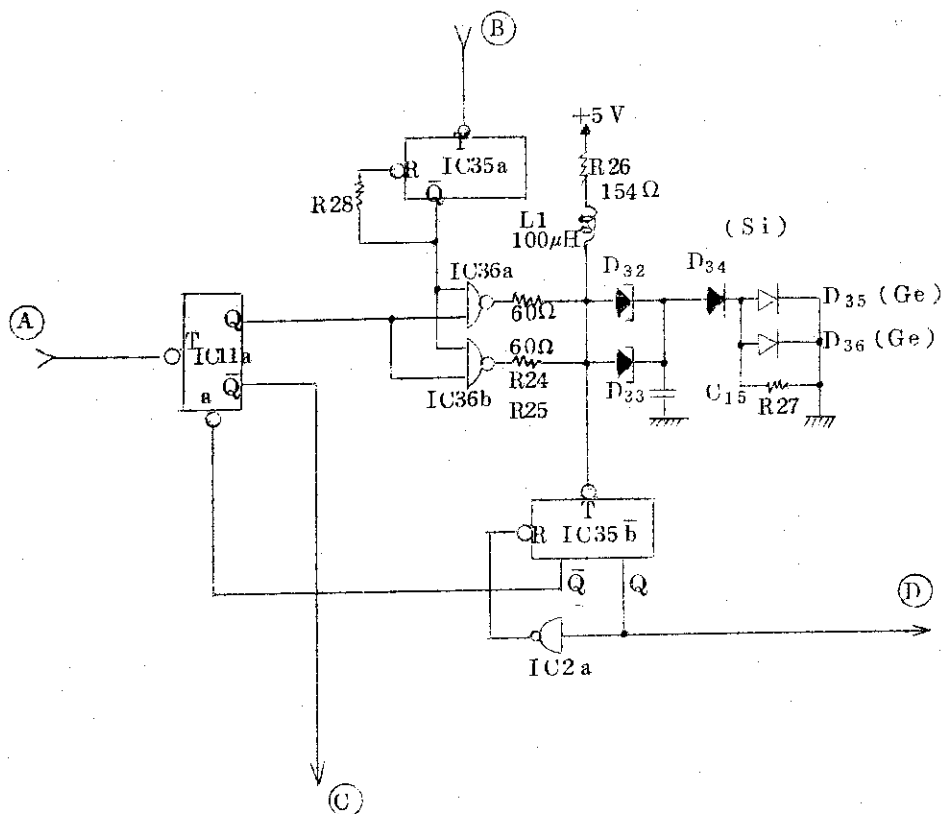
このゲートの目的は、カウンタ・パルス(ストップ・パルス)を受けて、そのときのチャンネル・スケアラの計数値をバッハ・レジスタに書き込むトリガ・パルスの位相を調整するゲートである。

カウンタ・パルス・ゲートの位置関係を第3.5.1図に示す。第3.5.2図は、その回路図である。また第3.5.3図に、カウンタ・パルス・ゲートに関連した位相関係が示されている。

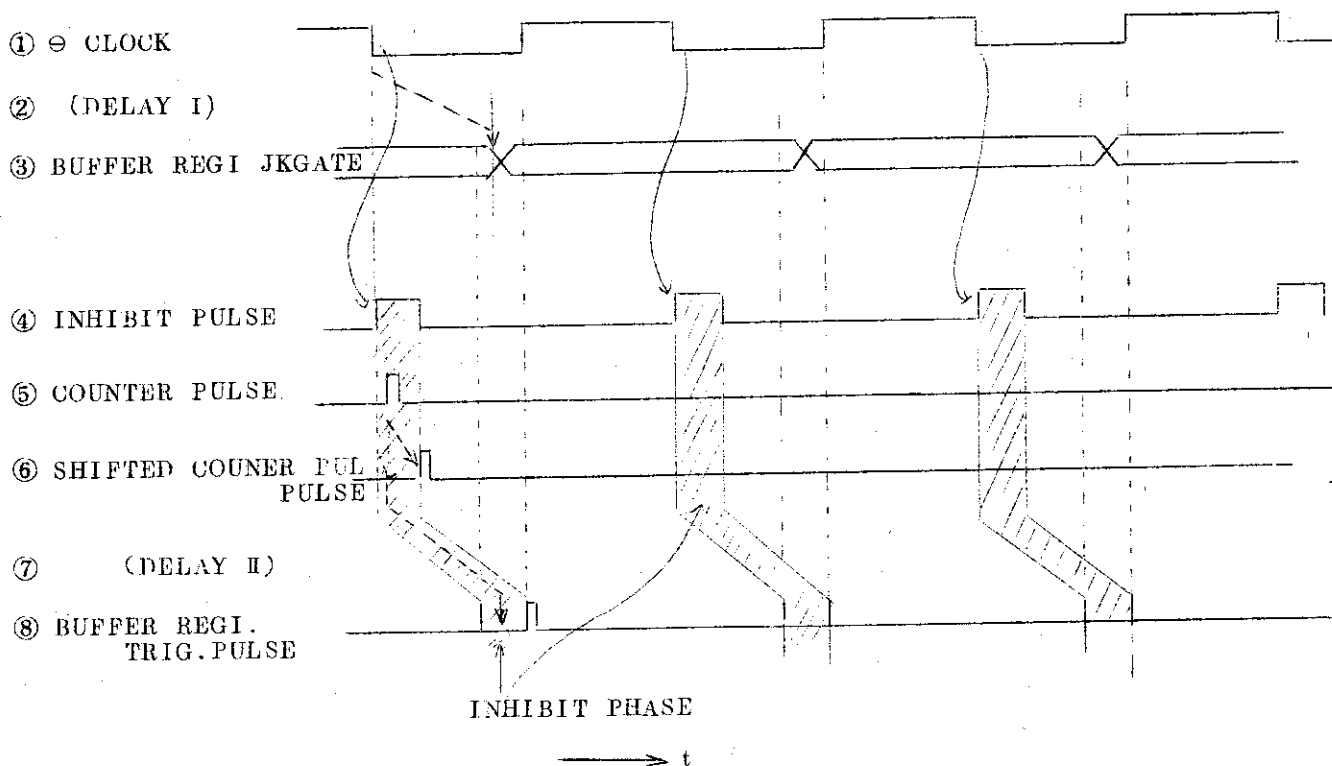
これら3つの図から動作目的を再度説明すると、チャンネル・スケアラは、クロック・パルスによって連続的に動作しており、それに対し、任意の位相でカウンタ・パルスが到来し、バッハ・レジスタをトリガすると位相問題で誤動作の原因となる。そのため、チャンネル・スケアラが反転動作を行なっている期間は、バッハ・レジスタをトリガしないように位相をずらす必要があり、その動作をカウンタ・パルス・ゲートが行なっている。



第3.5.1図 カウンタ・インプット・ゲートの置かれている位置



第 3.5.2 図 カウンタ・パルス・ゲートの回路



第 3.5.3 図 カウンタ・パルス・ゲートの使用目的を示すタイミング

第 3.5.1 図において、②点は \ominus クロックを示しており第 3.5.3 図の①のような位相にある。①点からチャンネル・スケラを通じ⑥点までの時間遅れは約 40 nsec で、波形③のような関係にある。波形③のスイッチ期間是不確定なので、その前後はインヒビット期間としてこの間はトリガが行なわれぬようにする必要がある。これは、カウンタ・パルス⑤のような位相で到来すると、バッハ・レジスタの点において位相が重なることになるので、波形⑥のようにインヒビット期間から外す動作を行なわせている。そして、バッハ・レジスタにおいては、波形⑧のようなタイミングでトリガを行なわせている。

第 3.5.2 図において、④端子からカウンタ・パルスが加えられ、通常は直ちに①端子へ出ていく。若しカウンタ・パルス④とクロック・パルス⑤が重なり合う場合は、インヒビット期間だけ待たされて、カウンタ・パルスが遅らされる。端子③のパルスは、第 3.5.1 図に示すようにカウンタ・チャンネルのコード回路のトリガ・パルスとして使用している。

カウンタ・パルス・ゲートの回路構成について述べておくと、IC35a は、JK FF の \bar{Q} 端子から R 端子にリセット回路が作られており、U.V. として働くようになっている。そして、 \bar{Q} 端子は、常時 \oplus レベルになっており、UV のパルス幅は、12 nsec となっている。IC35b も、JK FF を用いて U.V. を構成している。この U.V. は、Q 端子の出力を反転して R 端子に加えており、パルス幅は 10 nsec となっている。IC11a は、JK FF で、IC36a, b, IC35b を通して、全体のループで UV となっている。

クロック・パルスによるインヒビット作用がない場合の動作について説明すると、カウンタ・パルスが④端子から加わると IC11a はセット状態になり、Q 端子は \oplus となる。その信号は IC36a, b の \oplus NANDゲートから、さらにトンネル・ダイオードの整形回路を通った後、IC35b の UV をトリガする。IC35b の Q 端子から \oplus パルスが得られ、①端子から出力として出す。 \bar{Q} 端子からの出力は、IC11a の R 端子に返され、IC11a の FF をリセットする。このとき IC11a のパルス幅は約 18 nsec となる。

以上のようにインヒビット・パルスがない場合は、トンネル・ダイオードによる整形作用は特別な意味を示さない。

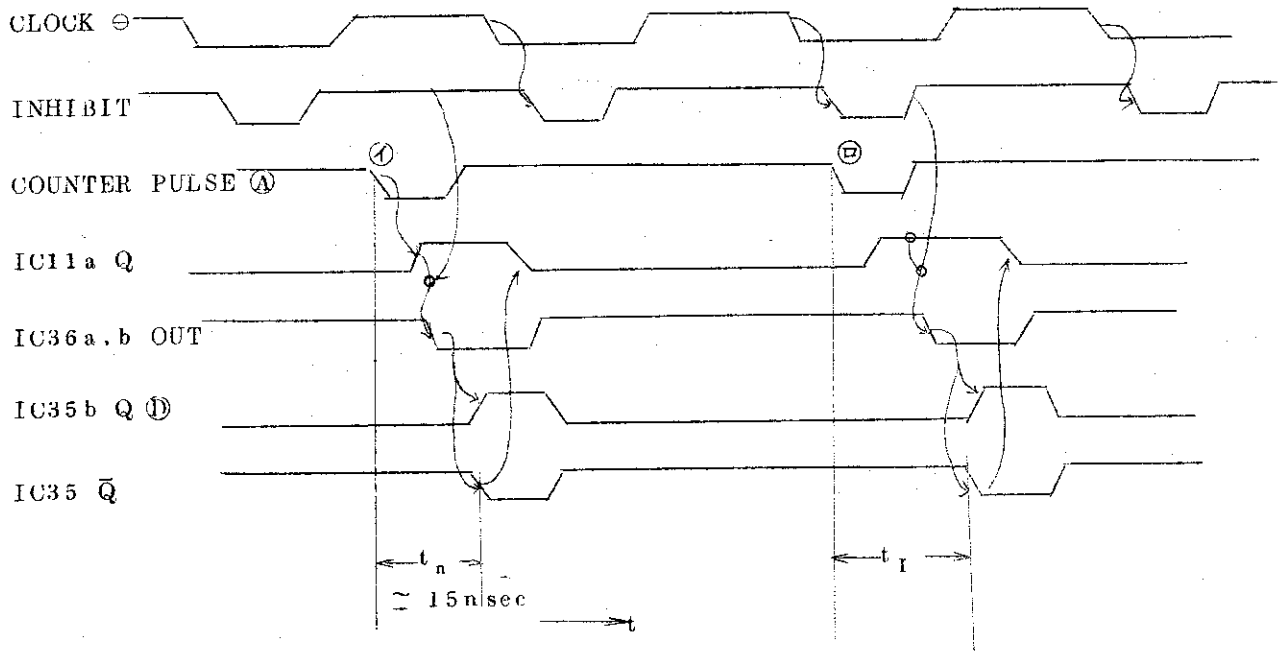
次に、インヒビット・パルスが加えられているときにカウンタ・パルスが来た場合について述べる。

クロック・パルス⑤端子に加わるとその \ominus 立下りで IC35a がトリガされ、約 12 nsec のパルスが作られる。その間 \bar{Q} 端子は \ominus となり、 \oplus NANDゲート IC36a, b を閉じる。このとき、カウンタ・パルスが加えられると、IC11a はセット状態になるが、 \oplus NANDゲートはインヒビット・パルスによって閉じられているので、インヒビット・パルスが終るまで出力が待たされる。インヒビット・パルスが終ると IC36a, b の出力が出て IC35b をトリガし、通常の場合と同様の出力を出す。このように、インヒビット・パルスが出ている場合は、その間動作が待たされることになる。

この場合も、トンネル・ダイオードによる整形作用は、特にその存在意義を示さない。

(トンネル・ダイオードの作用は第 3.6 節で述べる)

上記 2 つの場合の動作波形を示すと第 3.5.4 図のようになる。クロック・パルスの立下りに対し、約 6 nsec 遅れて (JK FF の伝播遅れ) 10 nsec 幅のインヒビット・パルスを



第 3.5.4 図 カウンタ・パルス・ゲートの動作波形

作っている。インヒビット・パルスがないとき、カウンタ・パルス①が①のような時間関係で加えられた場合は、IC11a が約 6 nsec 遅れて働き、IC36a,b の⊕NANDゲート出力も直ちに出て（3 nsec 遅れる）、IC35b をトリガする。そして、Q 端子には⊕パルスが、 \bar{Q} 端子には⊖パルスが得られ、⊖パルスで IC11a の FF がリセットされることになる。この場合、カウンタ・パルス①から、出力端子①までの時間遅れは、約 15 nsec となる。

これに対し、カウンタ・パルスが②の位相で加えられた場合についてみる。このときはインヒビット・パルスが発生しており、そのため IC11a の Q 端子の信号は IC36a,b のゲートでしばらく待たされる。そして、インヒビット・パルスが終る位相で IC36a,b ゲートの出力が得られ、IC35b の UV が動作する。そのため、カウンタ・パルスの到来から、出力パルスが出るまでの時間は、 t_I となり、①の場合よりインヒビット・パルスによって阻止されていた時間だけ長くなる。

以上の説明のように、カウンタ・パルス・ゲートの動作は、インヒビット・パルスの期間だけ、カウンタ・パルスの通過を遅らせる作用を行なうものである。

3.6 カウンタ・パルス・ゲート(II)

カウンタ・パルス・ゲートにおいて、トンネル・ダイオードを用いて位相関係のクリチカルな場合のパルス整形を行なっているが、その部分の動作について説明する。

カウンタ・パルス・ゲート部の回路を再掲すると第3.6.1図のようであり、④端子から入るカウンタ・パルスと、⑤端子から入るクロック・パルス(インヒビット・パルスとなる)がゲートGに加えられている。カウンタ・パルスが信号パルスとなり、インヒビット・パルスがゲート・パルスの関係にあつて、通常は、インヒビット・パルスがなければ、カウンタ・パルスが通過し、インヒビット・パルスがあるときは阻止されるように働いている。しかし、両者の中間位相においては、第3.6.2図のようにゲートGの出力が中途半端になり、次段のUV-2のトリガが不安定になってインヒビット動作に支障を生じて来る。

第3.6.2図において、④、⑤両パルスの位相が②あるいは③の関係にある場合は、次段のUV-2は、動作あるいは不動作となって正常な動作を行なう。ところが、両パルスの位相が⑥のような関係にある場合、ゲートGの出力は、UV-2のトリガに対しクリチカルな条件となり、特定の位相関係(UV-2のトリガ・パルスに対し特定の振幅関係)で、UV-2は異常な動作をする。

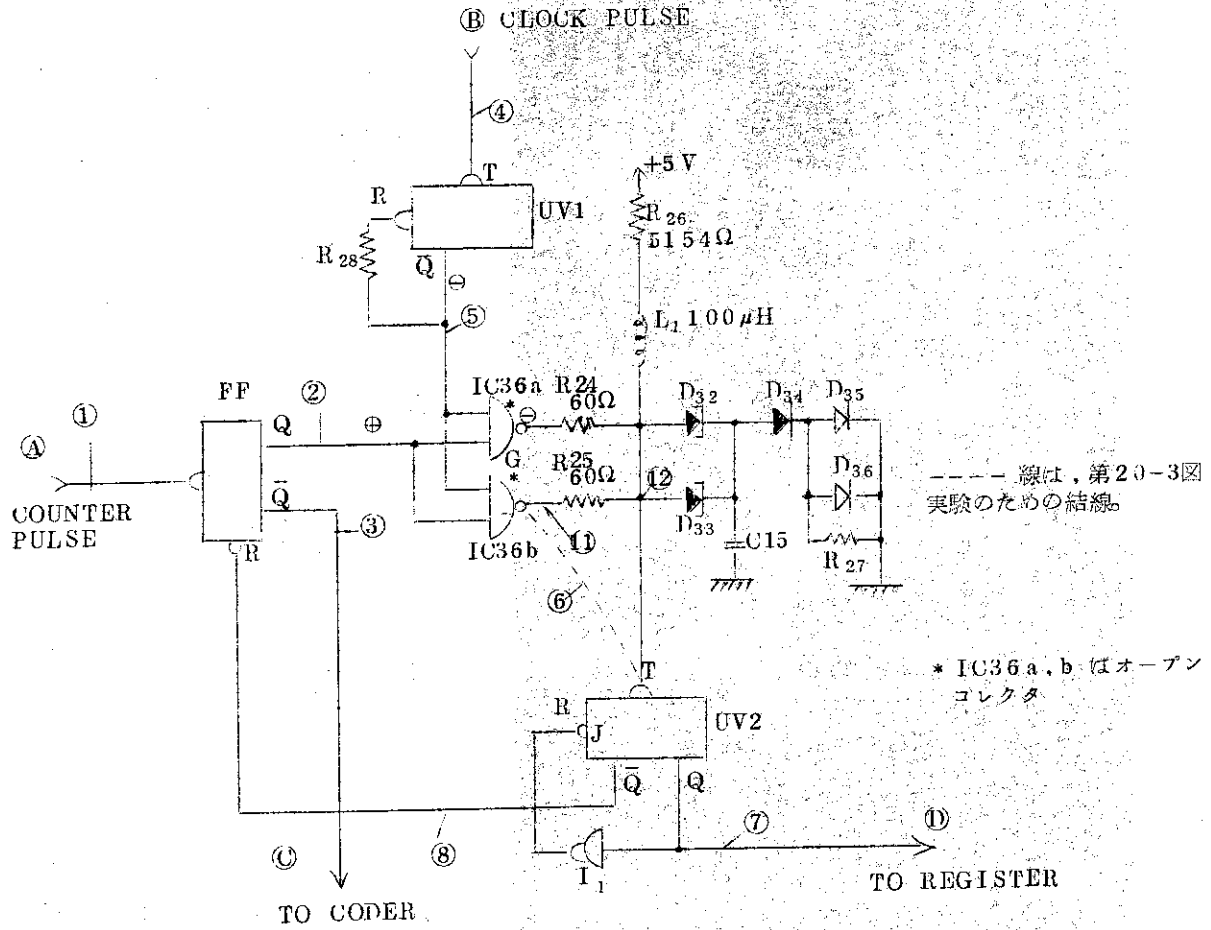
トリガ・パルスの振幅がクリチカルになると、動作遅れが大きくなり、出力波形が歪んで来る異常動作は、IC独特のもので、種々なICをチェックした結果、総てのICに見られた。

このタイム・アナライザに一般に用いている74S型ICは、異常動作が少ない方であるが、このICを用いてゲートGから直接UV-2をトリガする回路方式の動作波形を示すと第3.6.3図のようになる。カウンタ・パルス①に対し、4 n sec 程度のジッタを持ったクロック・パルス④をクリチカルな条件で加えた場合、ゲートGの出力パルスは⑥のように振幅が中途半端なものとなる。その結果、UV-2は、インヒビット・パルスの前で動作するものと、後で動作する2つのグループに分れ、波形⑦、⑧のような出力が得られる。しかし、⑦、⑧の波形をよく見ると、両グループの中間に異常動作による不安定な出力が残されており、インヒビット作用に支障を支えている。

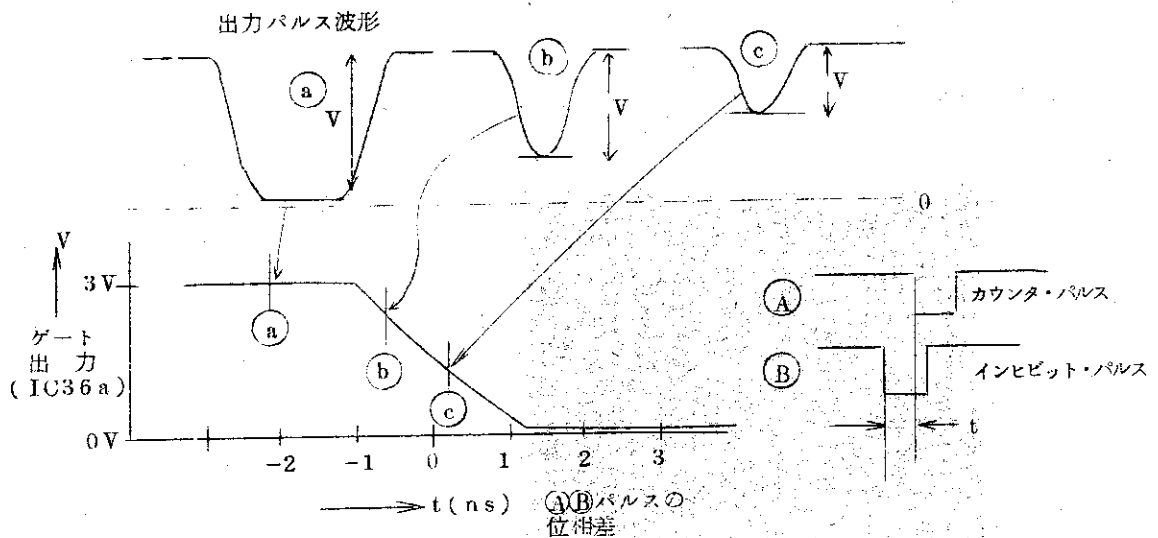
この異常出力パルスの発生を防ぐには、ICの選択だけでは不可能であるため、クリチカル振幅のパルスをゲートGから出さないようにトンネル・ダイオードによる整形回路を入れている。

回路は、第3.6.1図のようで、ゲートGの出力にトンネル・ダイオードを入れ、第3.6.4図のように波形整形を行なっている。第3.6.4図の波形は、非常に差の少ない出力パルスが、トンネルダイオードの作用により、2つのレベルに明確に分かれることを示している。そして、UV-2のトリガ・レベルのクリチカルな点を、トンネル・ダイオードの2つの出力レベルの中間になるように設定することにより完全に異常動作を防ぐことができる。

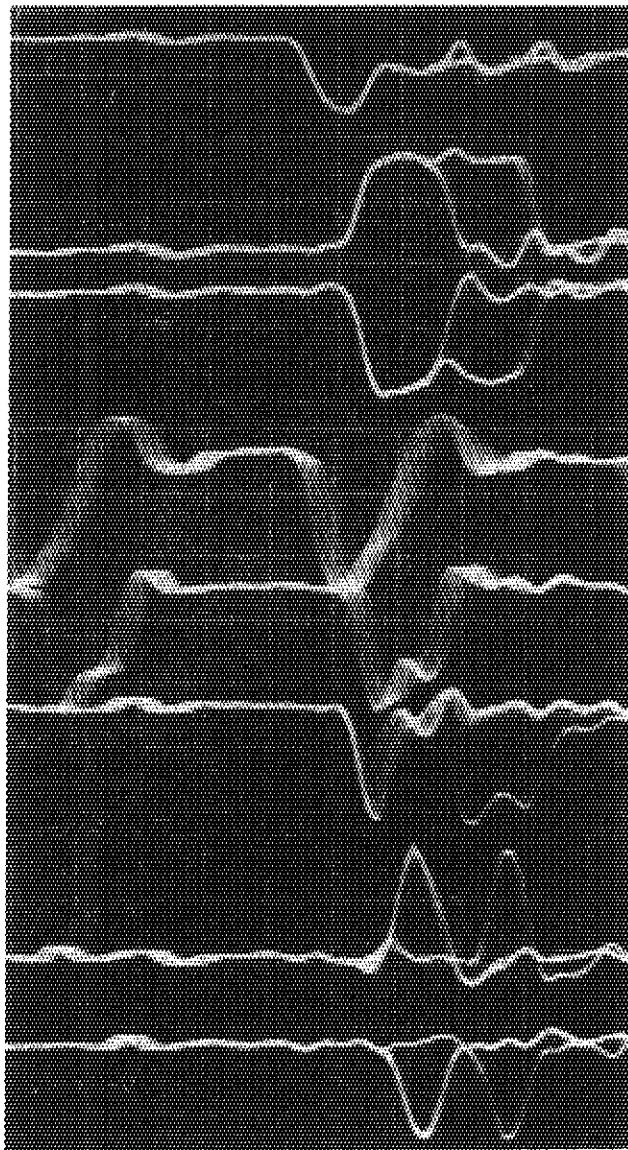
回路構成について説明すると、ゲートGはオープン・コレクタのゲートIC(74S03)を用いており、 R_{26} 、 L_1 がプルアップ抵抗であると共にトンネル・ダイオードの負荷になっている。ゲートICおよびトンネル・ダイオードを2ヶ用いているのは、電流を大きくとって、出力振幅を大きくするためである。 R_{24} 、 R_{25} は分離抵抗で、IC36a、bの負荷効果(トンネルダイオードからみて)を減少させるために入れてある。 D_{34} 、 $\sim D_{36}$ と R_{27} は、



第 3.6.1 図 カウンタ・パルス・ゲートの回路



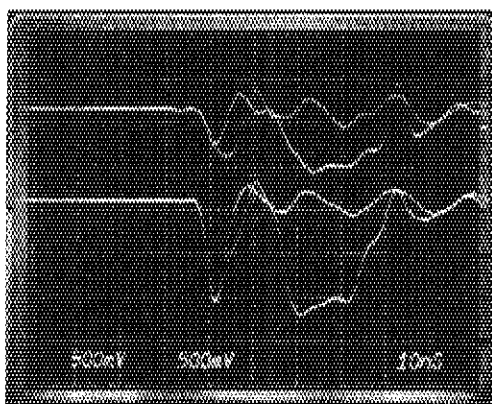
第 3.6.2 図 ①パルスに対する②パルスの位相差



- ① COUNTER PULSE
- ② FF OUT Q
- ③ FF OUT \bar{Q}
- ④ CLOCK PULSE
- ⑤ UV-1 OUT \bar{Q}
(IN HIBIT PULSE)
- ⑥ GATED PULSE
- ⑦ UV-2 OUT Q
- ⑧ UV-2 OUT \bar{Q}

→ 10 ns ↑ 20V

第 3.6.3 図 カウンタ・パルス・ゲートの動作波形 (トンネルダイオードなし)



- ⑩ トンネル・ダイオード出力
- ⑪ ゲート (G) の出力

第 3.6.4 図 カウンタ・パルス・ゲートにトンネルダイオードを入れた動作

トンネル・ダイオード部とUV-2の入力部の電圧レベルを合わせることと同時に両者の温度特性を合わせる目的で入れている。

3.7 カウンタ・チャンネル・コーダ

カウンタ・チャンネル・コーダは、8ケのカウンタ・チャンネルのどこから入力パルス(ストップ・パルス)が入ったかをコード化する回路で、カウンタ・を複数チャンネル使用する場合に必要なになる。

カウンタを1ケ使用する場合は、カウンタ・チャンネルの区分をする必要はないが、2ケ以上使用する場合は、その区別をするため、各データにカウンタ・ビットのコードを入れなければならない、例えば、2ケのカウンタを使用する場合は、カウンタ・ビットは1ビット、4ケ使用する場合は、2ビット、さらに8ケ使用する場合には、3ビットのカウンタ・チャンネル・コードが必要になる。

カウンタ・チャンネル・コーダの要件は、速い速度でコード化することが必要である。そのため、動作速度は、最小ピリオドの25 nsec 以下を目標にしており、チャンネル間の分解時間には特に留意し、先着パルス分解時間は2 nsec が得られるような回路的工夫が行なわれている。カウンタ・チャンネル・コーダのロジック図は、DL1001の左側下部の、シェーパ、カウンタ・パルス・ゲート、カウンタ・コーダの3部分から成っている。その部分をまとめて示すと第3.7.1図のようになる。

第3.7.1図について説明すると、8つのカウンタから整形回路(PCB-2にある)で整形されたカウンタ・インプットがシェーパに加えられる。シェーパの出力は、幅は約10 nsec に整形された \ominus パルスで、バスの部分から -OR ゲートや -NOR ゲートに加えられる。 -OR ゲートでは、全部のカウンタ・パルスが集められ、カウンタ・パルス・ゲートをトリガする。そして、FF-0の \bar{Q} 端の出力でカウンタ・コーダをトリガする。

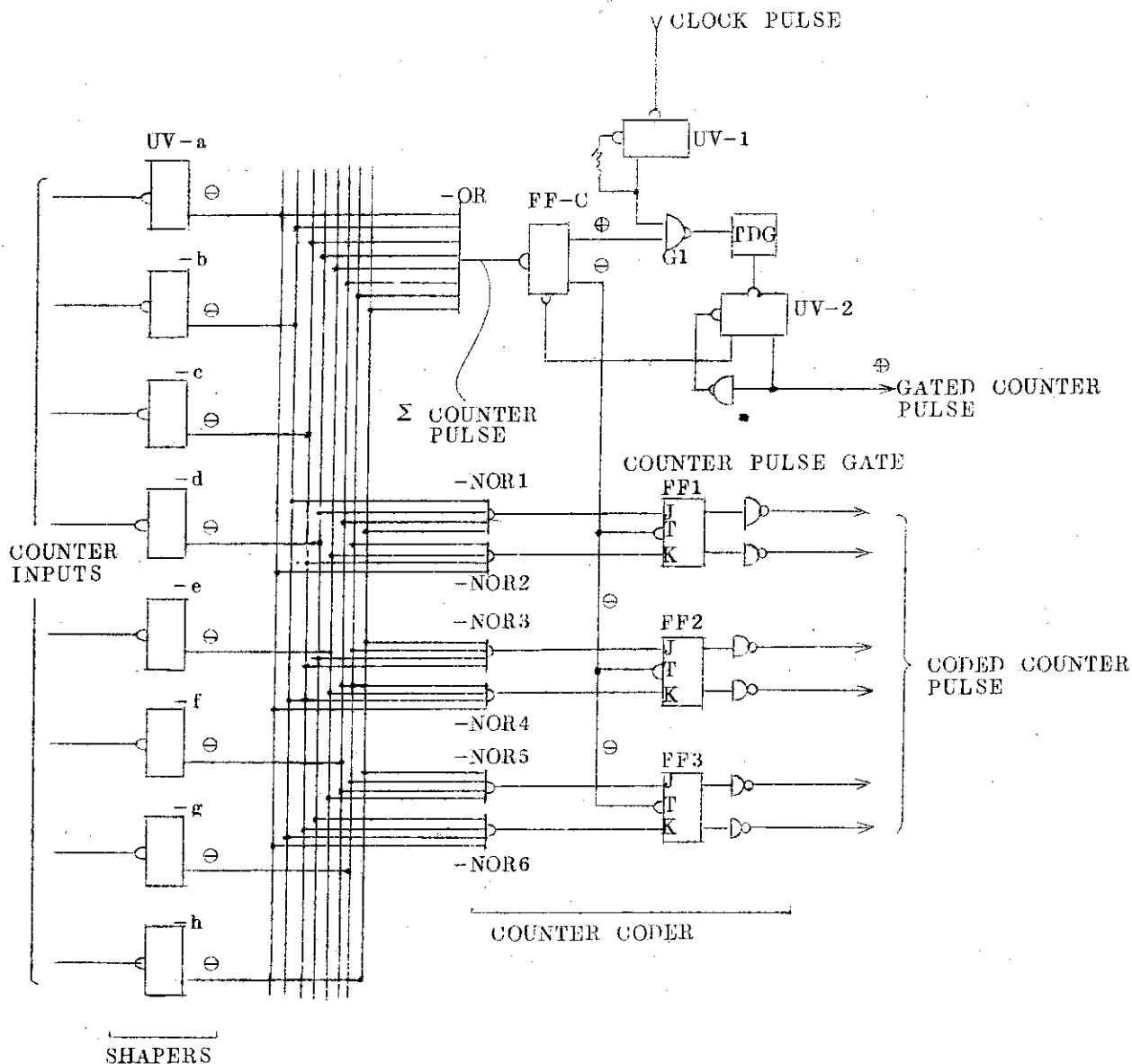
一方 -NOR-1 ～ -NOR-6 の各ゲートでは、シェーパからのパルスでFF-1～FF-3のJKゲート信号を作っている。

例えば UV-aからカウンタ・パルスが来た場合は、 -NOR-2 、 -4 、 -6 の各ゲートが働き、その出力端子に \oplus パルスが得られ、各FFはJKゲートが \oplus となって開くことになる。

各FFは、JKゲートに加えられる制御信号と、T端子に加えられるトリガ信号で動作し、コード化が行なわれることになる。上記の、UV-aからカウンタ・パルスが加えられた場合は、各FFのKゲートが \oplus となるので各FFはリセット側にトリガが行なわれ、カウンタ・コード出力としては、000となる。もう1つの例として、4番目のカウンタ・パルスが入った場合、UV-aが動作し、 -NOR-1 、 -3 、 -6 が出力を出し、各FFのJKゲートは、FF-1: J, FF-2: J, FF-3: Kがそれぞれ \oplus となって、トリガによって110 (FF-1からFF-3の順)のコード化が行なわれる。

このコーダの時間分解能についてみると、カウンタ・パルス・ゲートのインヒビット作用が働かない場合の通常分解能は2つに分けて考えられる。1つは、計数損がなく、全パルスを計数可能な分解能と2つは、先着パルスを計数し、後着は計数損となる分解能である。

前者の計数損なしの分解能は、カウンタ・パルス・ゲートの分解能で支配され、実測の結果

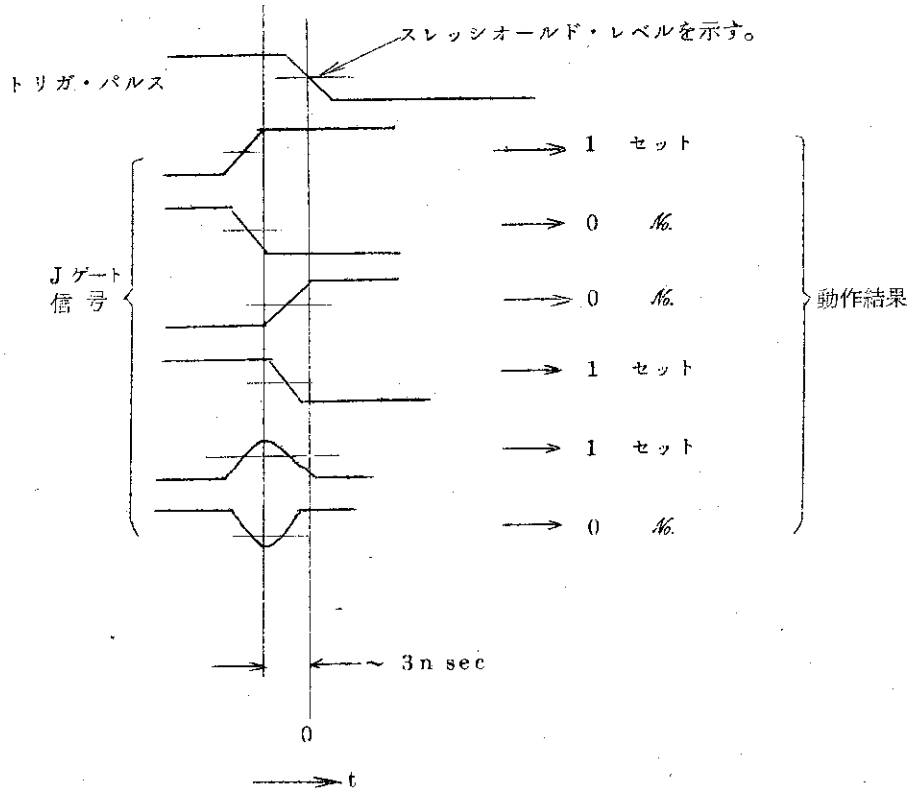


第 3.7.1 図 カウンタ・コーダ部のロジック図

約 23 nsec である。そのため、25 nsec の分解時間が保証される。これは、同一カウンタ・チャンネルでも別々のチャンネル間でも同じである。

後者の先着分解能は、このカウンタ・コーダの特徴で、JKゲート信号をトリガ・パルスのタイミングを微妙に調整することにより 1 nsec 程度の分解時間を持たせることができる。

FF1~FF3に使用している74S112のJKゲートのトリガ特性は、第3.7.2図のように、トリガ・パルスのタイミングから、2.5~3 nsec 早い時点のJ(Kも同じ)ゲートの信号でセットされる。すなわち、2.5~3 nsec 早い時点でJゲートが⊕ (約 1.4 V以上)であれば、セットされ、⊖ (約 1.4 V未満)であればセットされない。これはKゲートについても同一で、JKゲート信号が対で加えられていれば、セット、リセット動作を支配することになる。

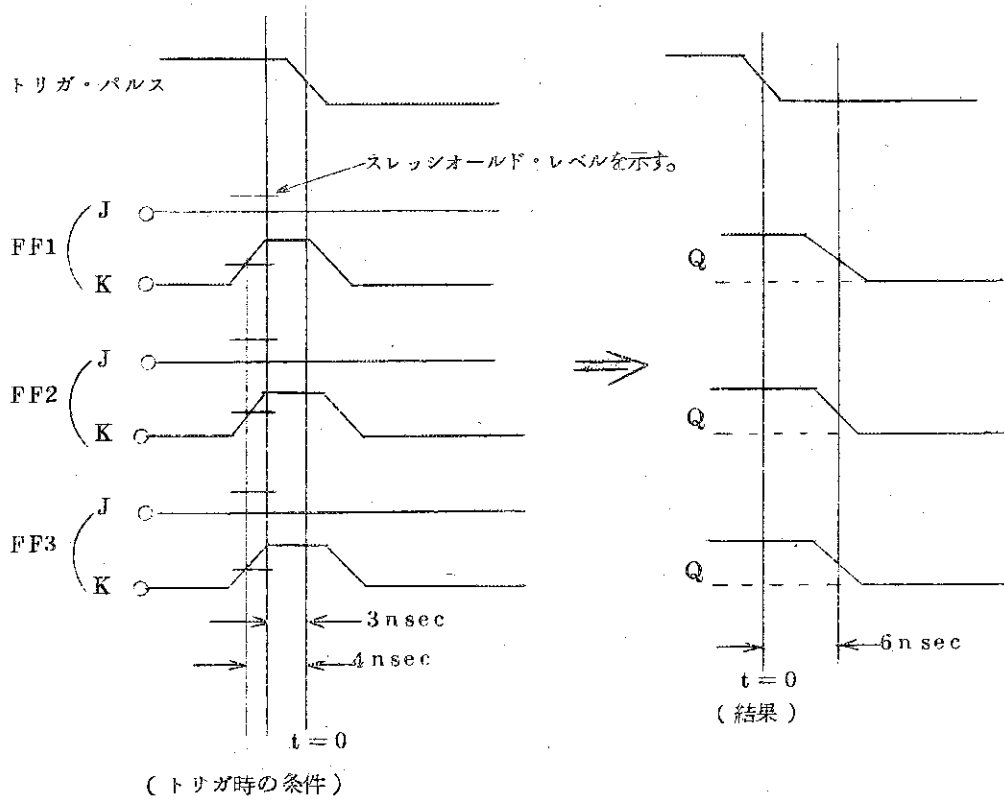


第 3.7.2 図 74S112 のトリガ・パルスに対する J (K) ゲート信号のタイミングと動作関係

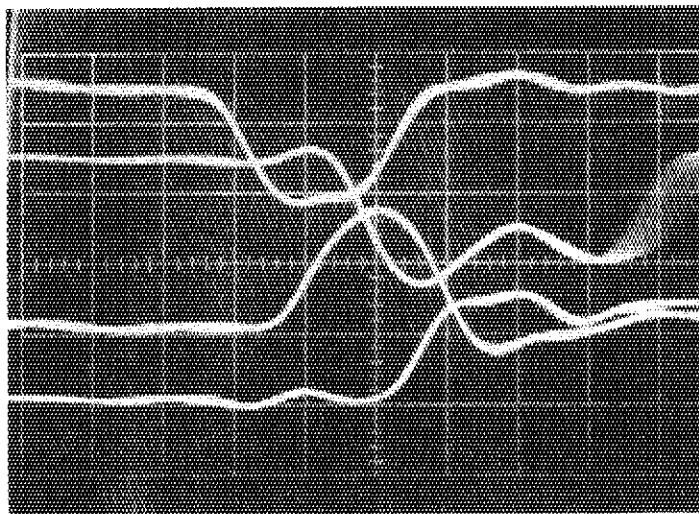
このような特性を利用して、コード部分の JKゲート・パルスとトリガ・パルスのタイミングが作られている。第 3.7.3 図はそれを示すもので、左側はトリガ・パルスと JKゲートの関係、右側はその結果で、トリガ・パルスと出力 (Q) の波形を示す。これは、UV-a にカウンタ・パルスが来たときで、JKゲート信号は、トリガ・パルスの 4 nsec (スレッシュ・レベル) 前に加えられるようにしてあり、その時点から、3 nsec までの間が分解時間となる。実際には、JKゲート信号は 4 nsec の ± 1 nsec 程度になるので実際の分解時間は 2 nsec 程度 (保証値) となる。

JKゲート信号が ± 1 nsec になるのは、8 チャンネルの信号を集めるため、種々なバラツキが生ずるためで、2 チャンネル程度の簡単なコードを作る場合には、0.5 nsec 以下の分解時間を得ることも可能である。

コード部分の動作波形を示すと第 3.7.4 図のようである。



第 3.7.3 図 UV-a が働いた場合のコードの動作



カウンタ・シェーパ入力

コードのトリガ・パルス

コードの J (K) ゲート信号

コードの Q 出力

[↑ : 2V, → 5nsec]

第 3.7.4 図 カウンタ・パルス・コードの動作波形

3.8 バッハ・レジスタのトリガ

バッハ・レジスタの構成については、第2.9節で述べられており、そのトリガの概要の一部について、第3.5章でも述べられている。ここでは、トリガのタイミングの問題をまとめて示す。

バッハ・レジスタは16ビットのレジスタを4ケ持っており、カウンタ・パルス(ストップ・パルス)が入ることにより順にトリガを行なっていく。バッハ・レジスタに入るデータは、チャンネル・スケータで高速で(最高25nsecのクロック)変化しており、カウンタ・パルスによるトリガは、その合間を縫って行なうため正確な時間関係が必要である。

その2つの信号の流れの関係を示すと、第3.8.1図のようになっている。さらにデータと、トリガの各信号のルートの時間遅れの関係は、第3.8.2図のようになっている。

クロック・パルスから、バッハ・レジスタまでの2つのルートの内、チャンネル・スケータ側は、DELAY Iの遅れがあり、第3.8.1図(B)に示すようなロジックが入っている。そして、①クロックからチャンネルスケータの出力までに約31nsecの遅れがあり、バッハ・レジスタのJKゲートに加えられるまでにはさらに9nsecの遅れが加わり、総計40nsec程度の遅れが生ずる。

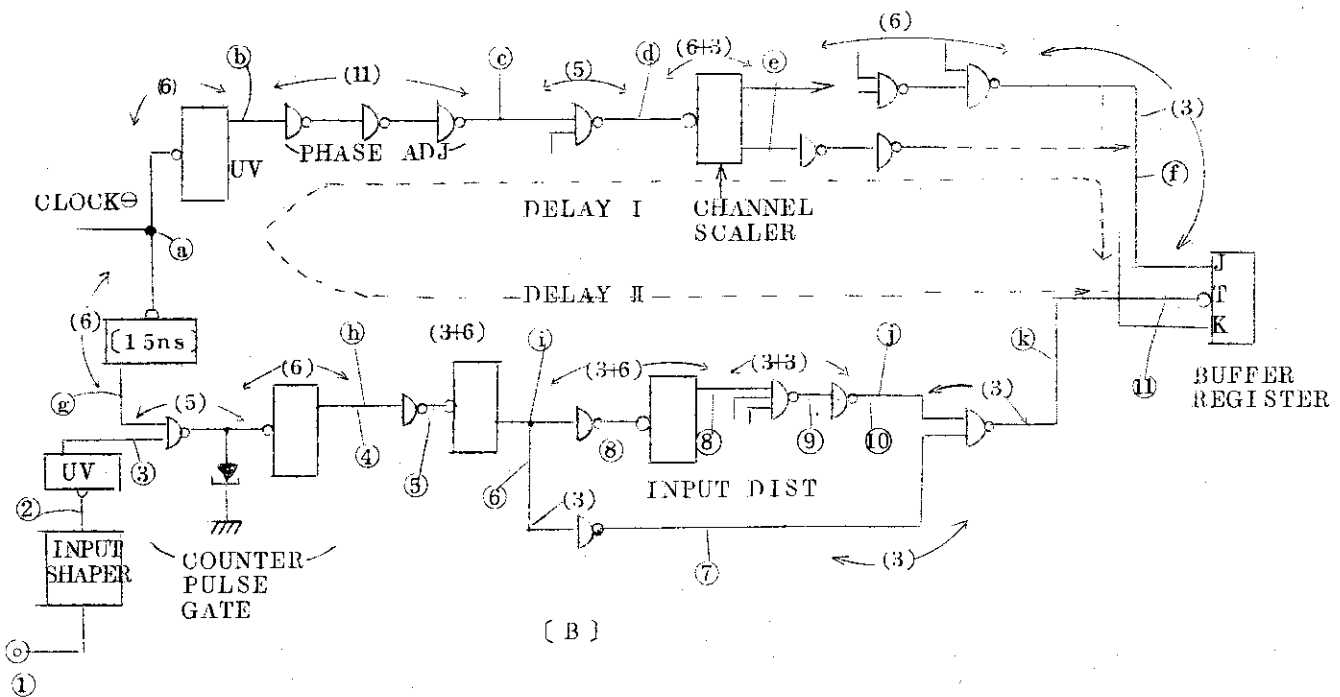
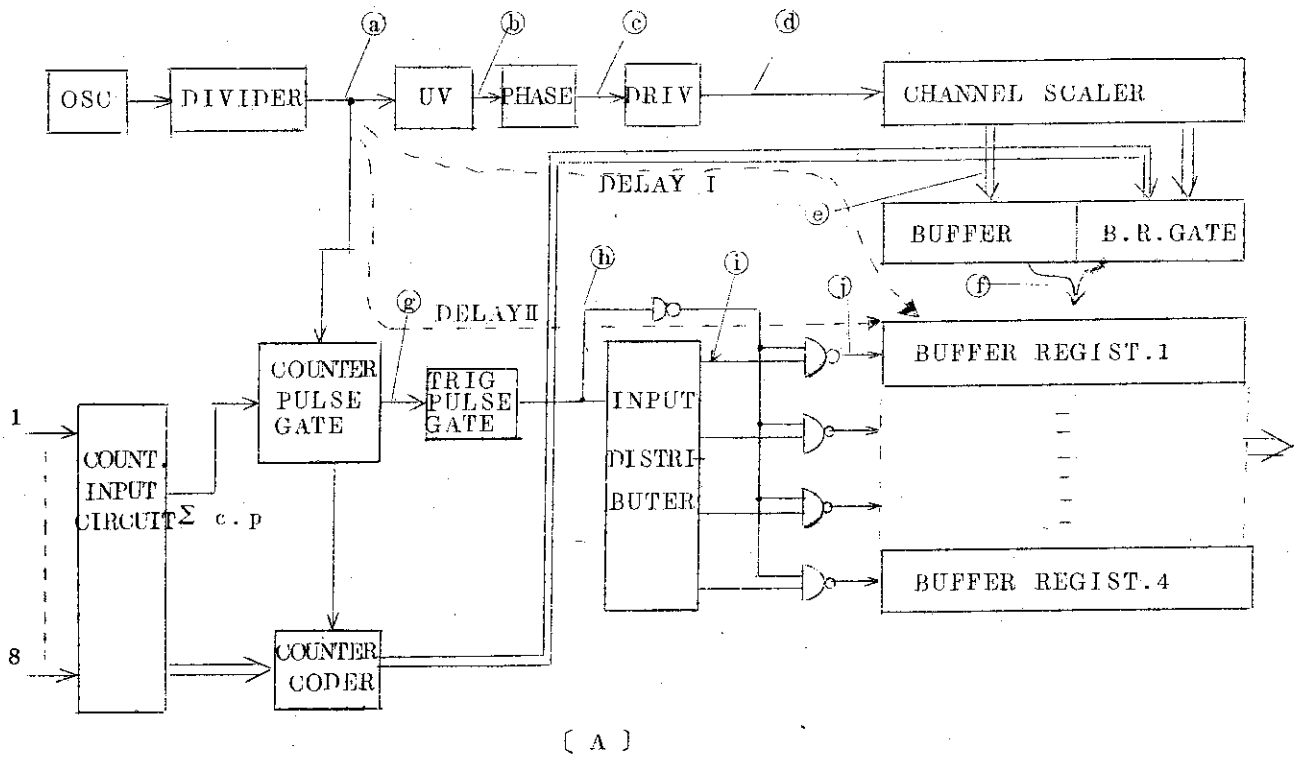
一方カウンタ・パルス側はDELAY IIの遅れがあるが、これは、チャンネル・スケータ側の変化時点と合わないようにするために与えるインヒビット幅の仮想遅れを示すものである。

DELAY II側は、クロック・パルスの直後に約15nsecのインヒビット・パルスを作り、この中にはカウンタ・パルスが入らないようにしており、その領域がバッハ・レジスタにどのようなタイミングで伝えられるかを示している。その間のロジックは、第3.8.1図(B)のDELAY IIようで、②から④までは35nsecの遅れがあり、それから15nsecのインヒビット領域がある。

両ルートのタイミング関係は、第3.8.2図のようで、バッハ・レジスタのJK端子には、 t_f の位相で、データが入り、T端子には、 $t_k - t'_k$ の間だけ外されたトリガ・パルスが加えられる。

DELAY-I, DELAY-II の実際のパルス関係を第3.8.3図に示す。DELAY-Iの方は、実際の動作波形を示しているが、DELAY-IIの方は、インヒビット領域を示すことは出来ないので、カウンタ・パルスの伝播状況を示している。

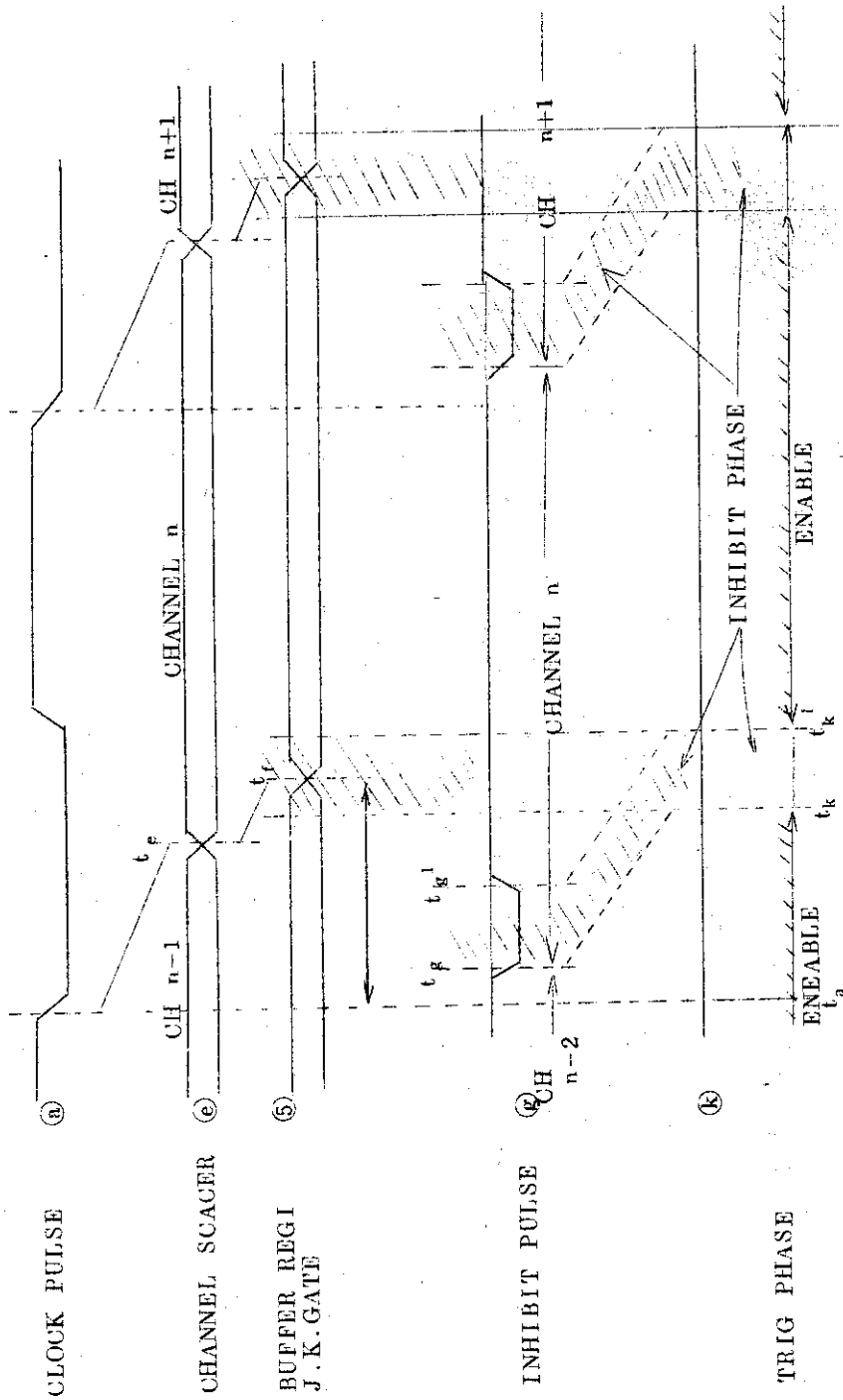
実際の遅れで気がつく点は、単にロジックの遅れだけでなく、負荷の大きな部分やプリント板間の伝播等にかなり時間を要しており、約40nsecの遅れの中、1/4弱が線路の遅れとなっている。



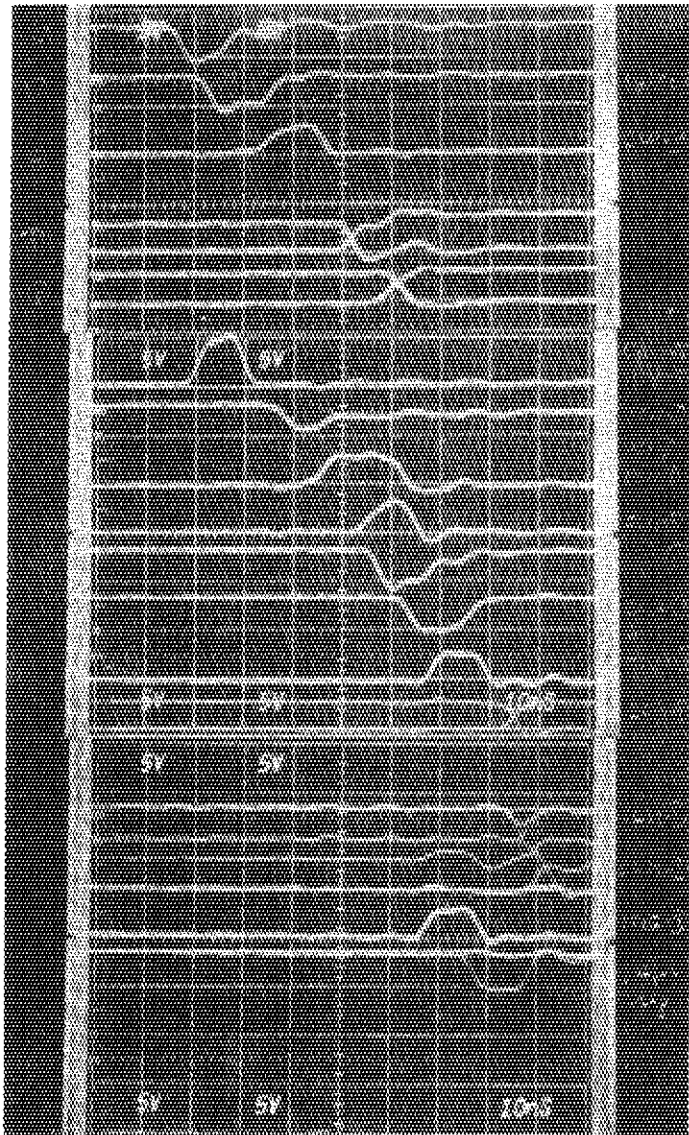
DELAY I $6+11+5+6+3+6+3 = 40 \text{ nsec}$

DELAY II $6+5+6+9+3+3+3+(15)=35+(15)\text{nsec}$

第 3.8.1 図 バッハ・レジスタまでの伝播遅れの関係



第3.8.2図 クロック・パルス～パハハ・レジスタ間の伝播遅れとトリガ・パルスのタイミング



- Ⓐ CLOCK⊖
- Ⓑ UV OUT
- Ⓒ CLOCK⊕
- Ⓓ CHANNEL SCALER OUT
- Ⓔ BUFFER REGI.
JK GATE
- ① COUNTER INPUT
- ② INPUT SHAP. OUT
- ③ UV OUT
- ④ COUNTER PULSE GATE OUT
- ⑤ TRIG. PLUSE GATE
- ⑥ TRIG PLUSE GATE OUT
- ⑦ TIMING PLUSE
- ⑧ DIST. SCALER
- ⑨ DIST. GATE 1
- ⑩ DIST. GATE 2
- ⑦ TIMING PLUSE
- ⑪ BUFFER REGI. TRIG

第3.8.3図 バッハ・レジスタ・トリガのタイミング

3.9 バッハ・レジスタ・コントローラ

バッハ・レジスタは、4ケのレジスタから成り、データ入力は、1, 2, 3, 4と順にトリガされ、出力もそれを追って順に取出されるように働く。しかし、データ出力側は単純な順序動作だと万一1回誤動作が行なわれると、以後所定のレジスタのデータを取り出すことができなくなり、入出力の関係が狂ってしまう。そこで、データ出力側は、入力があることを確認しながら、それを追って動作する。また、始動時等、空のレジスタがあった場合は、それを飛び越してデータのあるレジスタを出力に接続するように働く。

この部分の構成を示すと第3.9.1図のようになる。データは、チャンネル・スケアラやカウンタ・コーダから送られて来て、4つのバッハ・レジスタに並列に加えられている。カウンタ・パルス(ストップ・パルス)が来るとバッハ・レジスタをBR-1から順にトリガし、上記データをバッハ・レジスタに入れる。このとき、バッハ・レジスタにデータを入れると共にマーカFF, NR-1~MR-4を順にセットし、データを入れたレジスタに対応してマークをつけるようにする。このように、バッハ・レジスタにデータが入っていることが、マーカFFによって確認することができる。

マーカFFがどれか1つでもセットされると、DRGゲート(-NOR)が出力を出す。このときデータ・アウト・ゲート(DOG)がバッハ・レジスタと対応したところがないとデータ・スキヤニングOSCが働き、対応したDOGを選択する動作が始まる。

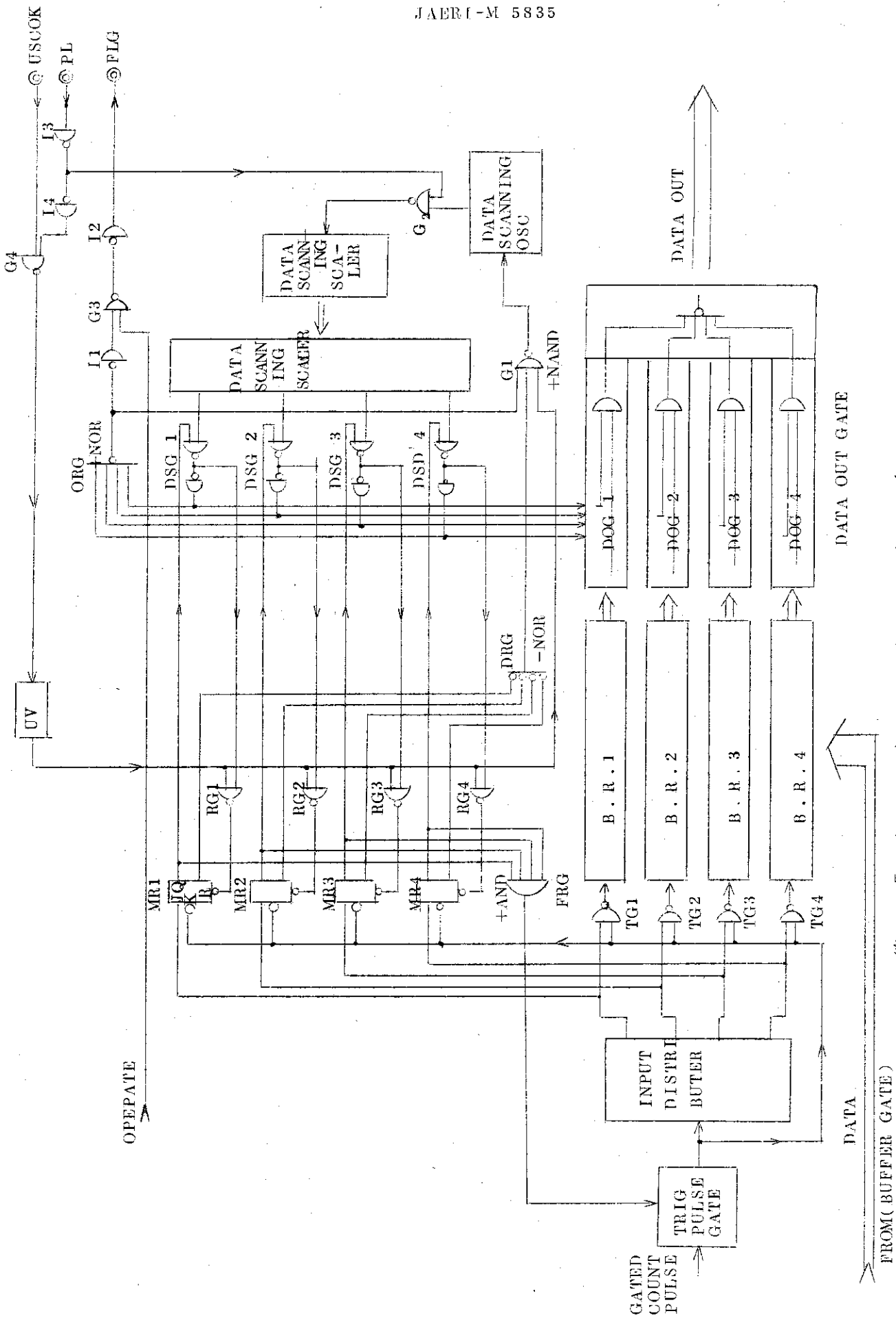
DOGの選択は、DOG1, DOG2, DOG3と言う順に選択作用が行なわれるが、その順番の中で、最初にデータのあるレジスタに来たときDSG1~4のいずれかによって検知され、そこで止る。

選択されたところで、DGOのいずれかのゲートが開き、BRのデータをデータ・アウトとして送り出す。それと同時に、ORG(+NOR)ゲートからFLG信号を計算機(USC-3)に送り、データを送ったことを伝える。

USC-3側で、データのストアが完了するとUSCOKの信号が返される。UVがトリガされ、選択されているマーカFFがGRゲートからリセットされる。選択されていたマーカFFがリセットされると、データの出力側は、自動的に、進められ、データの入っている次のレジスタを選択するように働く。

以上のように、データの入力側は、1, 2, 3, 4の単純な順序で入れていくが、出力側は、一定の順序でスキヤニングし、データのあるレジスタの所で止り、それを送り出すように自動的にホローする。そのため、始動始や途中の万一の誤動作で、入出力の対応が狂っても自動的に回復する機能を持っている。

第3.9.1図で、FRGゲートは、マーカFFが全部セットされた場合、すなわち、バッハ・レジスタが満員のときを検知するゲートで、このときは、トリガ・パルス・ゲートが閉じてバッハ・レジスタはトリガされなくなる。このときのオーバフロ・パルスは、データとしては計数損になるが、オーバフロ・スケアラでその計数損のパルス数を計数できるようになっている。



第 3.9.1 図 バッハ・レジスタ・コントローラのブロック/ロジック図

4. むすび

タイム・アナライザの製作を通じての問題点をまとめておく。

設計段階では、使用したIC(74S型)が製品化された当初であったため、種類が十分でなく、ロジック設計が不十分な点があった。ICの機能不足な点は、ダイオードを兼用した所も多いが、ICの機能が充実された現在では、その辺が整理できると思う。

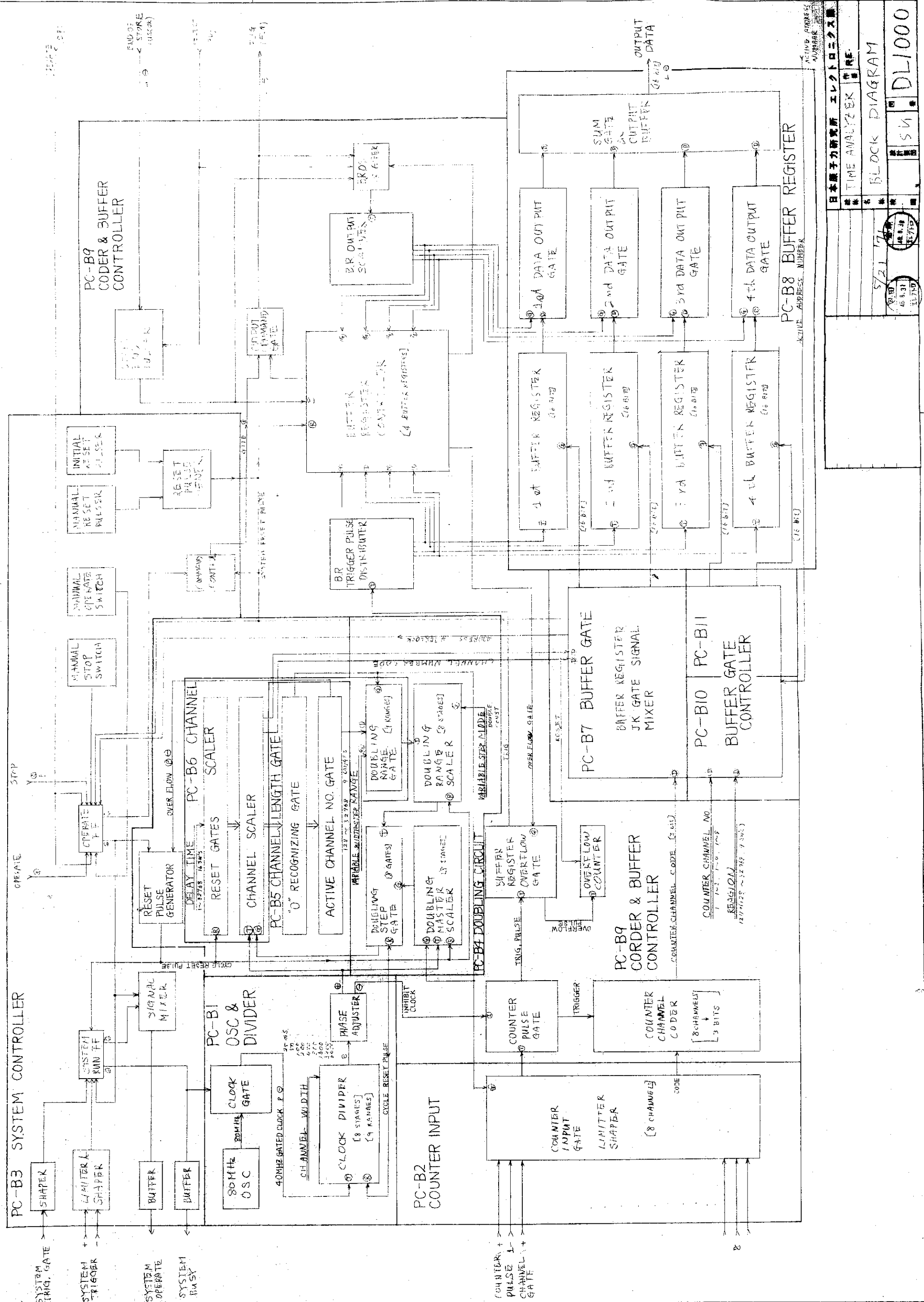
このタイム・アナライザは、再三述べているように、高速であると共に、多機能であり、そのため非常に複雑になっており、ロジックの速度、特に、伝播時間が大きな問題となった。中には、バッハ・レジスタのトリガのように、25nsecのクロックに対し、40nsecの伝播遅れがあるような所や、バリエブル・ウィルス・ステップのように、25nsec周期以内に10ヶ近いゲート列を通して複雑な回路の切換えを行わなければならない点があり、ロジック設計上考慮した点である。幸い、これらの諸点は、設計上解決法があつて問題として残されるようなことはなかった。

速度の限度として、このまゝの機能を持たせて、クロックを10nsecとすることは無理があるようで、15nsec程度が限度である。

タイム・アナライザのように、ランダム周期のパルスと周期性パルスの両者が扱われる場合、両者の位相がクリチカルな場合は、ICが完全にロジカルに働かないことがあり、異常動作(出力波形が歪んだり、遅れが大きくなる)が生ずることがあつた。この現象で、実質動作に支障のあるカウンタ・パルス・ゲートの部分は、トンネル・ダイオードを用いて解決を計つたが、トリガ・パルス・ゲート部その他においてもこの現象が皆無ではない。異常動作が生ずる可能性のある所は、異常となる確率や動作結果に対する支障の程度に応じて対策をする必要があると思う。

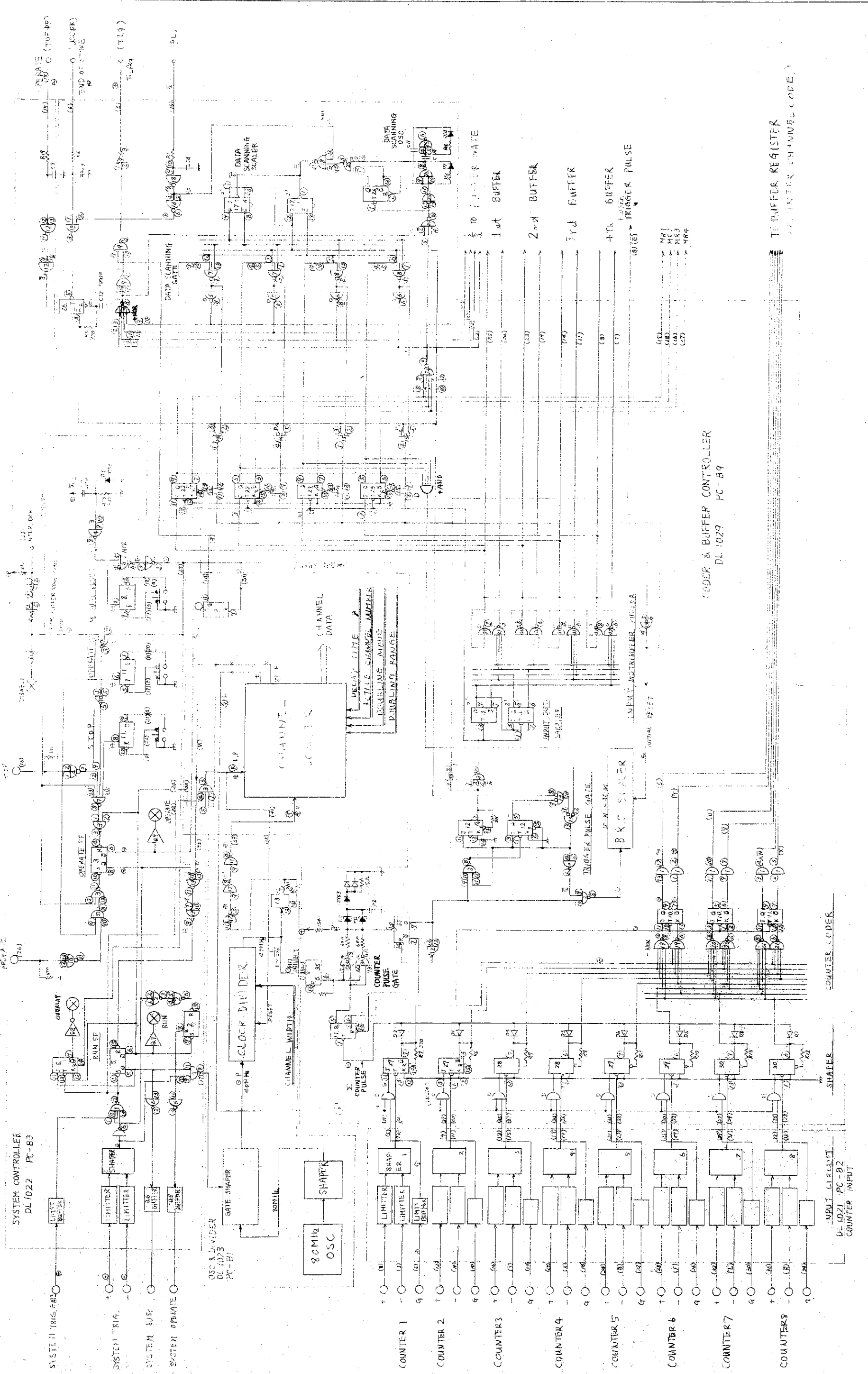
プリント板とその構成では、今回両面印刷の板を用いたが、両面型では電源回路、アースのインピーダンスを十分低くすることが困難で、調整時に、電源回路(パターン上の)の補強を行なつた。インピーダンスを十分低く保てないと、ICの動作電流による電圧降下で雑音がかなり大きく生じ、ICのスレショールドを越える場合も生じて来る。高速ICを使用するときは、4層プリント板を使用し、中間の2層をアースと電源専用にする必要があるようであろう。また多層プリント板を使用できないときは、補助電源回路を設けることを最初から計画しておかねばならない。

本器は、核物理第II研究室の依頼により製作したもので、当時担当者であつた、更田豊治郎主任研究員(現、核データ研究室長)には、仕様検討の段階から種々御指導を頂いた。また、安納勝人氏(当時エレクトロニクス課、設計係、現在、核融合研究室)には、当初の基礎実験の段階で協力を頂き、荘司時夫氏(核物理第II研究室)には、最終的な調整段階で協力を頂いた。こゝに厚く御礼申し上げます。



日本電子力研究所 エレクトロニクス課 5/21/74 48.9.31 48.9.17/10		時間計測器 DL1000
時間計測器	BLOCK DIAGRAM	DL1000

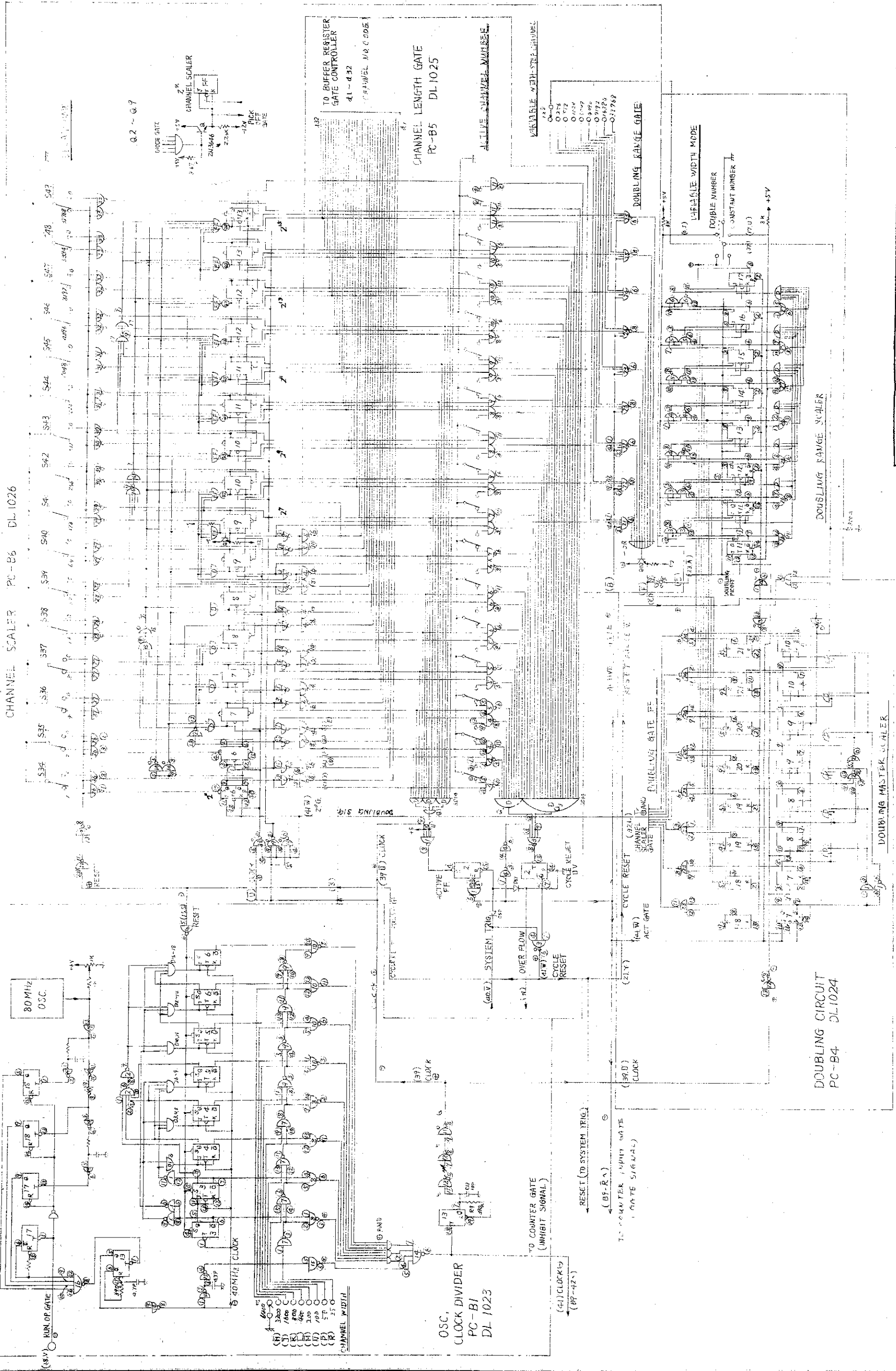
-63-64-



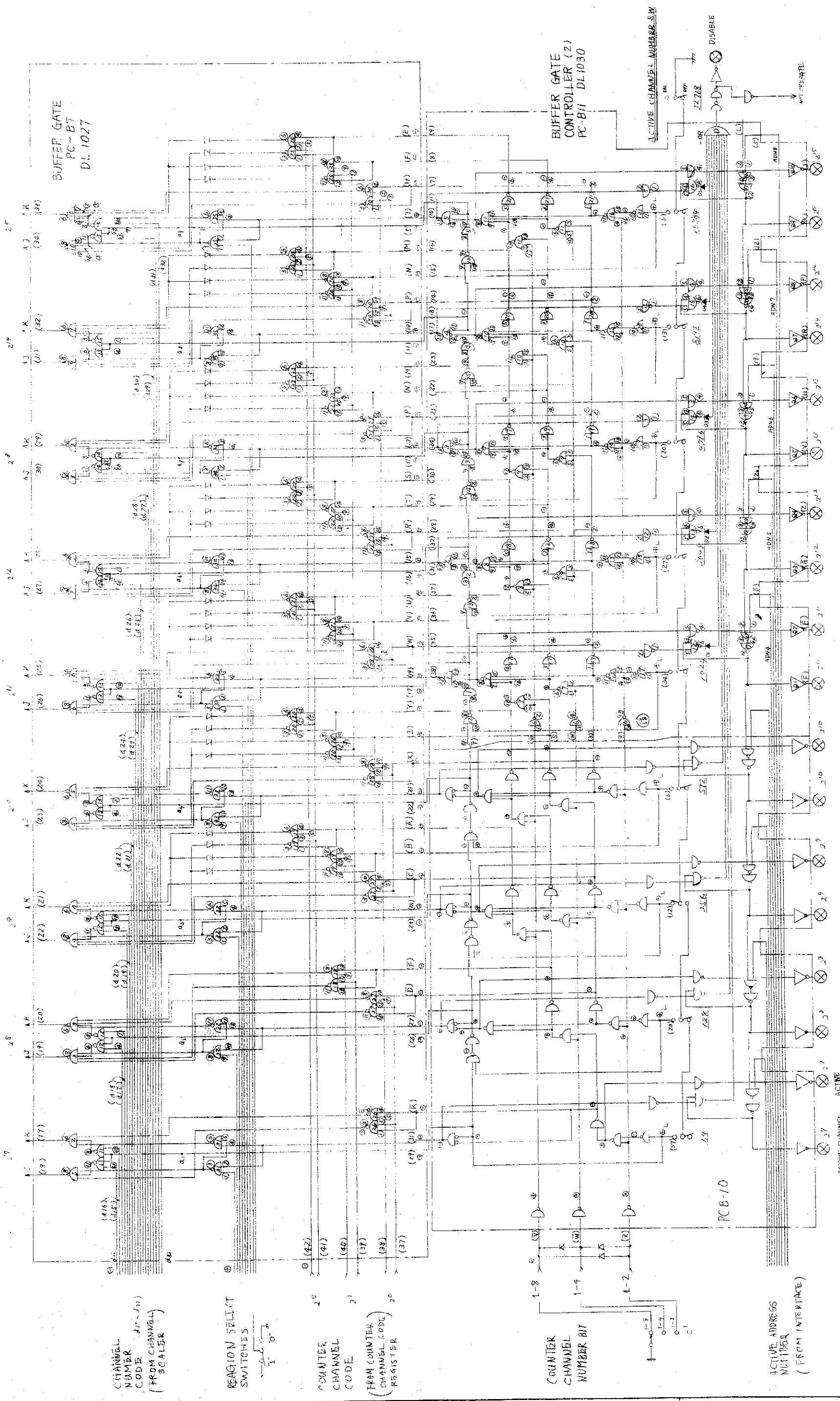
CODER & BUFFER CONTROLLER
DL 1029 PC-B9

日本電子力研究所	エレクトロニクス課
TIME ANALYZER	作製
LOGIC DIAGRAM OF	
CONTROL CHANNEL INPUT	
5/19 '71	54
DL1001	

CHANNEL SCALER PC-B5 DL1026



日本電子力研究所 エレクトロニクス課	
機	TIME ANALYZER 作 RE
名	CHANEL SCALER
図	DL1002
図	DL1002



日本電子力研究所 エレクトロニクス課	
機名	TIME ANALYZER
機番	54
機種	PC-B11
機年	71
機月	5/21
機日	11
機時	11
機分	48.30
機秒	00
機分	54
機時	DL1003

⑫ COUNTER CHANNEL BIT SW459
 入出: PCB-10, PCB-11 両チャンネル
 PCB-11 → 8ビットデータ (155本)

FROM
INPUT
SCANNER

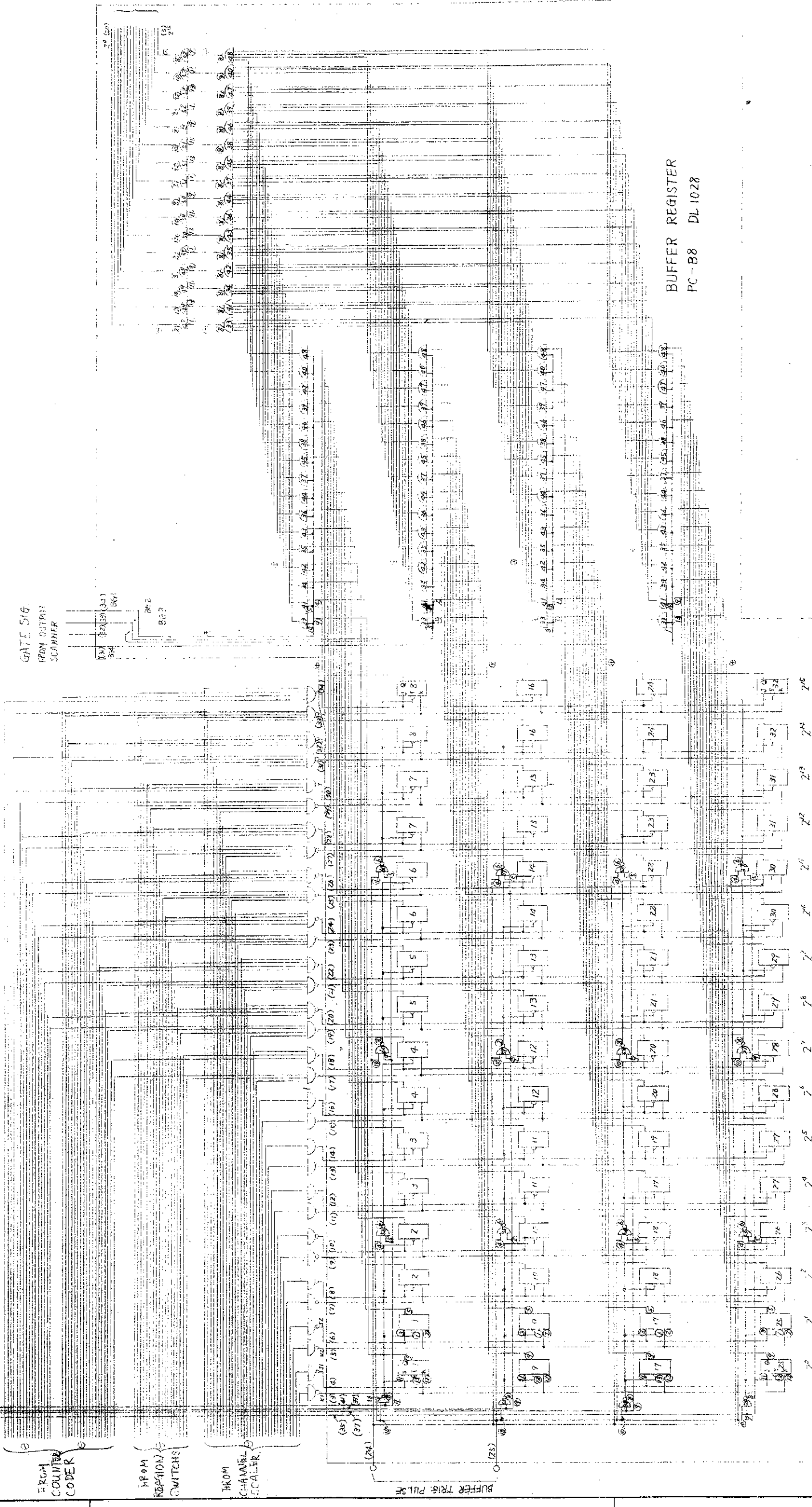
TRIG SIG
BT(40)
BT(60)
BT(80)
BT(100)

FROM
COUNTER
CODER

FROM
POSITION
SWITCHES

FROM
CHANNEL
SCALER

BUFFER TRIG PULSE



BUFFER REGISTER
PC-B8 DL1028

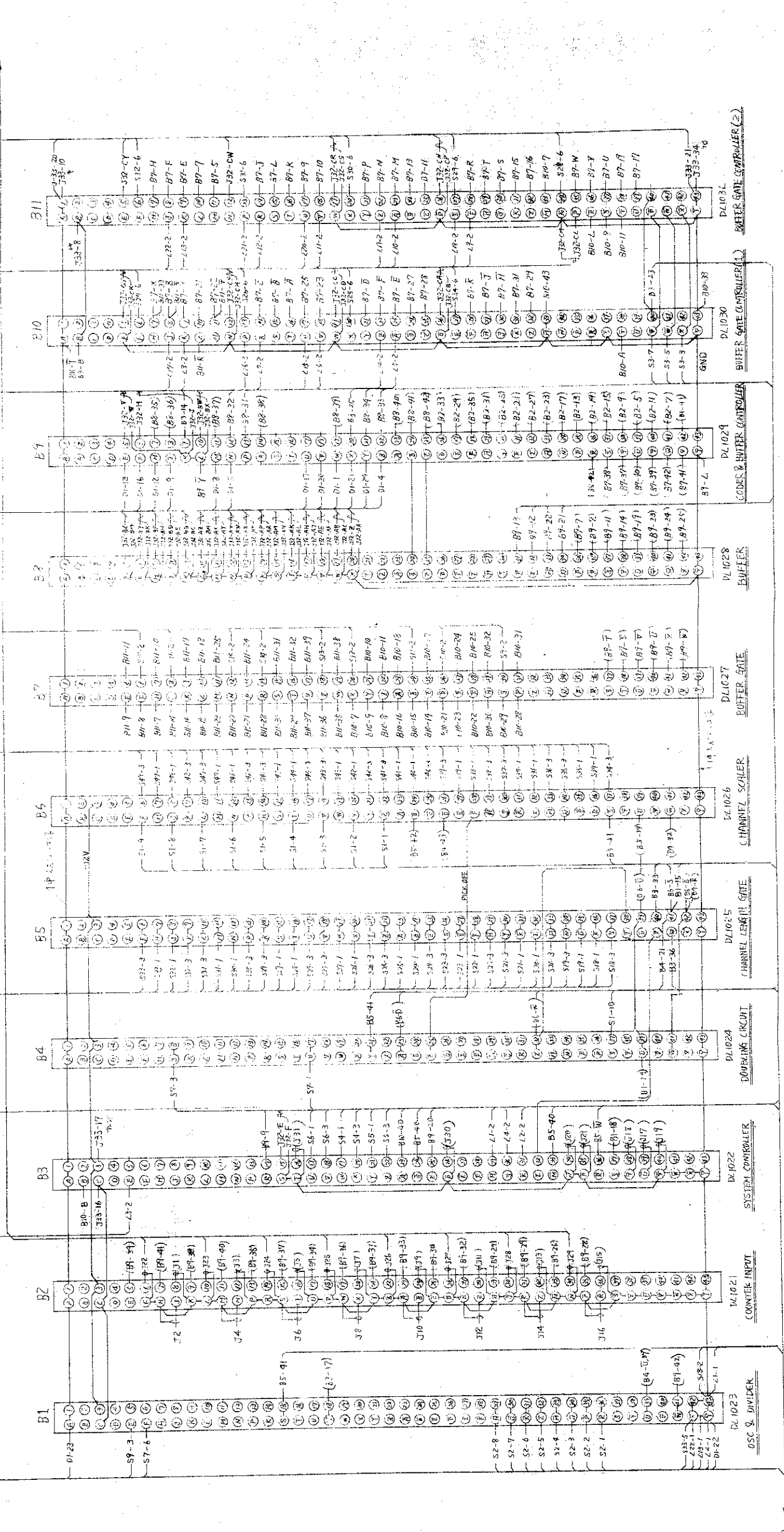
DATA
OUTPUT

日本電子研究新 電子工学研究所		DATE	
設計者	5/17/71	検査者	
設計部	14	検査部	
LOGIC DIAGRAM OF BUFFER REGISTER		DL1004	
5/17/71		DL1004	

DL1010

70 1100

70 1100



BOTTOM VIEW

4	回路作製一行巻戻	1/20/72	尾島
3	USCI変更(1-J)一部変更	1/19/71	田和
2	本加工工程表の修正	9/3/71	田和
1	B2, B9 配線一部変更	9/8/71	田和
NG	配線	10/11	担当

図名	910Aアライザ	作成	尾島
図種	アライザ用	図番	DL1010
設計	尾島	設計	尾島
承認	尾島	承認	尾島

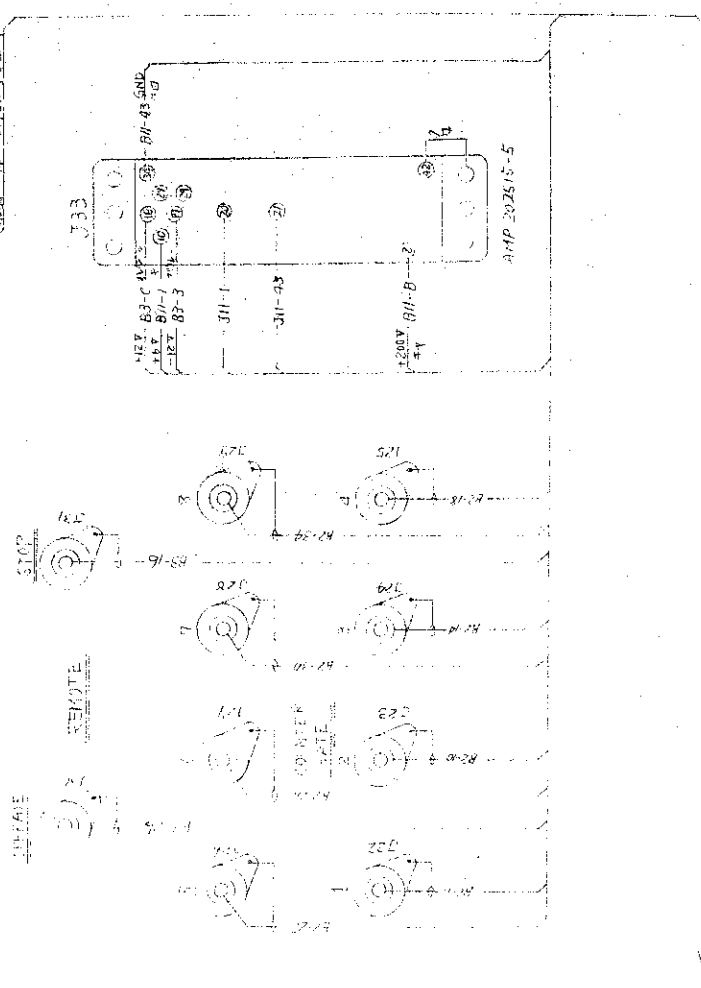
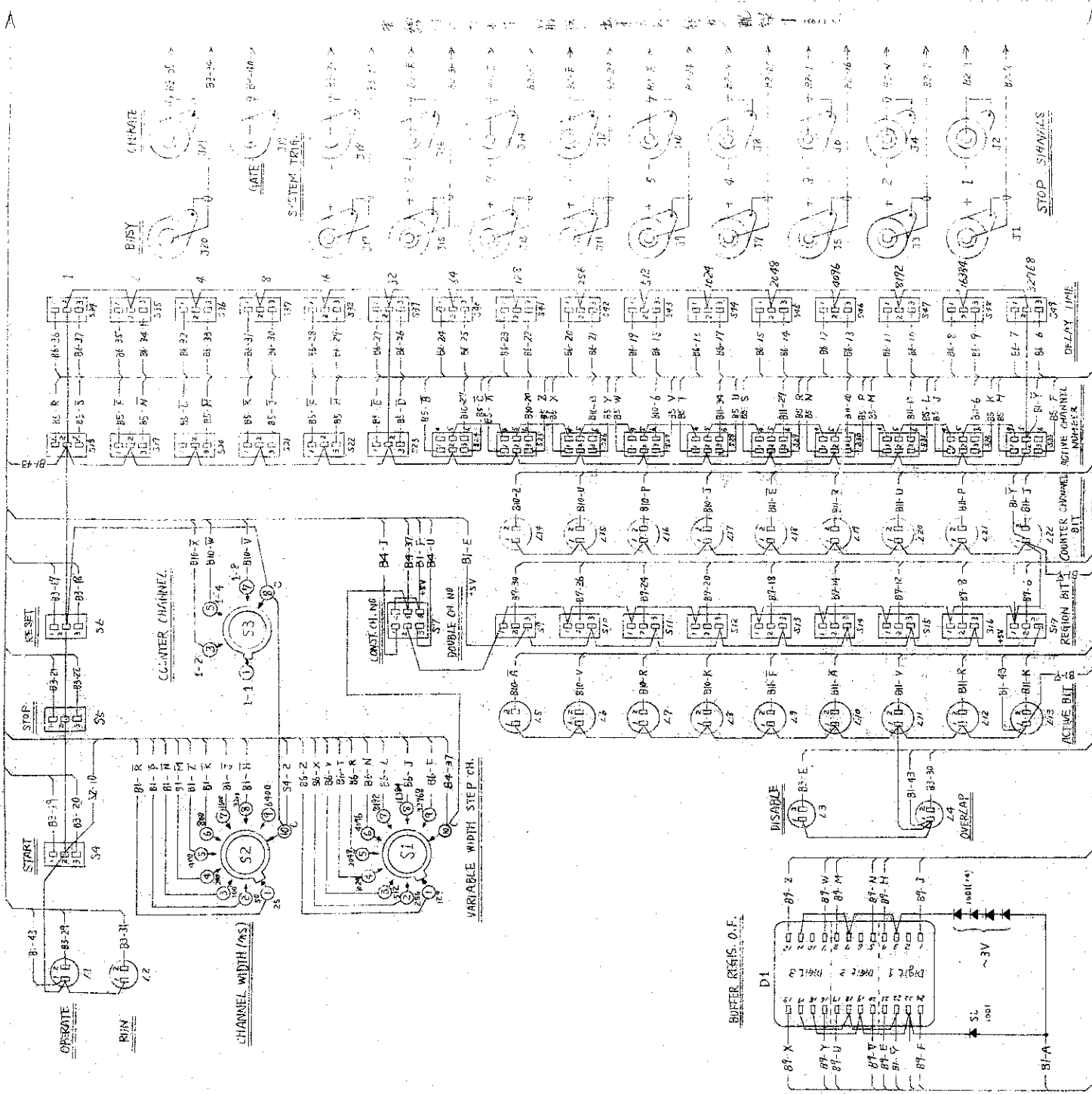
DL1011

500 10-216 110-211-787

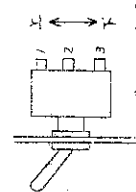
符号	説明	規格
1	START	62-15, 63-5
2	STOP	62-15, 63-5
3	RESET	62-15, 63-5
4	OPERATE	62-15, 63-5
5	RUN	62-15, 63-5
6	CHANNEL WIDTH (MS)	62-15, 63-5
7	START	62-15, 63-5
8	STOP	62-15, 63-5
9	RESET	62-15, 63-5
10	OPERATE	62-15, 63-5
11	RUN	62-15, 63-5
12	CHANNEL WIDTH (MS)	62-15, 63-5
13	START	62-15, 63-5
14	STOP	62-15, 63-5
15	RESET	62-15, 63-5
16	OPERATE	62-15, 63-5
17	RUN	62-15, 63-5
18	CHANNEL WIDTH (MS)	62-15, 63-5
19	START	62-15, 63-5
20	STOP	62-15, 63-5
21	RESET	62-15, 63-5
22	OPERATE	62-15, 63-5
23	RUN	62-15, 63-5
24	CHANNEL WIDTH (MS)	62-15, 63-5
25	START	62-15, 63-5
26	STOP	62-15, 63-5
27	RESET	62-15, 63-5
28	OPERATE	62-15, 63-5
29	RUN	62-15, 63-5
30	CHANNEL WIDTH (MS)	62-15, 63-5
31	START	62-15, 63-5
32	STOP	62-15, 63-5
33	RESET	62-15, 63-5
34	OPERATE	62-15, 63-5
35	RUN	62-15, 63-5
36	CHANNEL WIDTH (MS)	62-15, 63-5
37	START	62-15, 63-5
38	STOP	62-15, 63-5
39	RESET	62-15, 63-5
40	OPERATE	62-15, 63-5
41	RUN	62-15, 63-5
42	CHANNEL WIDTH (MS)	62-15, 63-5
43	START	62-15, 63-5
44	STOP	62-15, 63-5
45	RESET	62-15, 63-5
46	OPERATE	62-15, 63-5
47	RUN	62-15, 63-5
48	CHANNEL WIDTH (MS)	62-15, 63-5
49	START	62-15, 63-5
50	STOP	62-15, 63-5
51	RESET	62-15, 63-5
52	OPERATE	62-15, 63-5
53	RUN	62-15, 63-5
54	CHANNEL WIDTH (MS)	62-15, 63-5
55	START	62-15, 63-5
56	STOP	62-15, 63-5
57	RESET	62-15, 63-5
58	OPERATE	62-15, 63-5
59	RUN	62-15, 63-5
60	CHANNEL WIDTH (MS)	62-15, 63-5
61	START	62-15, 63-5
62	STOP	62-15, 63-5
63	RESET	62-15, 63-5
64	OPERATE	62-15, 63-5
65	RUN	62-15, 63-5
66	CHANNEL WIDTH (MS)	62-15, 63-5
67	START	62-15, 63-5
68	STOP	62-15, 63-5
69	RESET	62-15, 63-5
70	OPERATE	62-15, 63-5
71	RUN	62-15, 63-5
72	CHANNEL WIDTH (MS)	62-15, 63-5
73	START	62-15, 63-5
74	STOP	62-15, 63-5
75	RESET	62-15, 63-5
76	OPERATE	62-15, 63-5
77	RUN	62-15, 63-5
78	CHANNEL WIDTH (MS)	62-15, 63-5
79	START	62-15, 63-5
80	STOP	62-15, 63-5
81	RESET	62-15, 63-5
82	OPERATE	62-15, 63-5
83	RUN	62-15, 63-5
84	CHANNEL WIDTH (MS)	62-15, 63-5
85	START	62-15, 63-5
86	STOP	62-15, 63-5
87	RESET	62-15, 63-5
88	OPERATE	62-15, 63-5
89	RUN	62-15, 63-5
90	CHANNEL WIDTH (MS)	62-15, 63-5
91	START	62-15, 63-5
92	STOP	62-15, 63-5
93	RESET	62-15, 63-5
94	OPERATE	62-15, 63-5
95	RUN	62-15, 63-5
96	CHANNEL WIDTH (MS)	62-15, 63-5
97	START	62-15, 63-5
98	STOP	62-15, 63-5
99	RESET	62-15, 63-5
100	OPERATE	62-15, 63-5

7320003 振動計用電源装置
741715 13.2k

電源装置の接続は別紙参照



E1-B11



ストップ SW 接続図

日本電子力研究所 エレクトロニクス課	
図名	RE
図号	DL1011
作成者	RE
承認者	RE
図面番号	DL1011
図面枚数	1/1
図面日付	45.10.30

3	調整器具一部変更	7/20/74	石谷
2	USCIの調整に付し23番調整	7/17/74	田中
1	4077179 AMP → ECCOに変更	7/17/74	田中
NO	記	日付	担当

DL1020

186
15796
73R6P

1. ボン穴径 1.6φ スルーホール

2. 7ボクタ具及付取付け 2.5φ

3. スリット幅は 0.5mm

4. ボン穴間隔は 2.54

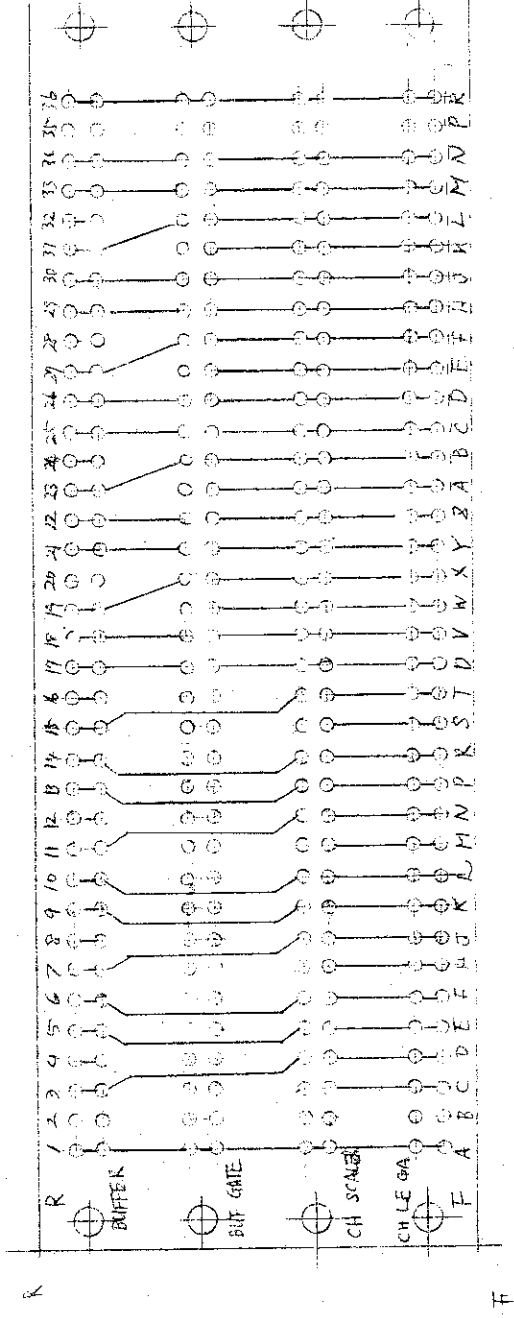
5. BUFFER GATE ボン径は 2.0, 2.5, 3.0, 3.5, 4.0

6. 文字の高さは 2.0mm

7. 全体的な処理は

8. 不磨に 1.6t

内面 157-1 (コネクタ側)



BUFFER

BUFFER GATE

CHANNEL SCALER

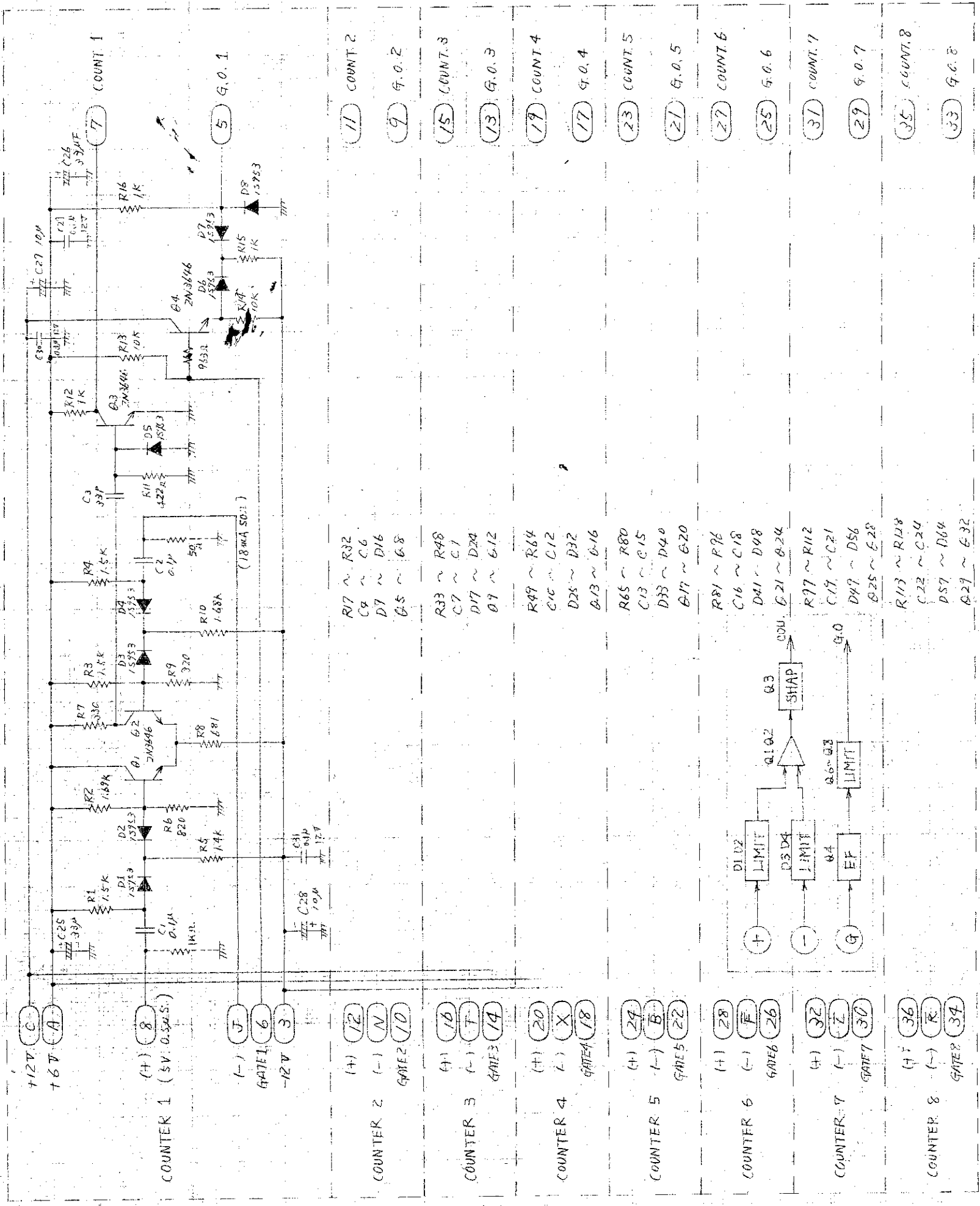
CHANNEL LENGTH GATE

外面 157-1

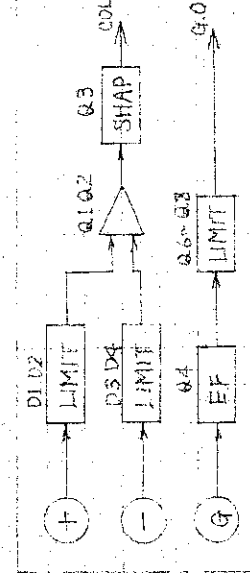
日本原子力研究所 エレクトロニクス課	
総称	7161710171
作番	RE-
名称	上部 27.27-ポート 109-1
機	設計製図
図	SK
番	DL1020

NO 記 号

図 行 指 号



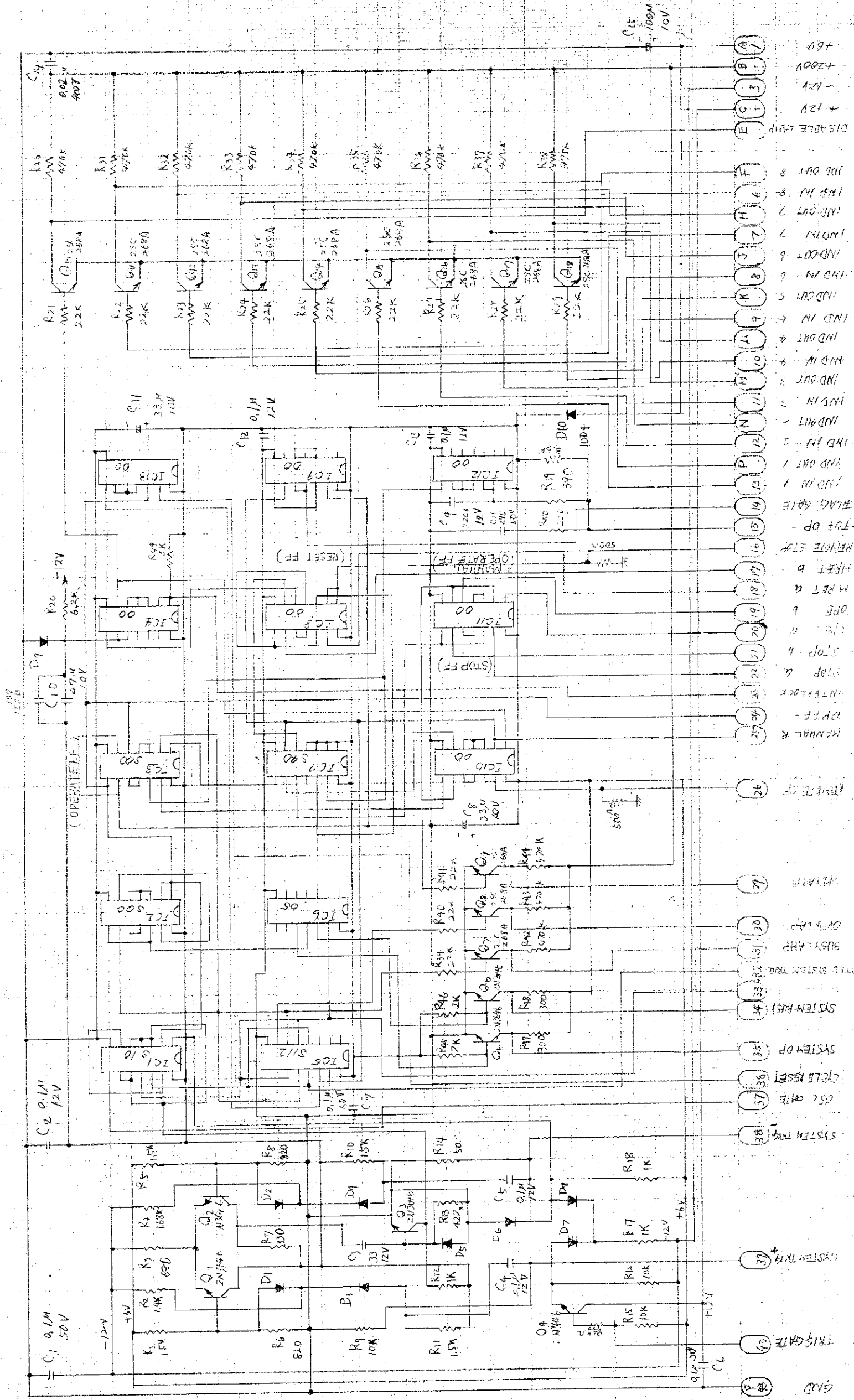
- R17 ~ R32
- C4 ~ C6
- D7 ~ D16
- G5 ~ G8
- R33 ~ R48
- C7 ~ C1
- D17 ~ D24
- G9 ~ G12
- R49 ~ R64
- C10 ~ C12
- D25 ~ D32
- G13 ~ G16
- R65 ~ R80
- C13 ~ C15
- D33 ~ D40
- G17 ~ G20
- R81 ~ R96
- C16 ~ C18
- D41 ~ D48
- G21 ~ G24
- R97 ~ R112
- C17 ~ C21
- D49 ~ D56
- G25 ~ G28
- R113 ~ R128
- C22 ~ C24
- D57 ~ D64
- G29 ~ G32



日本原子力研究所			
総称	作番	RE.	
タイムアライヤ			
名	回路図	設計	図番
タイムアライヤ			PC-B2
製	45.8.30	計	D-1021
図	45.8.30		
検	45.8.30		
承	8.31		
認			

No	1	2/20/72	電子担当
日付			
事			

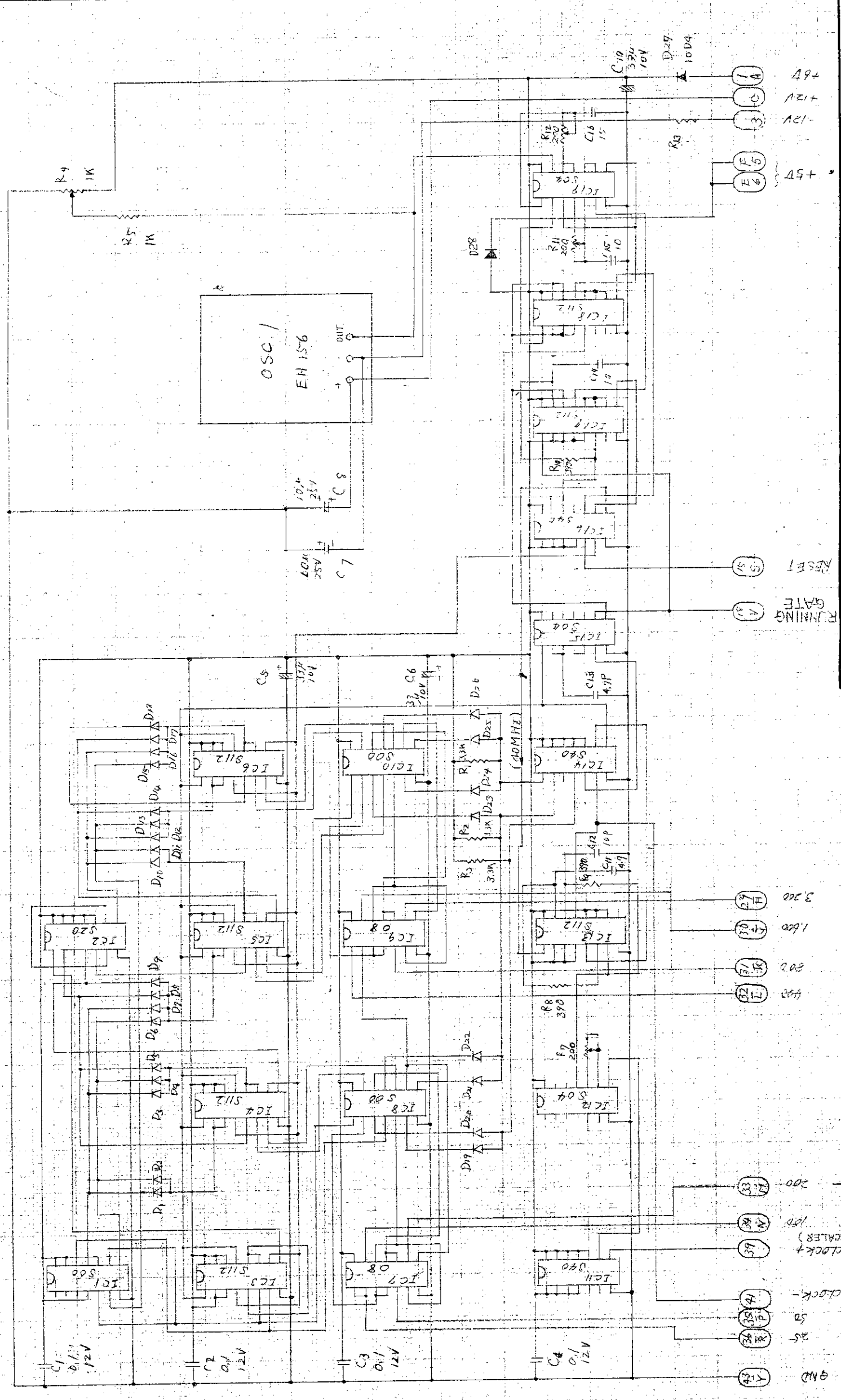
DL1022



日本原子力研究所		作番	RE.
総称	74181-181		
名称	デジタルコントローラ回路	図番	DL1022
製図		設計	S.K.
承認		検図	
本認		5.31	

IC	B	18	D1-D9	IS953
Q	D	1P	16	50
D	C	R		
74				
71				
70				
69				
68				
67				
66				
65				
64				
63				
62				
61				
60				
59				
58				
57				
56				
55				
54				
53				
52				
51				
50				
49				
48				
47				
46				
45				
44				
43				
42				
41				
40				
39				
38				
37				
36				
35				
34				
33				
32				
31				
30				
29				
28				
27				
26				
25				
24				
23				
22				
21				
20				
19				
18				
17				
16				
15				
14				
13				
12				
11				
10				
9				
8				
7				
6				
5				
4				
3				
2				
1				

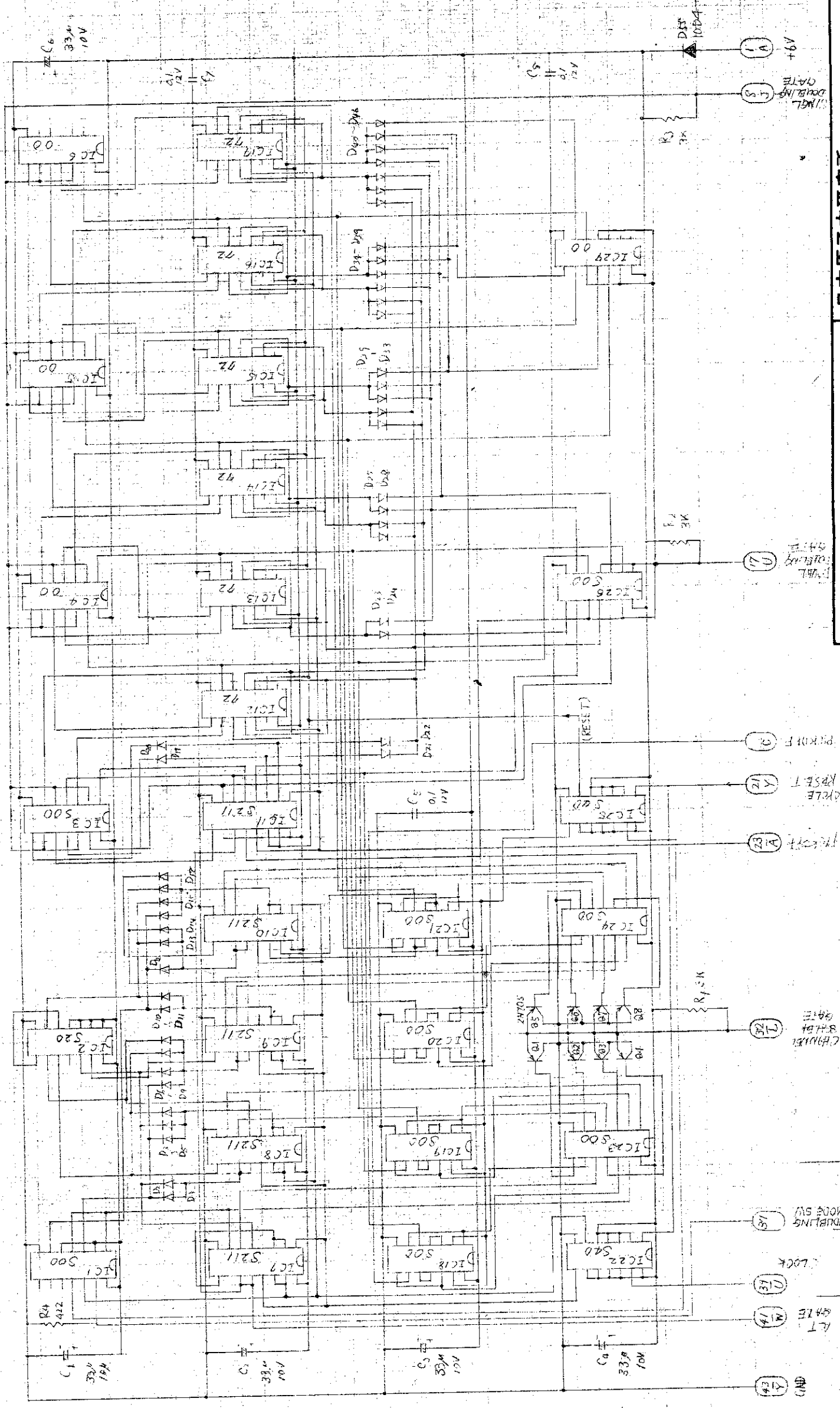
DL1023



日本原子力研究所	
総称	944P7777
名称	OSC, 7777 (PC-B1)
製図	DL1023
設計	SK
検図	8/30
承認	8/31

IC	19	28	13	17
D				
R				
C				
IC1~IC19 回路印番				
3/27 回路印番				
NO				
配				
3/27 回路印番				
回路印番				
clock (TO INHIBIT)				
clock (TO CHANNEL SCALER)				
200				
100				
200				
400				
800				
1600				
3200				
Divide all SD14				

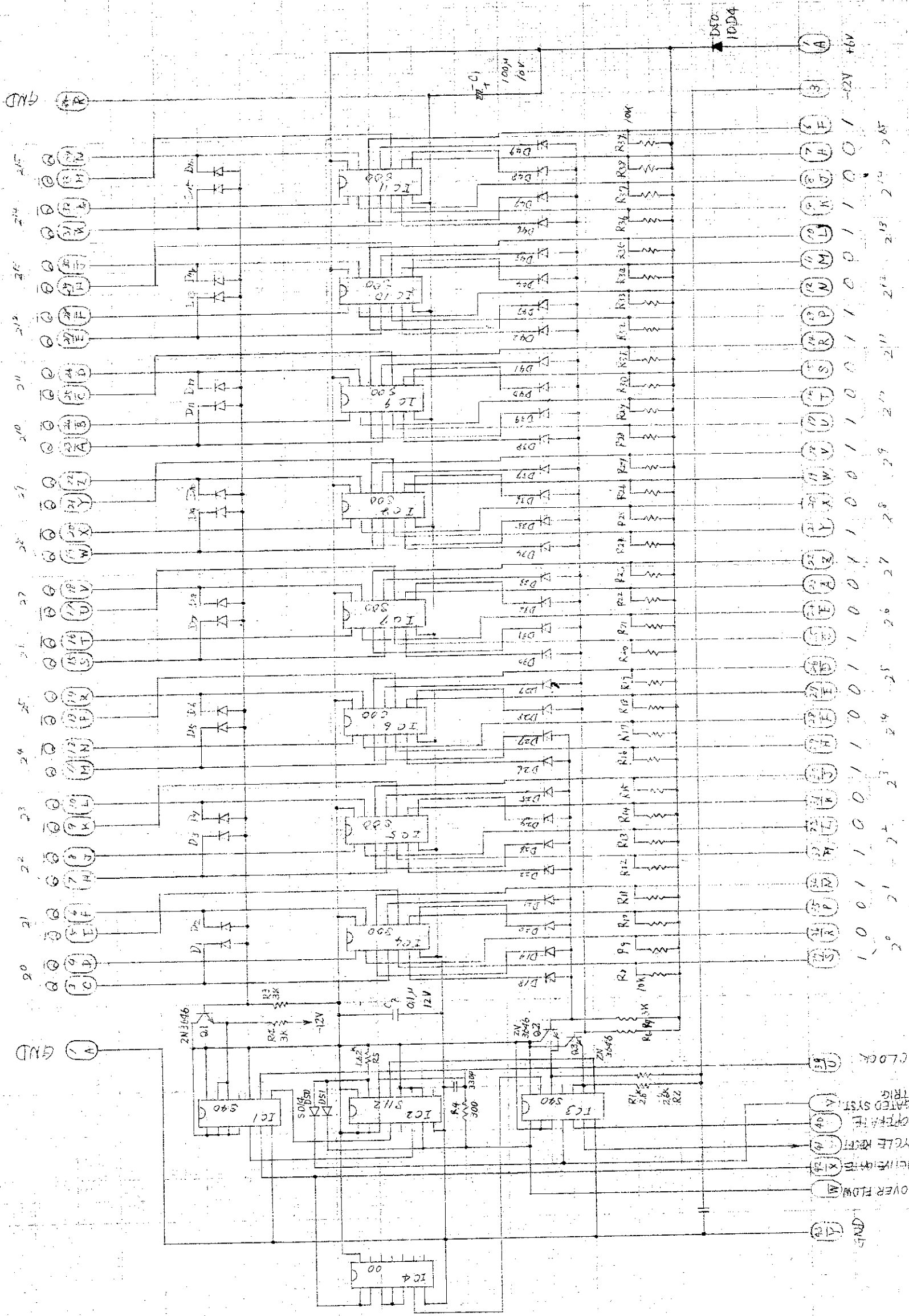
DL1024



日本原子力研究所		作番	RE.
総称	7401A 1ビット	設計	SV
名称	7401A 1ビット	図番	DL1024
製図		承認	

IC	D	R	C
Q	8	27	55
TR: 8 (2705)			
(D1~D4, SD14)			
AND	42	1A	1B
LT GATE	41	1A	1B
LOCK	40	1A	1B
DRIVING MODE SW	37	1A	1B
CHARGE BATT	32	1A	1B
RESET	28	1A	1B
PRESET	29	1A	1B
PRNF	30	1A	1B

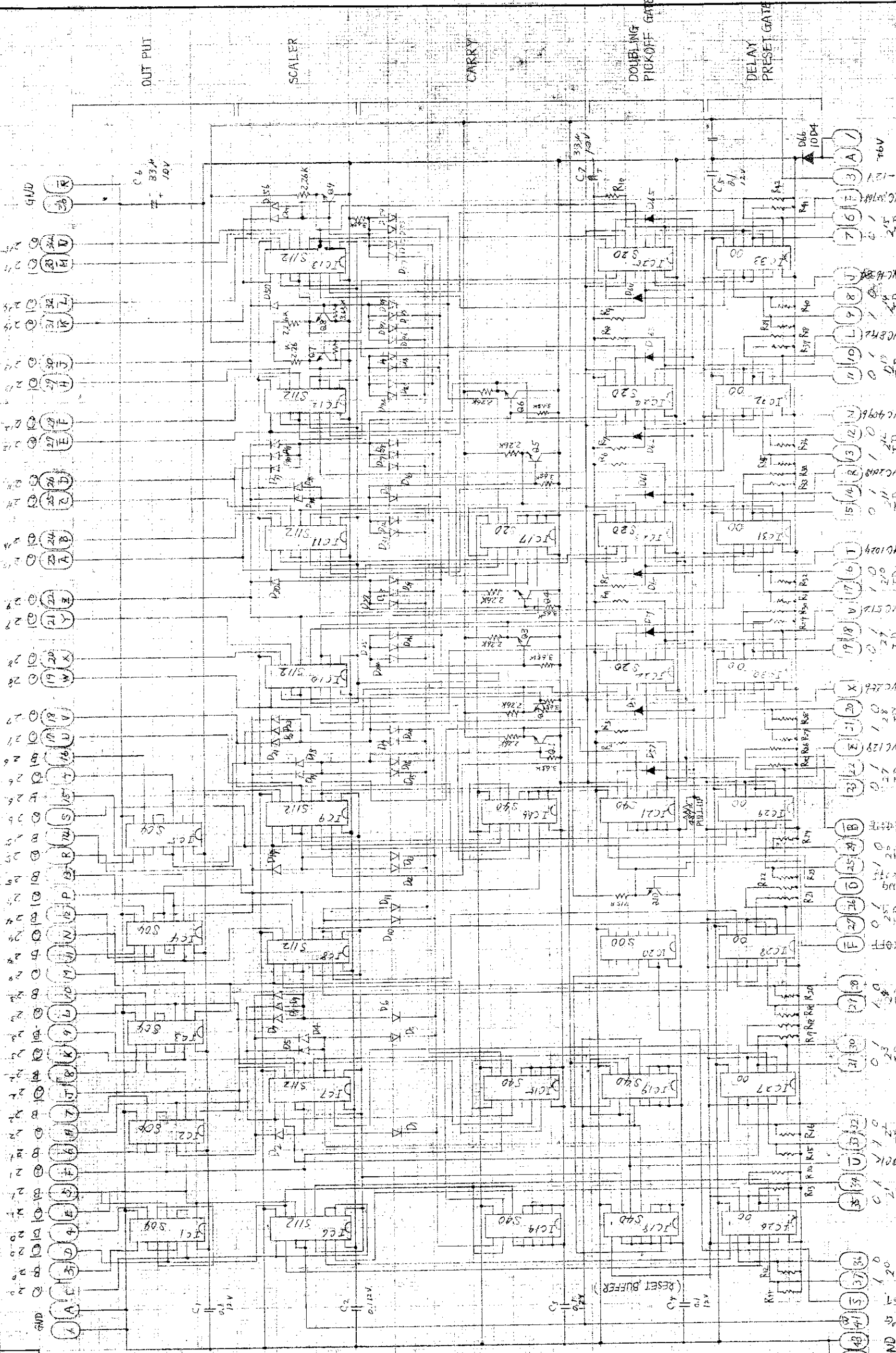
DL1025



日本原子力研究所		作番	RE.
総称	DL1025	名称	PC-55
名称	シフトレジスタ	製図	DL1025
製図	54	設計	
水	31	検	
検	31	図	

3	50	D1-D26 = 51212
2	39	Q1-Q3 = 7646
1	11	R1-R39 = 10K
IC		
Q		
D		
C		
R		
I		
C		

DL1026



日本原子力研究所		作番	RE.
総称	91ムア+71ム+71	名称	ジャンボスケーラ
製図	設計	製図	DL1026
承認	検印	図番	FC-B6
7/4 11		50.9.30	

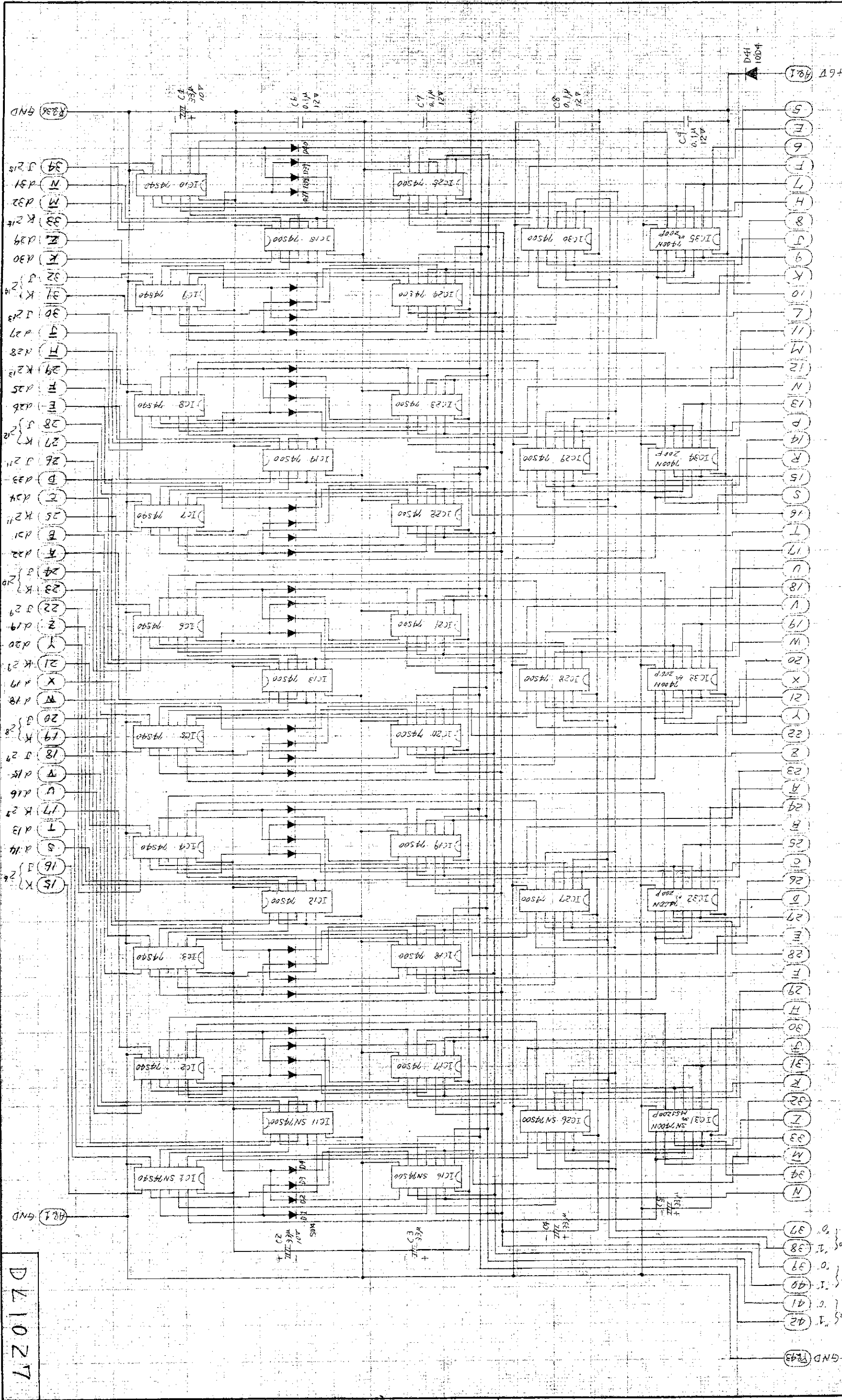
C	8	2N3646
R	42	R1-R14 470, 100, 10k, 20k
D	66	D1-D12 56, 1S121Y
I	33	D57-D65 1S953

FAST PICKOFF
KUNSHING PICKUP
ACTIVE GATE

東海G250

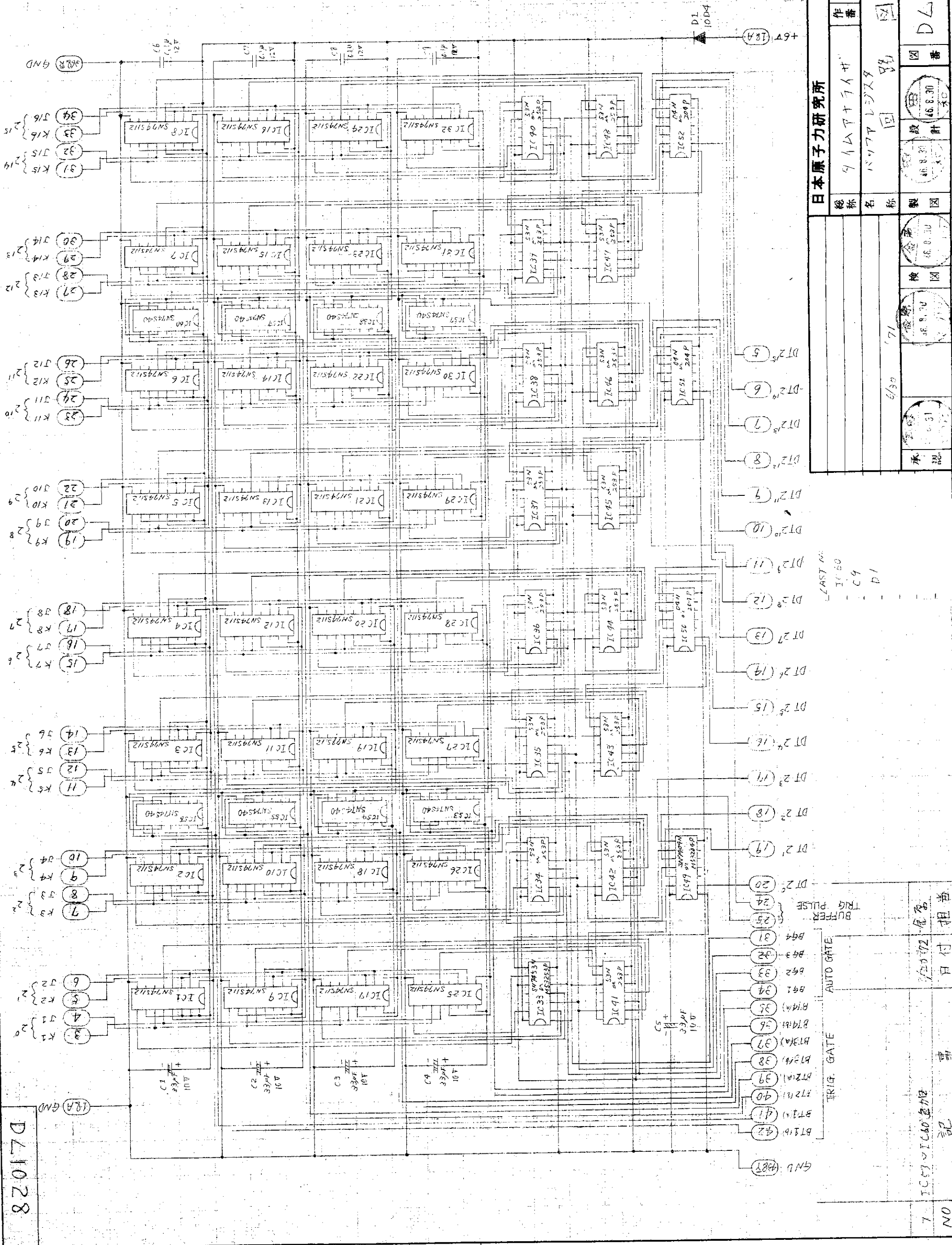
日本原子力研究所

イチハラ商会
-89-90-



DL1027

日本原子力研究所		作番	RE.
名称		4ビットパラライザ	
製図		田中 隆夫	
検図		田中 隆夫	
承認		田中 隆夫	
図番		DL1027	
回路図		(PC-B7)	
備考		7/29 7/1	
LAST N.		IC35	
		E42 (E1-1146:1124)	
		C7	



D71028

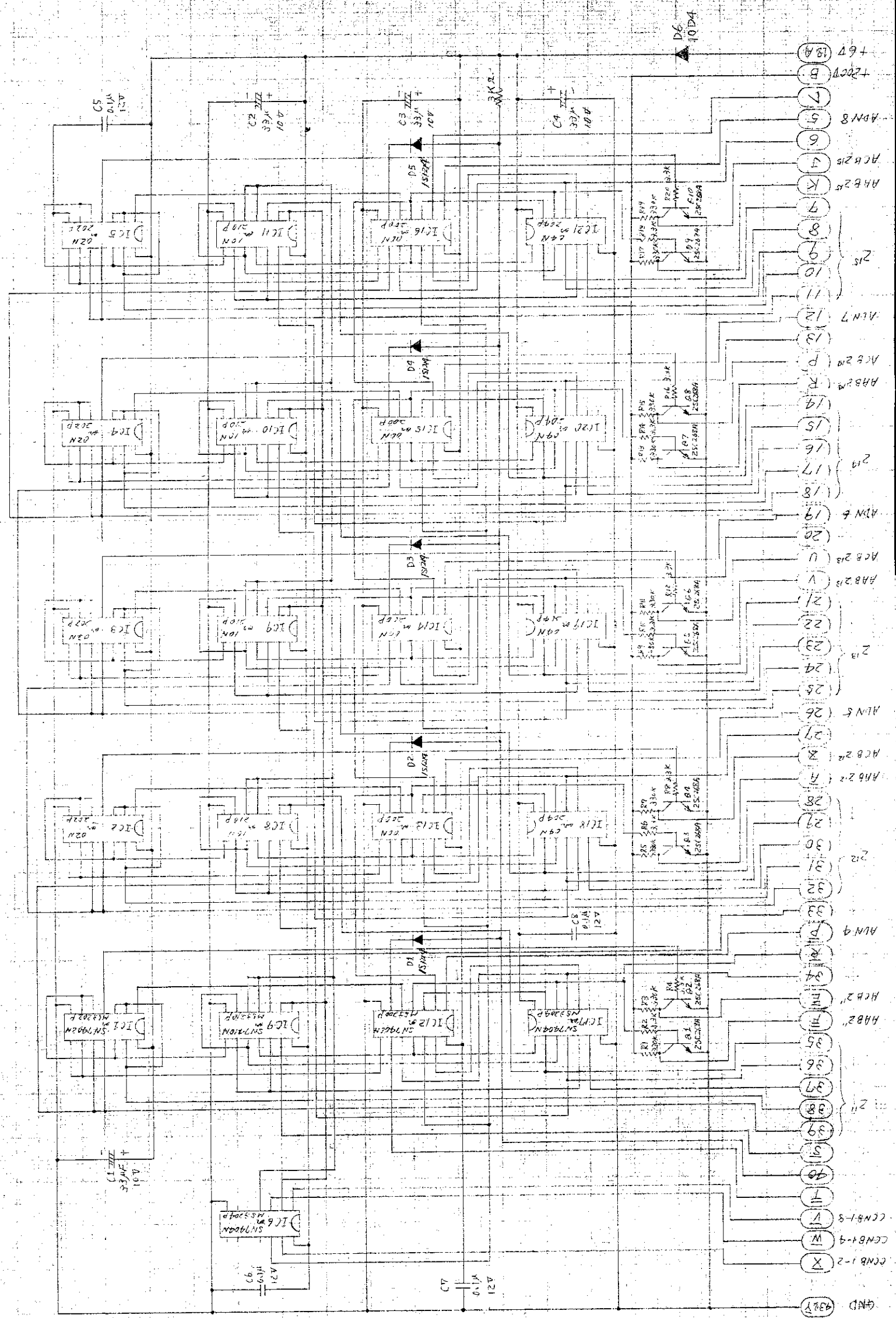
日本原子力研究所

作番	RE.
名称	74180 16ビット並列加算器
製図	図 (PC-B8)
図番	D71028
設計	46.8.30
検図	46.8.30
承認	46.8.31

LAST NO.
IC60
C4
D1

7	IC74180 16ビット並列加算器	付担
NO		記

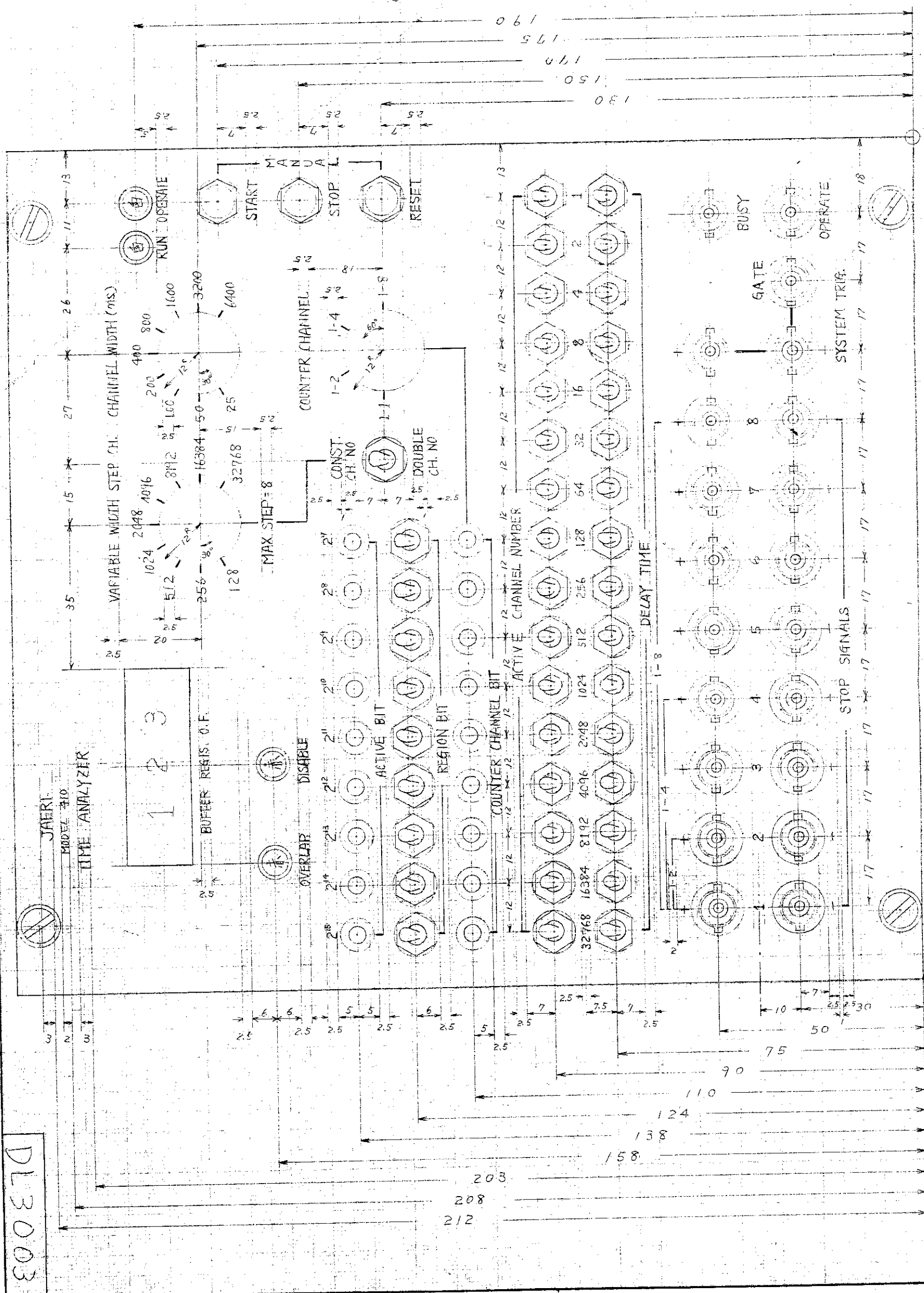
D41030



- 18A +6V
- 18B +200V
- 5 ADN8
- 6 ACB215
- 7 AHB25
- 8
- 9
- 10
- 11
- 12
- 13
- 14 ACB215
- 15 AHB25
- 16
- 17
- 18
- 19 ADN8
- 20
- 21 ACB215
- 22
- 23
- 24
- 25
- 26
- 27
- 28
- 29 AHB25
- 30
- 31
- 32
- 33
- 34
- 35
- 36
- 37
- 38
- 39
- 40
- 1 CNB1-5
- 2 CNB1-4
- 3 CNB1-2
- 4 GND

日本原子力研究所	
RE.	作 者
タイトル 「パルサー制御装置」	
図 番 46.8.30	設計 46.8.30
製 図 46.8.30	製 図 46.8.30
(PC-BIO-B11)	
D41030	
NO	NO

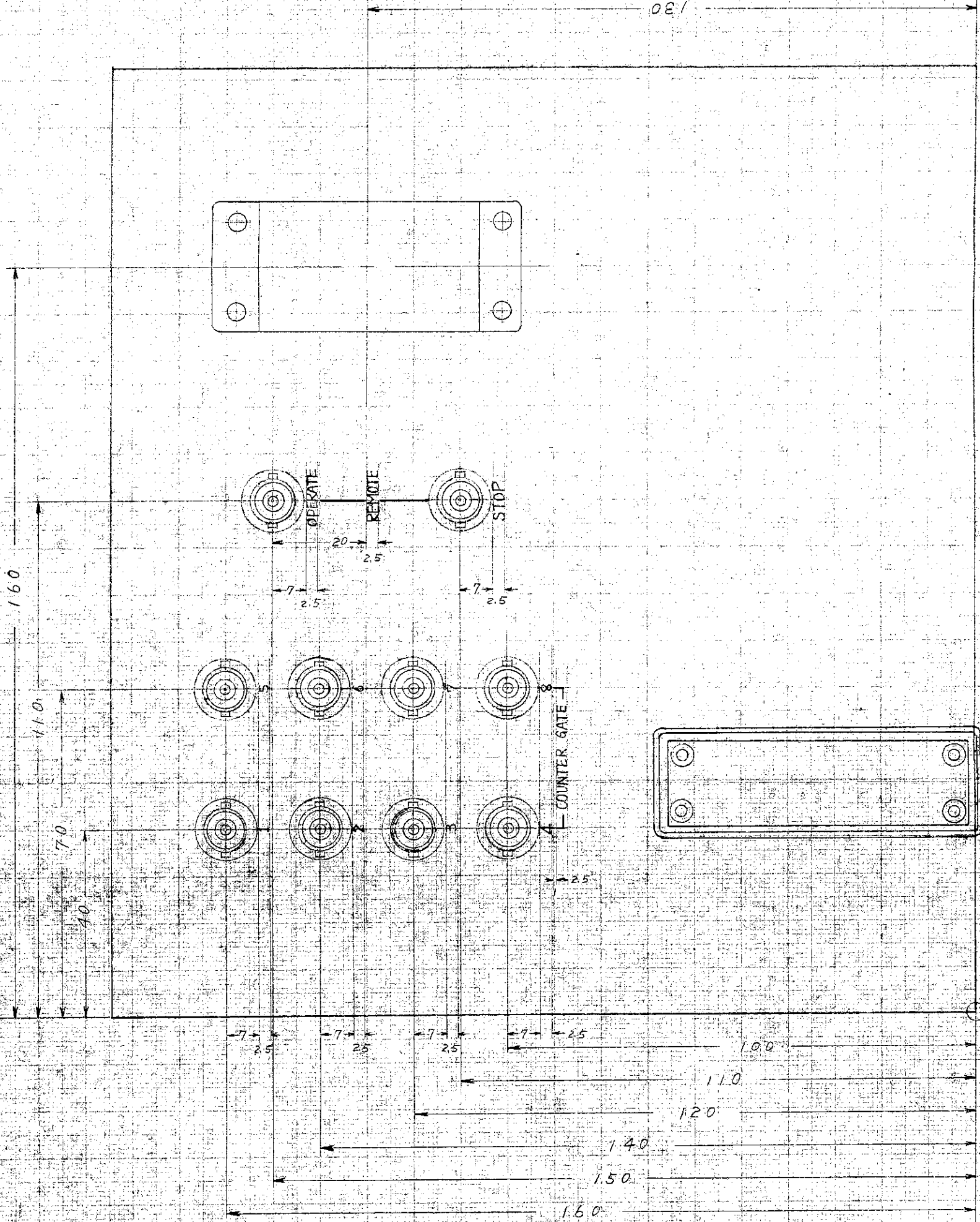
DL3003



- (注) 1. 文字の彫刻は黒色を要
2. 文字の太さ
2mm : 0.3
2.5mm : 0.3
3mm : 0.4
JAERI : 0.5
 : 0.4
3. 彫刻文字の入りは比尺で寸法
とす。
4. BUFFER REGIS. O.F. の取付位置
及び彫刻位置は取付台仕様
とす。

日本原子力研究所	
総称	タイムアナライザ
名称	タイムアナライザ部品の取付、彫刻図
製図	48.8.30
設計	48.8.30
図番	DL3003

DL3004



日本原子力研究所		作番	RE
総称	タイムアライサ		
名称	リヤパネル部局配置及び彫刻図		
製図	製	計	図
	46.8.30	和	知
検図	46.8.30	和	知
承認	8/23 '71		
図番			DL3004

日本原子力研究所

東海C.250

イチハラ商會納
101-102