

JAERI-M

7786

“Micro-8” マイクロ・コンピュータ・
システム

1978年8月

八木 秀之・中原 嘉則・山田 孝行・竹内 紀男
小山 謹二

日本原子力研究所
Japan Atomic Energy Research Institute

この報告書は、日本原子力研究所が JAERI-M レポートとして、不定期に刊行している研究報告書です。入手、複製などのお問い合わせは、日本原子力研究所技術情報部（茨城県那珂郡東海村）あて、お申しこしてください。

JAERI-M reports, issued irregularly, describe the results of research works carried out in JAERI. Inquiries about the availability of reports and their reproduction should be addressed to Division of Technical Information, Japan Atomic Energy Research Institute, Tokai-mura, Naka-gun, Ibaraki-ken, Japan.

“Micro-8”マイクロ・コンピュータ・システム

日本原子力研究所東海研究所原子炉工学部

八木 秀之・中原 嘉則⁺・山田 孝行⁺⁺・竹内 紀男⁺⁺⁺

小山 謹二

(1978年7月5日受理)

“Micro-8”マイクロ・コンピュータ・システムは、各種計測器と大型計算機を含む計算機群とを有機的に接続するためのデータ交換網を形成するために開発され、パケット交換器あるいは、端末用コントローラとして利用されている。Micro-8システムは、INTEL社 8080型ワンチップ・プロセッサを使用したCPUボードを含め、10種類の基本回路ボードとインタフェイス・ボードから成り立っている。

CPUの構造、BUSの構造、割込み制御、基本回路ボード、およびインタフェイスについて、回路ブロック図を示して解説する。基本I/O、デジタルI/Oボード、および回線アダプタの操作について、割込要因ステータス、I/Oコマンド、I/Oマスク、データ・レジスタ等の規約と共に詳述する。回路図面、Intel-8080の資料、BUS結線表、I/Oアドレス・マップ、アドレス・セレクタの結線表、インタフェイス接続法など、ハードウェアを利用するのに必要な資料を附録に集録した。

+) 原子炉化学部

++) 計算センター

+++) アイソトープ事業部

"Micro-8" Micro-computer System

Hideyuki YAGI, Yoshinori NAKAHARA⁺, Takayuki YAMADA⁺⁺,
Norio TAKEUCHI⁺⁺⁺ and Kinji KOYAMA
Division of Reactor Engineering, Tokai Research Establishment,
JAERI

(Received July 5, 1978)

The micro-computer Micro-8 system has been developed to organize a data exchange network between various instruments and a computer group including a large computer system. Used for packet exchangers and terminal controllers, the system consists of ten kinds of standard boards including a CPU board with INTEL-8080 one-chip-processor.

CPU architecture, BUS architecture, interrupt control, and standard-boards function are explained in circuit block diagrams. Operations of the basic I/O device, digital I/O board and communication adapter are described with definitions of the interrupt ramp status, I/O command, I/O mask, data register, etc. In the appendixes are circuit drawings, INTEL-8080 micro-processor specifications, BUS connections, I/O address mappings, jumper connections of address selection, and interface connections.

Keywords: Micro-computer, Interface, Data Exchange Network, CPU architecture, Processor, Communication, Circuit block

+) Div. of Reactor Chemistry
++) Computing Center
+++) Div. of Radioisotope Production

目 次

1. まえがき	1
2. Micro-8の概要	1
3. Micro-8の構造	3
3.1 CPUの構造	3
3.2 BUSの構造	3
3.3 割込制御	5
4. 基本回路ボードとインタフェース	7
4.1 RAMボード	7
4.2 P-ROMボード	7
4.3 BASIC I/O-1	7
4.4 BASIC I/O-2 (CMT, OKITYPERS)	8
4.5 DI・DOボード	8
4.6 コミュニケーション・アダプタ(CA)	10
5. I/O操作	13
5.1 BASIC I/O-1の操作	13
5.2 BASIC I/O-2の操作	13
5.3 DIの操作	17
5.4 DOの操作	18
5.5 CAの操作	19
参考文献	23
附録A Micro-8回路図面	25
附録B INTEL 8080 マイクロ・プロセッサ資料	59
B-1 機能ブロック図	59
B-2 ステータス・ビットの定義	59
B-3 CPUステータス遷移図	60
B-4 インストラクション・サイクル・タイミング・チャート	61
B-5 INTEL 8080 インストラクション・リスト	62
附録C Micro-8 BUS CONNECTION	65
附録D ベクター・アドレス・テーブル	66
附録E I/O・アドレス・マップ	67
附録F RAMボードのジャンパー結線表とIC配置表	72
附録G P-ROMボードのジャンパー結線表とIC配置表	74
附録H DI CONNECTION	76
附録I DO CONNECTION	77
附録J CA CONNECTION	78

CONTENTS

1. Preface	1
2. Introduction	1
3. Micro-8 system architecture	3
3.1 CPU architecture	3
3.2 BUS architecture	3
3.3 Interrupt control	5
4. Standard circuit boards and interface	7
4.1 RAM board	7
4.2 P-ROM board	7
4.3 BASIC I/O-1	7
4.4 BASIC I/O-2 (CMT, OKI TYPED)	8
4.5 DI·DO board	8
4.6 Communication Adapter (CA)	10
5. I/O operation	13
5.1 BASIC I/O-1 operation	13
5.2 BASIC I/O-2 operation	13
5.3 DI operation	17
5.4 DO operation	18
5.5 CA operation	19
References	23
Appendix A Micro-8 circuit drawings	25
Appendix B Specifications of INTEL-8080 micro-processor	59
B-1 Functional block diagram	59
B-2 Status bit definitions	59
B-3 CPU status transition diagram	60
B-4 Instruction cycle timing chart	61
B-5 Intel-8080 instruction list	62
Appendix C Micro-8 BUS connections	65
Appendix D Vector address table	66
Appendix E I/O address map	67
Appendix F RAM board jumper connections and IC location	72
Appendix G P-ROM board jumper connections and IC location	74
Appendix H DI connections	76
Appendix I DO connections	77
Appendix J CA connections	78

1. ま え が き

当初、Micro-8型マイクロ・コンピュータ・システムは、「ガンマ線スペクトル測定センタ」・システムの中継計算機(FACOM U-200)と端末システムとを接続するためのI/Oマルチプレクサとして使用するために開発したものである。その後、「小型計算機整備計画委員会」における検討の結果、50年10月、センタ大型計算機のリブレースに伴って、大型計算機を含む各種計算機と端末機とを有機的に接続してコンピュータ・ネットワークを構成することになった。この目的のために、データ部同期式240Kbps、コントロール部調歩式30Kbps、路線は1局当り4線式の回線アダプタ(CA)を開発して、PEX(パケット交換器)を構成し、自律分散型のデータ交換網(PEXネットワーク)を形成した。¹⁾ タイプライタなどの基本入出力装置の他に、計測器あるいは計算機などを接続するために32ビットの並列入力/出力用のインタフェース(DI/DOボード)を用意した。これらMicro-8型マイクロ・コンピュータのハードウェアは、機器に組込むことを前提として、極力簡素化した設計になっている。従って、汎用の計算機としての利用には適していないが、オンライン・システムの端末コントローラ、計測器のデータ集録、自動化測定などの開発段階での利用に適している。将来、システムの拡張を予定している場合、システムの構成に柔軟性を持たせたい場合などには、エレクトロニクス課で開発したMicro-CAMACシステム²⁾を利用することを薦める。Micro-8を使って開発したプログラムは、I/O部分の書換えによってMicro-CAMACシステムでも利用している。Micro-8、Micro-CAMAC、あるいは他のINTEL8080を利用したシステムのプログラム開発のために、FACOM U-200に対する8080用アセンブラが開発されている。このアセンブラは、各社各様の表現法をとるアセンブラ・ソースを最小限の書換えで処理できる様に工夫されている。ガンマ・センタ・システムの各地区ステーションのFACOM U-200に組込まれていて、開放的に利用されている。8080アセンブラの使用マニュアルは、近日中に、発行される予定である。

2. Micro-8の概要

半導体集積回路の製造技術の進歩によって、1973年頃から、ミニコンピュータのセントラル・プロセッサと同じ程度の機能をもつ論理回路ブロックが、1個あるいは、数個のチップで構成される、いわゆる、マイクロ・プロセッサが製造されるようになった。1974年には、米国INTEL社より、現在使用しているモデル(I8080A)の原形が試験的に供給され、実用化の先駆けとなった。INTEL社の8080型は、現在、市場の大半を占めていると共に、セカンド・ソースとしてNEC8080、三菱M58710などが利用でき、供給が最も安定している機種である。

マイクロ・コンピュータの特質は、ミニコンピュータがシステムとして供給されるのに対し

1. ま え が き

当初、Micro-8型マイクロ・コンピュータ・システムは、「ガンマ線スペクトル測定センタ」・システムの中継計算機(FACOM U-200)と端末システムとを接続するための、I/Oマルチプレクサとして使用するために開発したものである。その後、「小型計算機整備計画委員会」における検討の結果、50年10月、センタ大型計算機のリブレースに伴って、大型計算機を含む各種計算機と端末機とを有機的に接続してコンピュータ・ネットワークを構成することになった。この目的のために、データ部同期式240Kbps、コントロール部調歩式30Kbps、路線は1局当り4線式の回線アダプタ(CA)を開発して、PEX(パケット交換器)を構成し、自律分散型のデータ交換網(PEXネットワーク)を形成した。¹⁾タイプライタなどの基本入出力装置の他に、計測器あるいは計算機などを接続するために32ビットの並列入力/出力用のインタフェイス(DI/DOボード)を用意した。これらMicro-8型マイクロ・コンピュータのハードウェアは、機器に組込むことを前提として、極力簡素化した設計になっている。従って、汎用の計算機としての利用には適していないが、オンライン・システムの端末コントローラ、計測器のデータ集録、自動化測定などの開発段階での利用に適している。将来、システムの拡張を予定している場合、システムの構成に柔軟性を持たせたい場合などには、エレクトロニクス課で開発したMicro-CAMACシステム²⁾を利用することを薦める。Micro-8を使って開発したプログラムは、I/O部分の書換えによってMicro-CAMACシステムでも利用している。Micro-8、Micro-CAMAC、あるいは他のINTEL8080を利用したシステムのプログラム開発のために、FACOM U-200に対する8080用アセンブラが開発されている。このアセンブラは、各社各様の表現法をとるアセンブラ・ソースを最小限の書換えで処理できる様に工夫されている。ガンマ・センタ・システムの各地区ステーションのFACOM U-200に組込まれていて、開放的に利用されている。8080アセンブラの使用マニュアルは、近日中に、発行される予定である。

2. Micro-8の概要

半導体集積回路の製造技術の進歩によって、1973年頃から、ミニコンピュータのセントラル・プロセッサと同じ程度の機能をもつ論理回路ブロックが、1個あるいは、数個のチップで構成される、いわゆる、マイクロ・プロセッサが製造されるようになった。1974年には、米国INTEL社より、現在使用しているモデル(I8080A)の原形が試験的に供給され、実用化の先駆けとなった。INTEL社の8080型は、現在、市場の大半を占めていると共に、セカンド・ソースとしてNEC8080、三菱M58710などが利用でき、供給が最も安定している機種である。

マイクロ・コンピュータの特質は、ミニコンピュータがシステムとして供給されるのに対し

て、素子として供給されるプロセッサをユーザ、またはOEM (Original Equipment Manufacture) がマイクロ・コンピュータの形に組立て使うことにある。従って、基本的には同じ機能を持つが、形態の異なる各種のマイクロ・コンピュータが構成されることになる。当初、汎用の形でプリント配線されたカードが、安定して供給される見通しが立たなかったために、将来において、商業的に供給されるハードウェアを利用することを前提として、オーソドックスな構造のマイクロ・コンピュータ (Micro-8) を開発した。Micro-8のハードウェアは、ミニコンピュータ、I/Oデバイス、計測器、回線などの相互間を接続するためのフレーム・ウェアを構成するために利用されている。

Micro-8のハードウェアは、汎用ミニコンピュータを模した形態をとらずに、機器組込みに適する様に、小形のカード (174mm×241mm) を採用するとともにハードウェアの簡素化を計った。この様な考え方から、コンソール・パネルを持った電源・筐体は用意されていない。Micro-8は、機能的に広く適用できる様に設計されており、次の様な特徴を持っている。

- ① I/O BUSを廃して、DMA (ダイレクト・メモリ・アクセス) が可能なBUS構造を持っている。
- ② 8レベルの優先割込機能を持つとともに、各I/O側にランプ・ステータス・レジスタを設けて割込要因の数を拡張した。
- ③ I/Oコントロールは、コマンド/ステータスを定義して、I/Oコントロールの手順を定式化した。
- ④ 各インタフェイス・カードの汎用性を高くして、カードの種類を少なくした。
- ⑤ カードとデバイスとの結線において、ケーブル・コネクタを廃して、各カードのマザーボードの反対側からプリント・コネクタを用いて結線する方法をとった。

Micro-8の標準ボードは、CPUボード、メモリ・ボード2種、基本I/Oボード3種、デジタルI/Oボード2種、回線アダプタ・ボード2種の合計10種類が用意されている。この他に、メンテナンス、あるいはデバッグ用に外部に置いて使用するコンソール・ボックスが用意されている。これらの回路図は附録Aを参照されたい。

Micro-8のソフトウェア・サポート・システムには、セルフ・アセンブラの他にFACOM U-200を用いるアセンブラが開発されている。また、リアル・タイム・システムを構成するために、マイクロ・コンピュータに適した、簡便で効率のよいリアル・タイム・モニタが開発されている。³⁾これは、PEXのコントロール・プログラムの心臓部として使用されるとともに、Micro-8あるいは、CAMAC型の端末システムの管理プログラムとしても使用されている。他に、GPL⁴⁾を用いて、8080命令を生成させるために、仮想レジスタ方式による16ビットの演算パッケージ、GPL80が用意されている。このGPLを開発用言語として、8080用のINTERPRETER (GLASS言語) が開発された。⁵⁾GPLによる8080命令の生成は、冗長度が高く、改善すべき問題が残っている。ソース・プログラムを有効に利用するためにも、高級言語による機械語生成の手法が改善されることが望まれる。Lawrence Livermoreで開発された8080 BASICが入手でき、Micro-8用、Micro-CAMAC用に変換されて利用できるようになっている。

3. Micro-8 の構造

3.1 CPUの構造

CPUカードは、INTEL社8080型マイクロ・プロセッサとタイミング回路、割込制御回路、BUS制御回路などの外部回路とから構成されている。CPUのブロック図をFig.1に示す。INTEL8080は、基本機能として、1レベル、8ベクターの割込機能を持っている。割込制御回路は、優先順位判定回路を設けて、8つのベクターに優先順位を付け、割込機能を8レベルに拡張している。タイミング回路は、INTEL8080を動作させるのに必要なクロック信号を発生させるとともに、メモリーへのアクセスと同期をとるために、READY信号をクロックと同期させている。INTEL8080では、プロセッサが外部回路とのアクセスを制御するために、SYNC信号と同期してプロセッサのステータス信号を出している。Micro-8では、BUS方式をとっているので、BUS制御回路は、このステータス信号をデコードして、READ、WRITEなどのBUS制御信号を発生している。BUSライン上で、DMAを行える様に、プロセッサのHOLD、HLDA信号をBUS上に出している。DMAを行う場合には、I/Oインタフェイス側で、HREQを出してHACKと同期をとってDMAを制御する必要がある。

プロセッサ8080の構造、動作などについては、INTEL社から出版されているユーザー・マニュアルに詳述されている⁶⁾。8080を利用する上で必要な、機能ブロック図、ステータス・ビットの定義、インストラクション・サイクル・タイミング・チャートなどの資料は末尾の附録Bに転載した。

3.2 BUSの構造

Micro-8のBUS構造は、Fig.1 CPUのブロック図に示す、CPUと接がるアドレス、データ、割込のラインおよび制御信号ラインとから成る基本BUS48本と、他に、I/Oインタフェイスのための、拡張用のBUSラインが48本用意されている。Micro-8のBUSには、データ転送の際にマスター、スレーブの機能、あるいはBUS優先使用の機能を持っていない。DMAを行う場合には、BUS REQUEST、BUS GRANT(DEC社、PDP-11の例)に類似した機能を持つHREQ(Hold Request)、HACK(Hold Acknowledge)信号を用いて、強制的にプロセッサの動作を中断させてメモリーにアクセスする。従って、DMAを多重に行いたい場合には、DMAコントローラの側に時分割型の多重制御回路を必要とする。PEX(Packet Exchanger)では、全二重型の回線機能を持たせるために、全二重型のDMA制御を行っている。さらに、多チャンネルの回線を制御するために、拡張BUSを使って、チャンネル型I/Oを構成している。基本BUSの定義とともに、PEXにおける拡張BUSの規約を附録Cに示す。

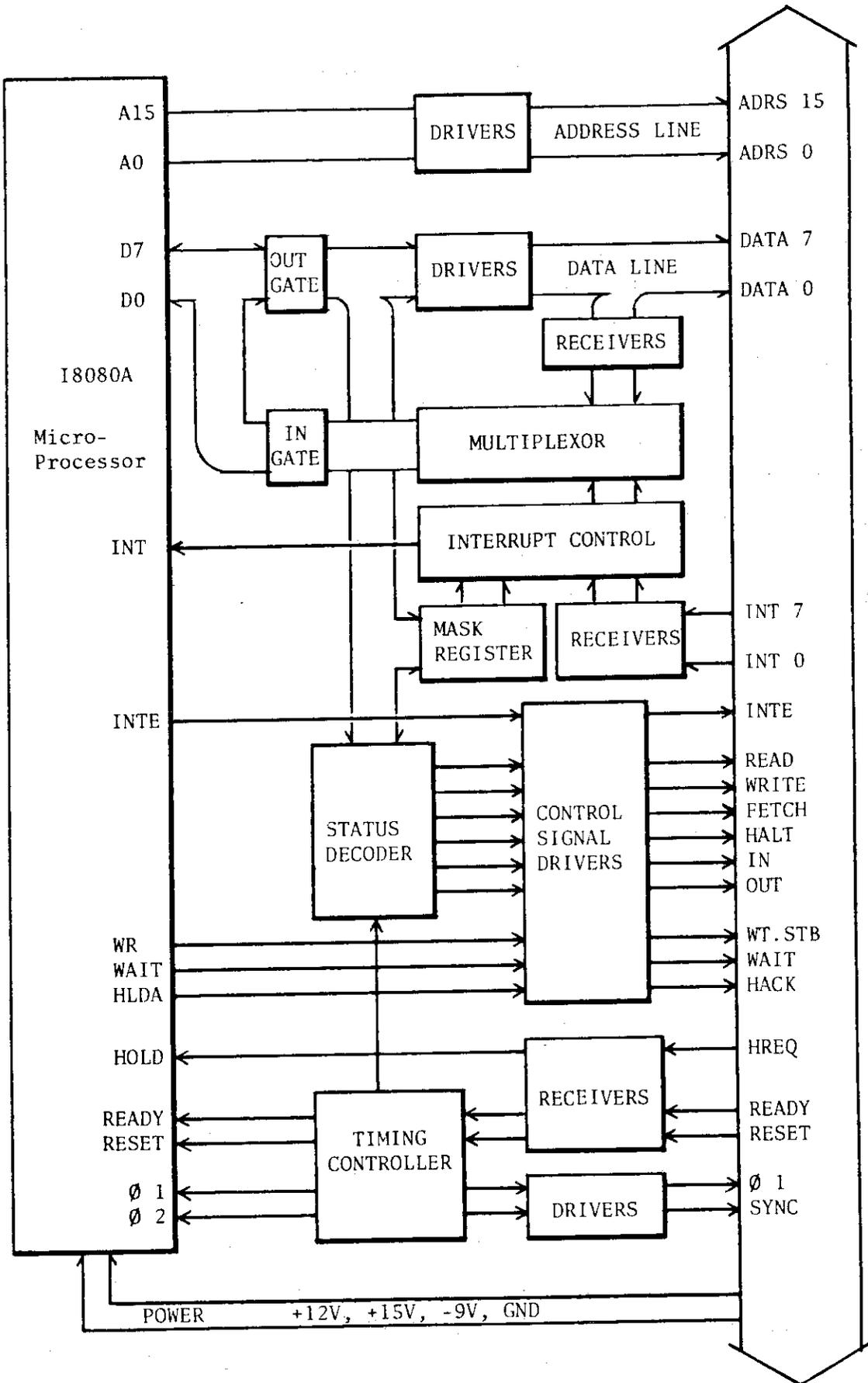


Fig. 1 Block diagram of CPU board.

BUS上の信号の論理レベルは、LOWレベルを論理真値とする負論理をとっている。BUSの電氣的接続条件は、送信側をSN7438または相当のオープンコレクタ型とし、受信側をDM8837または相当品とする。BUSはVccに270Ω、GNDに390Ωで終端されているものとする。各カードがBUSより信号を受ける場合は、必ず、ファン・インが1単位になる様にレシーバーを設けることとする。

3.3 割込制御

BUSラインを通してのI/Oによる割込要求に対して、8レベルの優先順位を与える割込制御回路が用意されている。Fig.2にその概念図を示す。割込制御回路は、各レベルに対応するマスク・レジスタとマスク・ゲート、優先順位判定回路、およびベクター・アドレス生成回路から構成されている。マスク・レジスタはREAD/WRITEでき、各レベルに対応するビットをセットすることによって任意のレベルをマスクすることができるとともに、マスク状態を調べることもできる。割込要求が発生して、そのレベルがマスクされていないか、または、マスクが解除されると、優先順位判定回路の制御のもとに、ベクター・アドレス生成回路により、ベクター・アドレスが発生する。プロセッサが割込を受付ける（INTEを発信する）と、マルチプレクサが切換わり、ベクター・アドレスを合成したRST (Restart)命令がFETCHされる。各レベルに対応するベクター・アドレスを附録Dに示す。同一レベルにおける割込要因（ランプ・ステイタス）を表わすレジスタは、各インタフェイス側に置き、ソフトウェアで解析する。レベルに対応するマスクの他に、同一レベル内で、割込要因毎にマスク・レジスタを持っており、ビット対応で割込要因をマスクすることができる。従って、Micro-8では、3段階の割込制御ができる。即ち、割込の全面的禁止/解除はDI (Disable Interrupt), EI (Enable Interrupt)命令で、レベル毎の割込禁止/解除はCPUのマスク操作で、同一レベル内での割込禁止/解除はインタフェイスのランプ・ステイタス・マスクの操作で行うことができる。インタフェイスのランプ・ステイタスのマスク・レジスタのアドレスと定義は附録EのI/Oアドレス・マップに示してある。

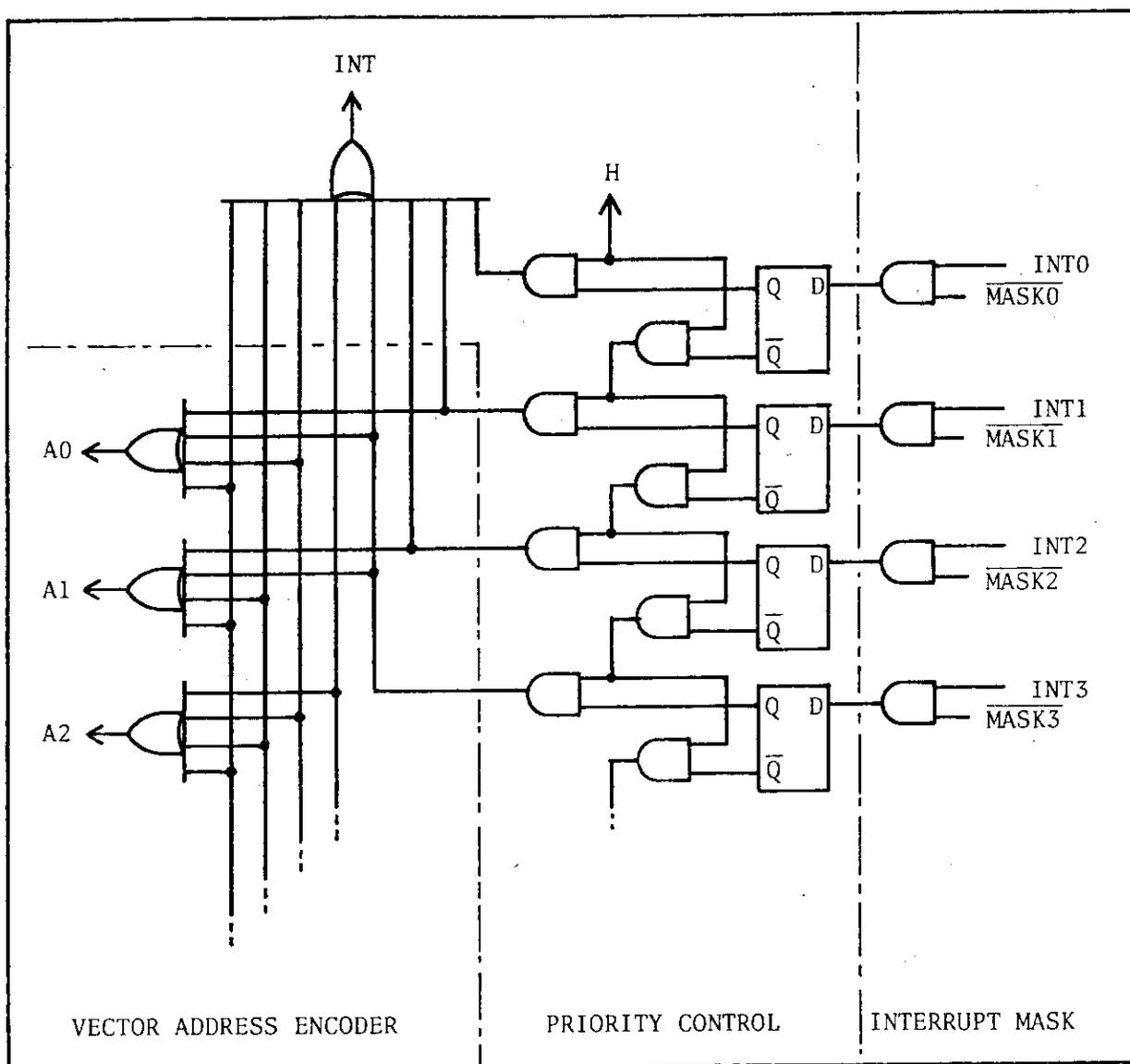


Fig. 2 Functional diagram of interrupt control.

4. 基本回路ボードとインタフェイス

4.1 RAMボード

RAMボードは、容量1Kビット、16ピンのIC (Mostek 40102P6,あるいはフェアチャイルド2102-2)を32個用いて、4Kバイトの容量を持っている。RAMボードには、アドレス指定部と、メモリー・サイクル指定部とがあり、ジャンパー結線によって選択できる様になっている。アドレス指定部のジャンパー結線によって、 $0000_{16} \sim F000_{16}$ まで4Kバイト単位で選択できる。メモリー・サイクル指定部の結線によって、0~2.5 μ 秒まで0.5 μ 秒単位で選択できる。アドレス指定部とメモリー・サイクル指定部とのジャンパー結線表を附録F-1に示す。RAMボード上のRAM-ICは、8個1Kバイトを1組として、4組実装できる様になっているので、1Kバイトを単位として、必要な量だけ実装することができる。RAMカードのICの配置表を附録F-2に示す。

4.2 P-ROMボード

P-ROMボードは、256バイト、24ピンのIC (INTEL1702Aまたは相当品)を使用して、16個で4Kバイトのメモリーを構成している。P-ROMボードもRAMと同様に、アドレス指定部とメモリー・サイクル指定部とを持ち、ジャンパー結線によって選択できるようになっている。アドレス指定部のジャンパー結線によって $0000_{16} \sim F000_{16}$ まで4Kバイト単位で選択できる。メモリー・サイクル指定部のジャンパー結線によって、RAMと同様に0~2.5 μ 秒まで0.5 μ 秒さみで指定できる。INTEL社1702Aを使用する場合には、1 μ 秒に設定する。アドレス指定部とメモリー・サイクル指定部とのジャンパー結線表を附録G-1に示す。P-ROMの装着は、1個単位(256バイト)に必要な所だけ差込める様になっている。P-ROMボードのIC配置表を附録G-2に示す。

4.3 BASIC I/O-1

BASIC I/O-1は、リアルタイム・クロック、モニタ・コール、およびコンソール・タイプライタのコントローラにより構成されている。このカードは、どのシステムにも必ず実装して、CPUボードに含まれていないリアルタイム・クロックの機能を備えるとともに、システムの開発時、あるいはメンテナンス時に、コンソール・タイプライタを接続できるようにしておく。

クロックは、1MHzの水晶発振を源発振として、ディケイド・カウンタを通して、ジャンパー結線によって、1, 10, 100, 1000m秒に選択できる。BASIC I/O-1は、調歩同期式のテレタイプ型のコントローラを持っている。標準的には、4800bpsに調整され、

カシオ社タイピュータ，モデル500に適合する様になっている。クロック周波数を変えることによって，調歩同期式の汎用のインタフェイスとしても利用できる。BASIC I/O-1の回路ブロック図を，Fig.3に示す。Micro-8では，I/O命令をビット対応で定義することを基本的な規約としているが，BASIC I/O-1では，一部ダミーのREAD, WRITEがI/O命令の働きをするものがある。

4.4 BASIC I/O-2 (CMT, OKI TYPER)

Micro-8には，並列型の接続方式をとるI/Oデバイスに対して，BASIC I/O-2と称するポートを用意している。現在，カセット・テープ装置と，オキ・タイパーの接続に使用している。インタフェイス・カードは，両者，別個に用意されているが，ハードウェア命令は，同類，一群として定義されている。BASIC I/O-2型のインタフェイスの一般的な回路形式をブロック図の形でFig.4に示す。CMTインタフェイス，あるいはOKI TYPER用インタフェイスの具体的な回路については，附録Aに示す回路図を参照されたい。

4.5 DI・DOボード

計測器用の汎用のインタフェイスとして，32ビットの並列入力型インタフェイス(DI)と，32ビット並列出力型インタフェイス(DO)とが用意されている。

両者共に，8ビットの入力または出力ポートを4個持つ他に，種々の形式の計測器との接続が可能な様に考慮されたコントロール信号線が用意されている。コントロール信号は，DI, DO共に，外部割込線(INT)4本，ステータス線(STA)4本，コマンド信号(CMD)あるいは応答信号(ACK)として使える8本の出力信号線を持っている。

DIボードの回路ブロック図を，Fig.5に示す。計測器などの外部装置からデータを取込むタイミングが3種類用意されている。DATA REGISTERにデータを取込む方法は，

- ① 外部からの割込信号，あるいはステータス信号をクロックにとる。
- ② COMMANDをクロックにとる。
- ③ DATA REGISTERを読む時点をクロックにとる。

以上3種をジャンパー線によって選択できる様になっている。データがパルスで与えられる時には，ストローブ信号を割込信号あるいはステータス信号にとり，ストローブのタイミングでデータを取込む①の方法をとる。データがレベルで与えられる時には，②または③の方法をとる。②は標準的な方法で，外部装置からデータ出力が出揃った時点でストローブまたはレディー信号を発信するものとする。CPU側では，ステータスあるいは割込を動機としてプログラムが起動し，外部に対してはレディー信号となるCOMMANDによってデータを取込み，順次読取る。COMMAND信号が外部装置にとって，リセット/スタート信号の意味を持つ場合には，③の方法をとることもある。

プログラム・ステップのON/OFFよりも短いパルス幅のコントロール信号を必要とする時，あるいはプログラムにループを設けて時間幅を持たせるには長過ぎるパルスが必要とする時に

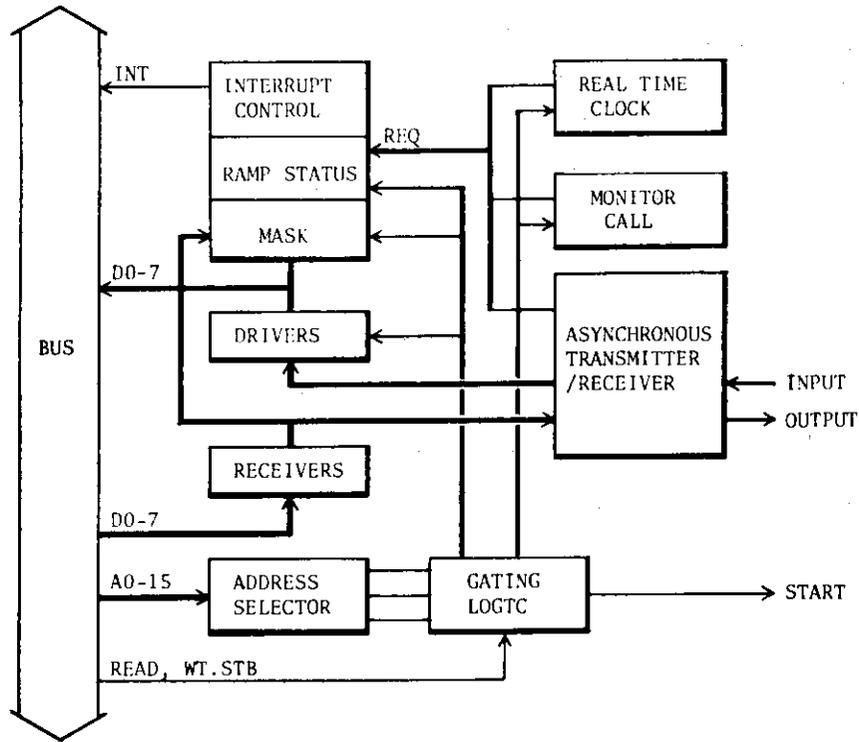


Fig. 3 Block diagram of BASIC I/O-1 for real time clock, monitor call, and console typewriter control.

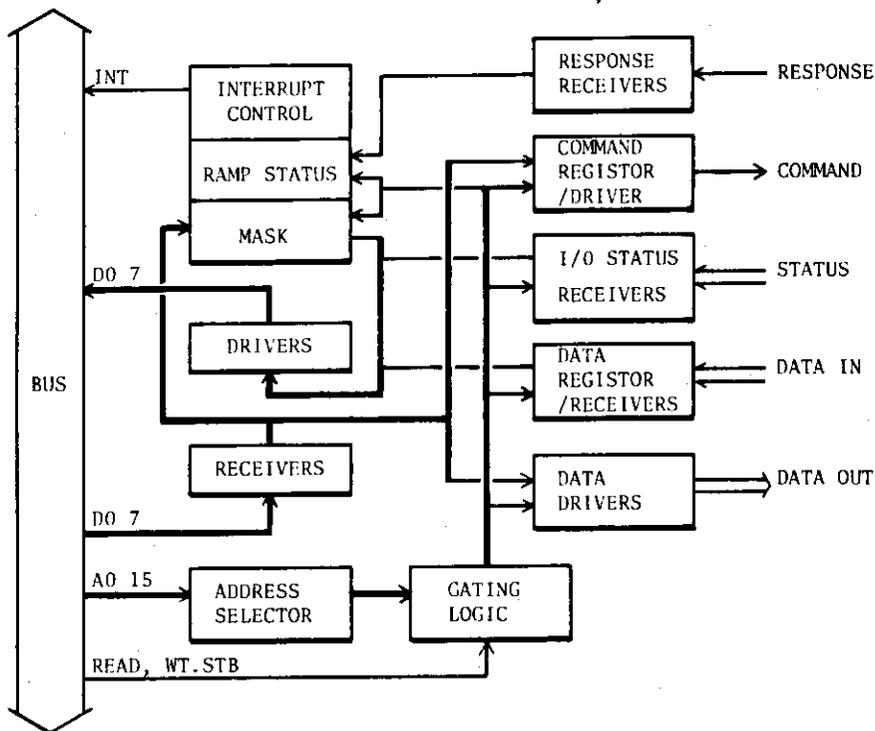


Fig. 4 Block diagram of BASIC I/O-2 for parallel I/O device.

は、モノマルチの時定数を選んで任意のパルス幅にすることができる。

DIボードと外部装置との結線は、80ピンのカード・エッジ・コネクタ(ヒロセ電機製, CR7B-80DA-3.96E(半田付), DS(ラッピング))を用いる。DIのコネクタ結線を附録H-1に示す。

DOボードの回路ブロック図を、Fig.6に示す。DOの回路は、データを出力するタイミングを除くとDIのそれと大要同じである。出力タイミングには、2種類あって、1つは、DATA REGISTERに書込んだ時点で出力される場合であり、1つは、コマンド信号(CMD),あるいは応答信号(ACK)をゲート信号として出力する場合とである。前者は、8ビットずつ、4ポート独立に出力されるが、後者は、32ビットを同時に出力できる。

外部装置が、データ・ストロブ信号を必要とする時には、ソフトウェアでタイミングを作り、コマンド信号をストロブ信号として使うことができる。

DOのコネクタ結線表を附録H-2に示す。

4.6 コミュニケーション・アダプタ(CA)

コミュニケーション・アダプタは、計算センタの大型計算機と実験室等の現場に設置されている各種計算機との相互間を接続し、コンピュータ・ネットワークを構成するために開発したものである。コミュニケーション・アダプタを用いて構成されているPEX(Packet Exchanger),あるいはネットワーク・システム等については、別報で詳細を述べる。

コミュニケーション・アダプタには、並列型(P-CA)と直列型(S-CA)とがある。並列型はFACOM U-200との接続のために用意されたもので最大20mまでしか延長できない。直列型は、東海研構内のネットワークを構成するために用意されたもので、最大2Kmまで中継せずに接続できる。コミュニケーション・アダプタの伝送速度は、並列型ではU-200とMicro-8とのDMAの時間を合した時間を要し、1バイト当り6~8 μ 秒、1パケット(256バイト)では約2m秒で伝送できる。直列型では、データは240Kビット/秒の伝送速度をもち、1パケットは約8m秒で送られる。

コミュニケーション・アダプタは、PEXを構成するために、多チャンネル実装して運用できる様にチャンネル構造をとっている。チャンネルの指定とDMAの制御のためにCAC(Communication Adapter Control)と称するボードがある。CACは、最大8チャンネルのCAを制御できる。CACとP-CAとは1枚構成のボードであるが、S-CAは、データ部とコマンド部との2枚の構成である。CACの回路ブロック図をFig.7に、S-CAの回路ブロック図をFig.8に示す。

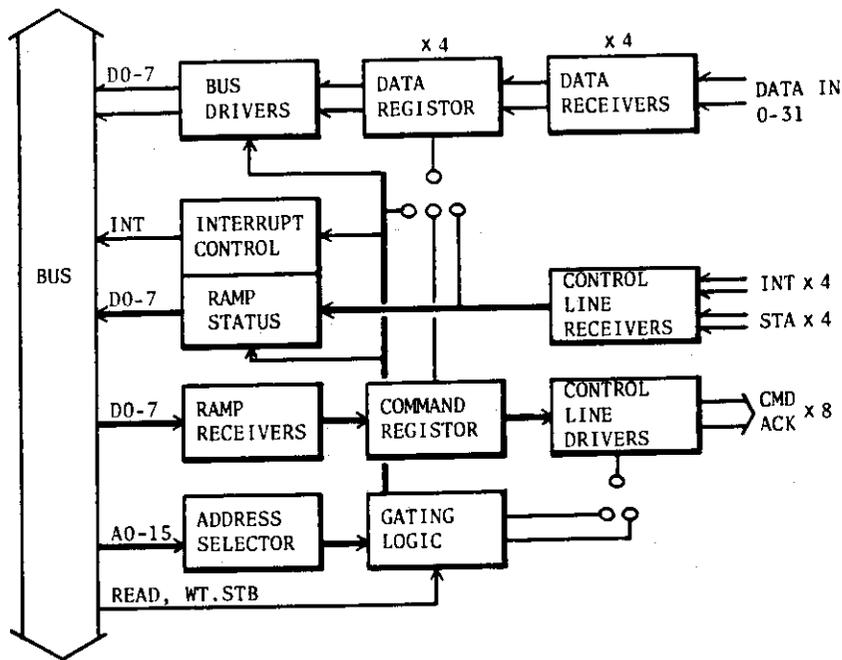


Fig. 5 Block diagram of Digital Input (DI) board receiving 32 lines from instruments.

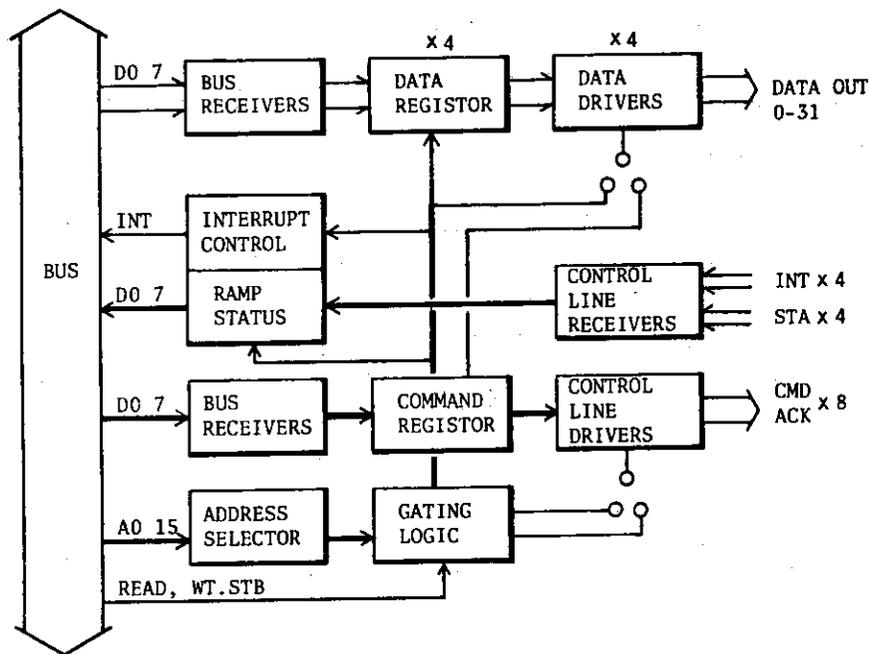


Fig. 6 Block diagram of Digital Output (DO) board transporting 32 lines to instruments.

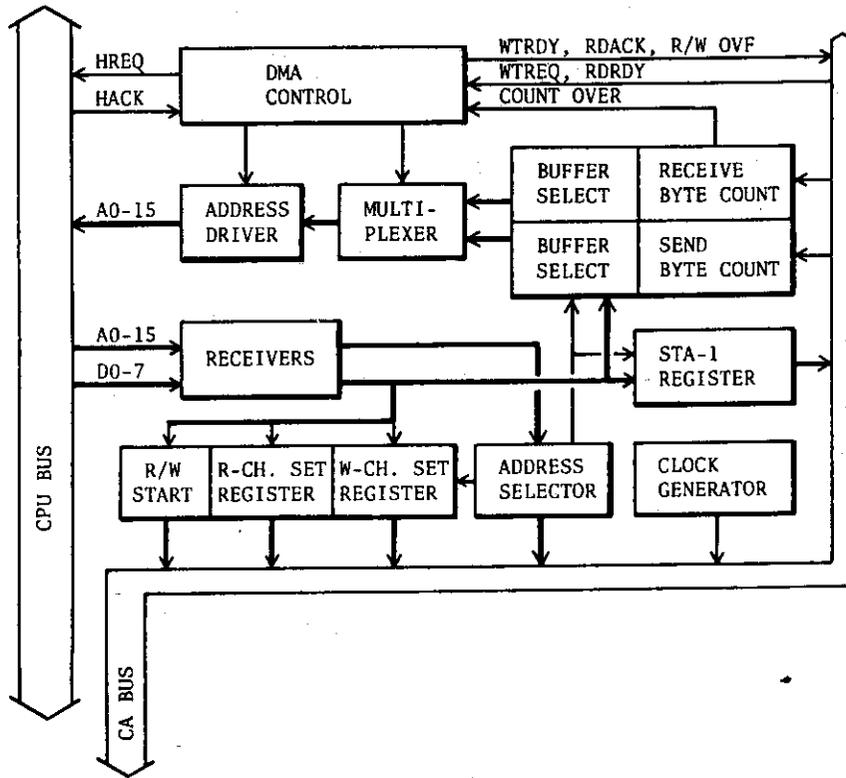


Fig. 7 Block diagram of Communication Adapter Control (CAC).

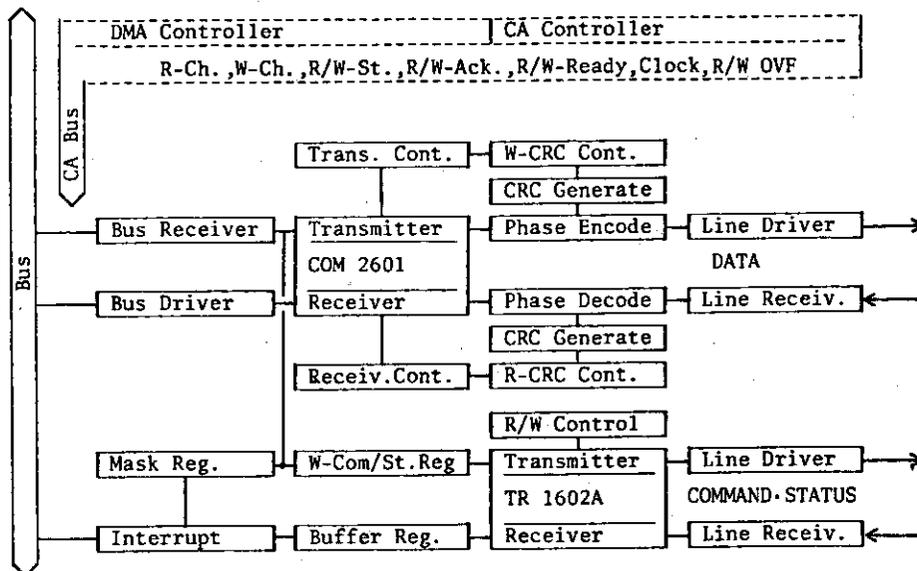
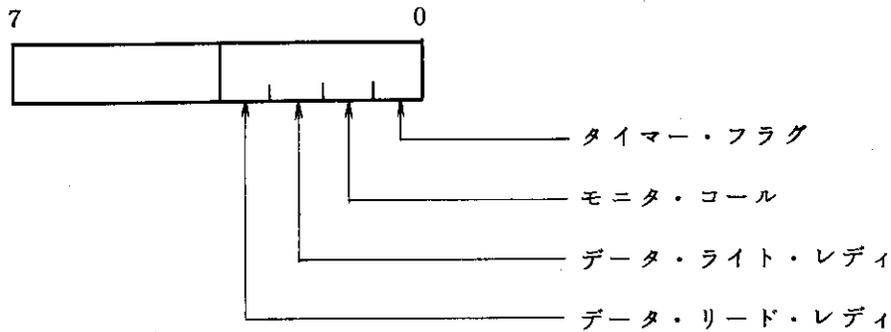


Fig. 8 Block diagram of Serial Communication Adapter (S-CA).

5. I/O 操作

5.1 BASIC I/O-1 の操作

① FE00 (READ) : READ RAMP STATUS REGISTER



命令によって動作した I/O の動作完了の STATUS を示す。全て割込要因となる。

② FE00 (WRITE) : CLEAR RAMP STATUS

RAMP STATUS REGISTER をビット対応でクリアする。各ビットの定義は①と同じである。

③ FE01 (WRITE) : SET INTERRUPT MASK

①で定義した、RAMP STATUS と同じビット定義で、割込の起動を禁止する。

④ FE01 (READ) : READ INTERRUPT MASK

INTERRUPT MASK REGISTER の SET された内容を読む。

⑤ FE02 (WRITE/READ) : SET/RESET MONITOR CALL

FE02 に DUMMY の WRITE/READ を実行することによって、モニタ・コールのフリップ・フロップを SET/RESET する。

⑥ FE03 (READ) : READER START FE03 に DUMMY の READ

を実行することによって、紙テープ・リーダーが起動する。

⑦ FE04 (READ/WRITE) : READ/WRITE DATA

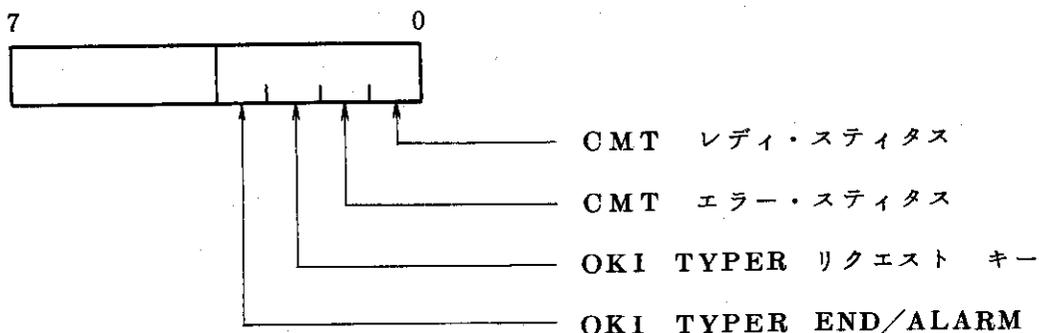
キーボードあるいはリーダーから入力されたデータを読む。タイプライターに出力するデータを書く。

⑧ FE07 (WRITE/READ) : TIMER ON/OFF

FE07 に DUMMY の WRITE/READ を実行することによって、リアル・タイム・クロックを ON/OFF する。

5.2 BASIC I/O-2 の操作

① FE08 (READ) : READ RAMP STATUS REGISTER



命令によって動作したI/Oデバイスの動作完了,あるいは誤操作のSTATUSを示す。全て割込の要因となる。

② FE08 (WRITE) : CLEAR RAMP STATUS

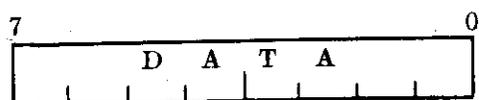
RAMP STATUS REGISTERをビット対応でクリアする。各ビットの定義は①と同じである。

③ FE09 (WRITE/READ) : SET/READ INTERRUPT MASK

①で定義したRAMP STATUSと同じビット定義で,割込の起動を禁止する。各要因に対応したビットを「0」にすることによって,要因毎のMASKを解除する。READすることによってMASKの状態を調べることができる。

④ FE0C (WRITE) : SET CMT COMMAND

FE0C番地に,データを出力することによって,データのビット・パターンに対応したCMTコマンドが発信される。データに対応するCMTコマンドの定義を以下に示す。



DEFINITION

0 0 1 0 0 0 0 0	CMT INITIAL
0 0 0 0 0 0 0 0	ASSIGN #0 UNIT FOR STATUS READ
0 1 0 0 0 0 0 0	ASSIGN #1 UNIT FOR STATUS READ
1 0 0 N 0 0 0 0	WRITE TAPE MARK
1 0 0 N 0 0 0 1	END OF VOLUME SEARCH
1 0 0 N 0 0 1 0	FORWORD TAPE MARK SEARCH
1 0 0 N 0 0 1 1	REVERSE TAPE MARK SEARCH
1 0 0 N 0 1 0 0	REWIND
1 0 0 N 0 1 0 1	READ DATA
1 0 0 N 0 1 1 0	WRITE DATA

ここでNは、CMTのユニット、#0、または#1を指定する。

最初のREADコマンドによって、CMTは1ブロック(240バイト固定長)のデータを読みDATA BUFFERに格納し、DATA REGISTERに最初の1バイト目のデータを転送する。以下、240バイトまで、READコマンドによって順次DATA REGISTERに転送される。

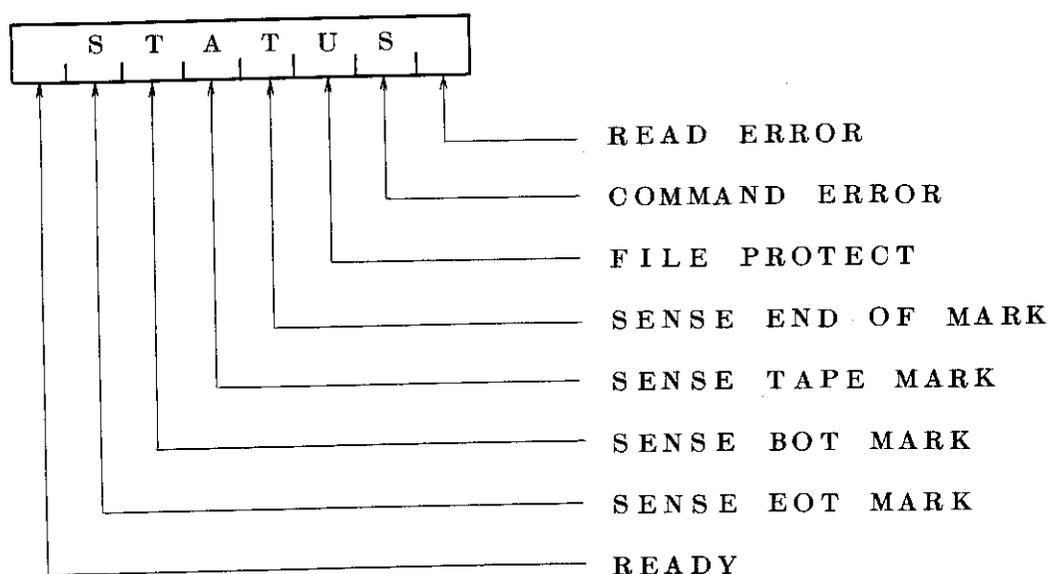
WRITE MODEにおいては、DATA REGISTERに書かれた1バイトのデータは、WRITEコマンドによって順次CMTのDATA BUFFERに格納される。DATA BUFFERが240バイトまでつめ込まれた時に、CMTが動作し、1ブロックの書込みを行う。但し、DATA BUFFERへのデータのつめ込みが240バイト未満であっても、正常な手順のコマンドを受けると、1ブロックの書込みを行った後に、所定の動作を行う。

同一ユニットに関して、WRITEコマンド実行後に、WRITE、WRITE TAPE MARK、REWIND以外のコマンドを受けるとコマンド・エラーとなる。

READコマンドの実行が完了しても、直後にWRITEコマンドを実行するとコマンド・エラーとなる。SEARCH系のコマンドはREAD MODE FLAGをクリアする。WRITE TAPE MARKコマンドはWRITE MODE FLAGをクリアする。さらに、REWINDコマンドは、READ MODE、WRITE MODE両方共にクリアする。従って、この約束に従う手順でコマンドを実行すればよい。CMTのハードウェアの詳細については、別に報告する。

⑤ FE0C(READ): READ CMT STATUS

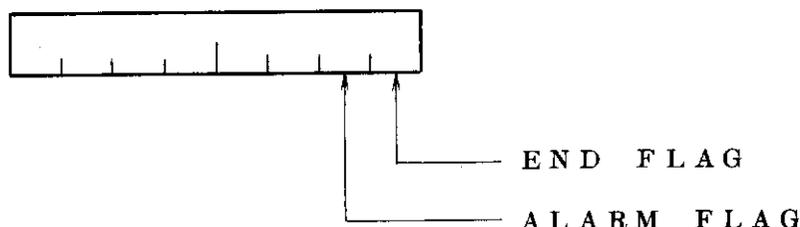
④で定義した様に、前以って、ステータスを読みたいユニットの番号を指定する。指定されたユニットについて、④で定義した命令による動作が完了した後に、動作の結果をステータスとして表わす。ステータスはビットに対応して次の様に定義されている。



⑥ FE0D (READ/WRITE) : READ DATA FROM CMT / WRITE DATA TO CMT

READコマンドに伴って、CMTのDATA BUFFERに格納されたデータを1バイトずつ読む。書き込まれたデータは、WRITEコマンドによってDATA BUFFERに1バイトずつ格納される。

⑦ FE0E (READ) : READ OKI TYPER STATUS



コマンドの実行に伴う動作の完了、あるいは誤操作を示す。

⑧ FE0E (WRITE) : SET OKI TYPER COMMAND

FE0E番地に、OKI TYPERのコマンドに対応するデータを書込むことによってコマンドが発信される。動作は、全て、⑦に示したEND FLAGの受信によって完了する。従って、各コマンドの終了は、割込要因とはならず、プログラムは、END FLAG TESTを行うループを作つて待つことになる。この方法はリアル・タイムのシステムでは好ましくないが、デバイスの構造から受ける制約である。以下にOKI TYPERのコマンドの定義を示す。

7	COMMAND						0	DEFINITION
0	0	0	1	0	0	0	1	SENSE KEY BOARD FLAG
0	0	0	1	0	0	1	0	CLEAR KEY BOARD FLAG
0	0	0	0	0	1	0	0	RELEASE KEY BOARD
0	0	0	1	0	1	0	0	READ KEY BOARD
0	0	1	1	0	0	0	1	SENSE READER FLAG
0	0	1	1	0	0	1	0	CLEAR READER FLAG
0	0	1	0	0	1	0	0	START READER
0	0	1	1	0	1	0	0	READ READER
0	1	0	0	0	0	0	1	SENSE PRINTER FLAG
0	1	0	0	0	0	1	0	CLEAR PRINTER FLAG
0	1	0	0	0	1	0	0	PRINT
0	1	0	1	0	0	0	1	SENSE PUNCH FLAG
0	1	0	1	0	0	1	0	CLEAR PUNCH FLAG
0	1	0	1	0	1	0	0	PUNCH

⑨ FE0F (READ/WRITE) : READ/WRITE DATA OF OKI TYPYR

FE0F番地は、OKI TYPYRのDATA REGISTERのアドレスである。コマンドの発信に伴ってREAD,あるいはWRITEする。

5.3 DIの操作

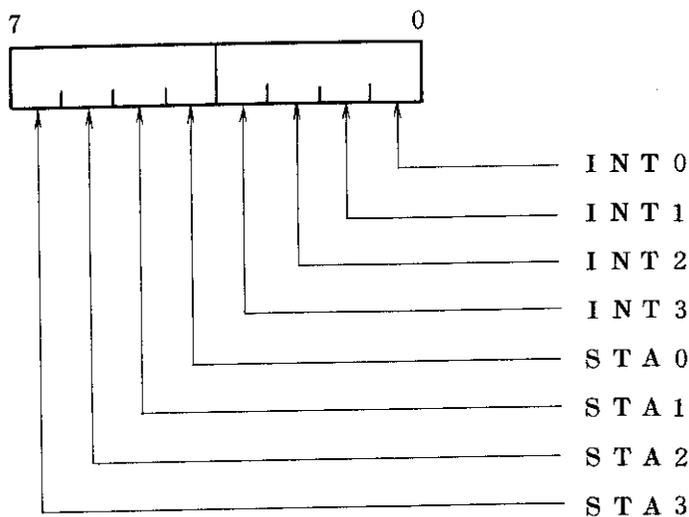
DIボードは、1システムに8枚まで実装できる様に命令アドレスがリザーブされている。各ボードの命令アドレスは、ボード番号を「N」として、次式で与えられる。

$$FEA0_{16} + 0008_{16} \times N$$

従って、各ボードの命令アドレスは、0番目はFEA0, 1番目はFEA8, 以下, FEB0, FEB8, FEC0, FEC8, FED0, FED8となる。ここでは、0番目のボードについて説明する。

① FEA0 (READ/WRITE) : READ RAMP STATUS/CLEAR

外部装置からのINT信号・STA信号が表示される。各信号の意味は、外部装置に依存するため、その定義はユーザに任される。外部からセットされたRAMP STATUSはビット対応でWRITEすることによってクリアされる。各信号線とのビット対応を次に示す。

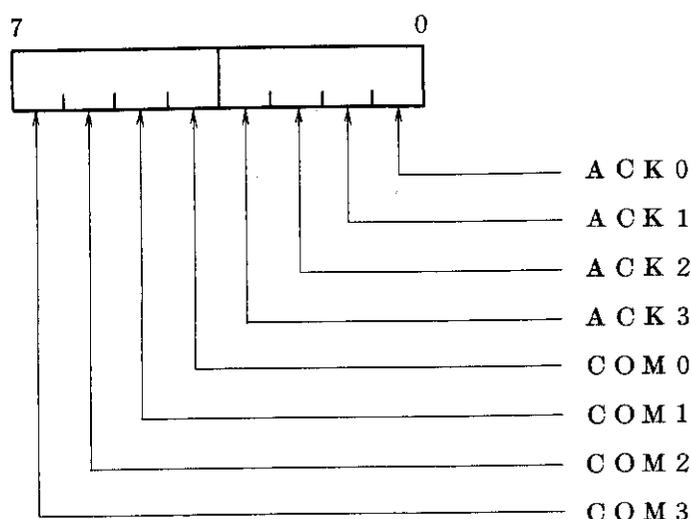


② FEA1 (WRITE) : SET INTERRUPT MASK

INT 0 ~ INT 3をビット対応でマスクする。

③ FEA2 (WRITE) : SET COMMAND · ACKNOWLEDGE

ACK 0 ~ ACK 3, COM 0 ~ COM 3の信号をビット対応で出力する。各信号は、ジャンパー線によってパルスまたはレベル出力に選択できるが、パルス出力の場合でも、必ずビット・オンの後にはオフにしておく必要がある。各信号出力とのビット対応を次に示す。



- ④ FEA 4 (READ) : READ DATA D 0 ~ D 7
- FEA 5 (READ) : READ DATA D 8 ~ D 15
- FEA 6 (READ) : READ DATA D 16 ~ D 23
- FEA 7 (READ) : READ DATA D 24 ~ D 31

入力データを読む。

5.4 DOの操作

DOボードは、1システムに8枚まで実装できる様に命令アドレスがリザーブされている。各ボードの命令アドレスは、ボード番号を「N」として、次式で与えられる。

$$FE60_{16} + 0008_{16} \times N$$

従って、各DOボードの命令アドレスは、0番目はFE60、1番目はFE68、以下、FE70、FE78、FE80、FE88、FE90、FE98となる。ここでは0番目のDOボードについて説明する。

① FE60 (READ/WRITE) : READ RAMP STATUS / CLEAR

外部装置からのINT信号・STA信号が表示される。各信号の持つ意味は、外部装置に依存するため、その定義はユーザに任される。外部からセットされたRAMP STATUSは、ビット対応でWRITEすることによってクリアされる。各信号線とのビット対応は、DIボードと同じである。

② FE61 (WRITE) : SET INTERRUPT MASK INT 0 ~ INT 3をビット対応でマスクする。

③ FE62 (WRITE) : SET COMMAND · ACKNOWLEDGE

ACK 0 ~ ACK 3, COM 0 ~ COM 3の信号をビット対応で出力する。各信号は、ジャンパー線によってパルスまたはレベル出力に選択できるが、パルス出力の場合でも、必ず、ビット・オンの後にはオフにしておく必要がある。各信号出力とビットとの関係は、DIボードのそれと同じである。

- ④ FE 64 (WRITE) : SET DATA D0~D7
FE 65 (WRITE) : SET DATA D8~D15
FE 66 (WRITE) : SET DATA D16~D23
FE 67 (WRITE) : SET DATA D24~D31

出力すべきデータを出力バッファ・レジスタにセットする。出力ラインにデータが出力されるタイミングは、ジャンパー線による出力タイミングの選択によって定まる。

5.5 CAの操作

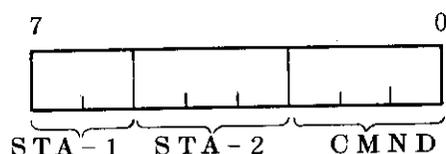
CAは、データ部に関してはチャンネル構造を持っているので、データ伝送に関する制御はCACが各CAボードを代表して行う。コマンド部と割込に関係するレジスタ類は各CAボード毎に持っているため命令アドレスを持ち、CACの制御に従属して制御される。各CAボードの命令アドレスは次式で表わされる。

$$FE20_{16} + 0008_{16} \times N \quad (N = \text{チャンネル番号})$$

従って、0チャンネルのCAの命令アドレスはFE20、1チャンネルのそれはFE28、以下、FE30、FE38、FE40、FE48、FE50、FE58となる。CACの命令アドレスとともに、CAの命令アドレスをTable 1に示す。

レベル2の割込(INT2)は、DMAの完了またはデータ・エラーによって起る。レベル3の割込(INT3)は、COMMANDを受信した時のみ起る。

コマンド・ステータス・レジスタは、下に示す様に、それぞれ独立した意味を持つ3つの部分(STA-1, STA-2, CMND)から構成されている。



STA-1 : PEXあるいは端末システムの状態を示すステータスで、STA-2, CMNDとは独立した意味を持つ。システムが正常に動作しているかどうかなどの基本的な状態を通知するために用いる。

STA-2 : CMNDと組合せて、各CMNDの内容の詳細を規定するために用いる。

CMND : ビット対応で、3種類のコマンドを規定する。各コマンドの内容は、STA-2で表わす。PEXで用いられている定義をTable 2に示す。

- ① FE 18 (READ) : READ CHANNEL OF COMMAND ACCEPTED (INT3)

どのチャンネルかがCOMMANDを受信した結果、レベル3の割込が起る。割込を起したチャンネルを読む。チャンネルはビットと対応している。即ち、0ビットがオンの場合には0チャンネル、7ビットがオンの場合には7チャンネルである。

Table 1 Micro-8 PEX Hardware Address Table

Address	Read	Write
FE18	INT3 CHANNEL SENSE	
FE1A		STA-1 SET
FE1B	DATA RECEIVE MODE CLEAR	DATA SEND MODE CLEAR
FE1C		DATA SEND MODE SET
FE1D		DATA RECEIVE MODE SET
FE1E	INT2 CHANNEL SENSE	
FE20+8N	INT2 N-CH. RAMP STATUS READ	INT2 N-CH. RAMP STATUS CLEAR
FE21+8N	N-CH. MASK READ	N-CH. MASK SET
FE22+8N	N-CH. COMMAND STATUS READ	N-CH. COMMAND STATUS SET SEND
FE23+8N		INT3 N-CH. RAMP STATUS CLEAR

Table 2 PEX Definition of CMND STA-2

STA-2	CMND		
	1	2	3
0	WRQST0		CLOSE
1	WRQST1	RTRIG	COVF1
2	WRQST2		ACK
3	WRQST3	NACK2	NACK4
4	WRQST4		COVF4
5		ERROR2	ERROR4
6			PERROR
7	WRQST7		NFR

② FE1A (WRITE) : SET STA-1

コマンド・ステータス・レジスタの内、各チャンネルに共通するSTA-1の部分をセットする。7ビットと6ビットのみが有効なデータとなる。

③ FE1B (READ/WRITE) : CLEAR DATA RECEIVE MODE / CLEAR DATA SEND MODE

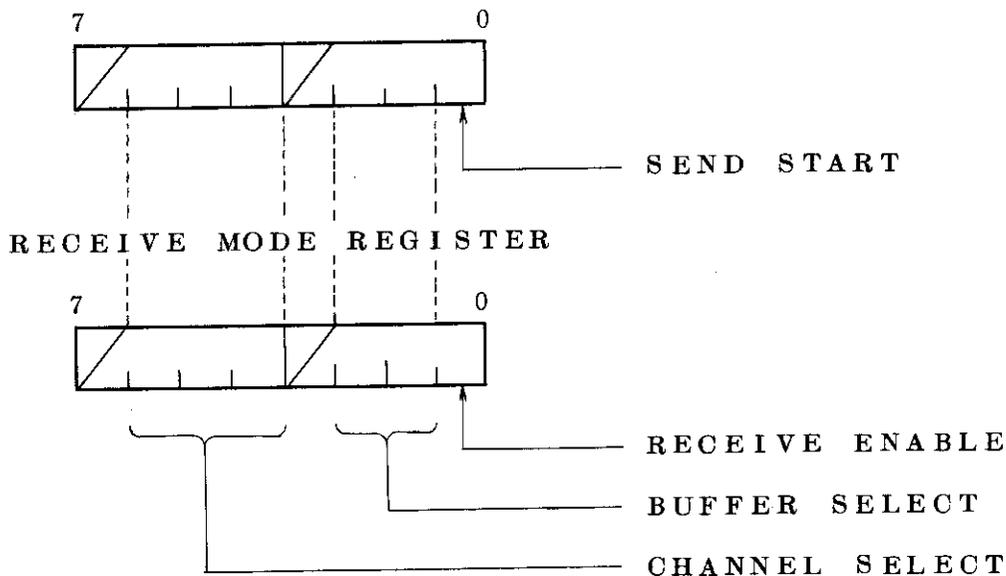
FE1Bにダミー・リードすることによって、データ受信モードに関するバイト・カウンタ、バッファ・セクタ、チャンネル・セット・レジスタをクリアする。FE1Bにダミー・ライトすると、受信モードの場合と同様に、送信モードをクリアする。

④ FE1C (WRITE) : SET DATA SEND MODE

FE1D (WRITE) : SET DATA RECEIVE MODE

データ送信/データ受信に際して、CAのチャンネルとデータ・バッファとを指定し、送信スタート、あるいは受信準備完了のフラグをあげる。データ送信モード・レジスタとデータ受信モード・レジスタのビット定義を次に示す。

SEND MODE REGISTER



CHANNEL SELECT

000 = 0 CHANNEL

}

111 = 7 CHANNEL

BUFFER SELECT

BUFFER TOP ADDRESS

00 = 8C00

01 = 8D00

10 = 8E00

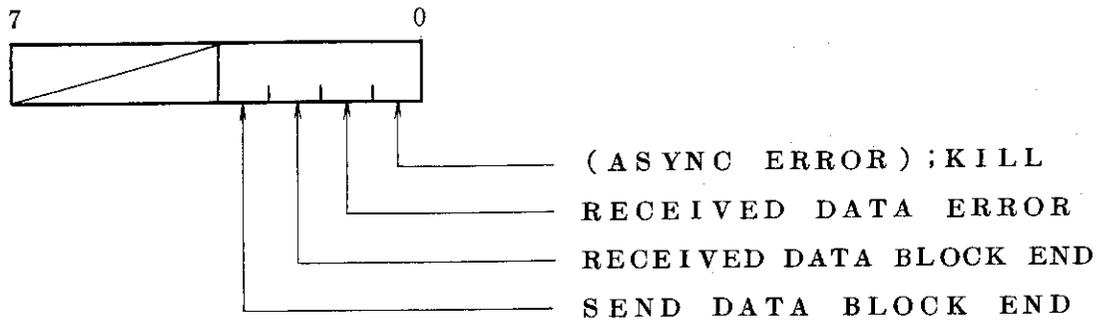
11 = 8F00

⑤ FE1E(READ): READ CHANNEL OF DATA END / DATA ERROR (INT2)

どのチャンネルかが、データを送信/受信し終わった時点で、レベル2の割込が起こる。割込を起こしたチャンネルを読む。チャンネルはビットと対応している。0ビットがオンの場合には0チャンネル、7ビットがオンの場合には7チャンネルである。

⑥ FE20+8N(READ): READ INT-2 N-CH. RAMP STATUS

Nチャンネルから起こったレベル-2の割込(INT2)の要因を読む。ステータスのビット定義を次に示す。

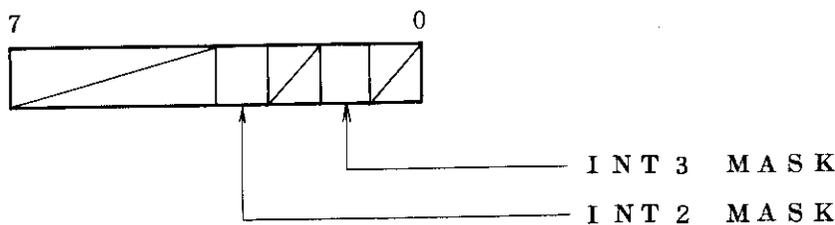


⑦ FE20+8N(WRITE): CLEAR INT-2 N-CH. RAMP STATUS

FE20+8NにダミーのWRITEを実行することによって、Nチャンネルのランプ・ステータスをクリアする。

⑧ FE21+8N(WRITE/READ): SET/READ LEVEL 2-3 INTERRUPT MASK OF N-CH.

Nチャンネルのレベル2, およびレベル3の割込に対してマスクをセットする。あるいはマスク状態を読む。



⑨ FE22+8N(READ/WRITE): READ RECEIVED COMMAND-STATUS / SET-SEND COMMAND-STATUS ON N-CH.

Nチャンネルが受信したコマンド・ステータスを読む。あるいは、Nチャンネルに、コマンド・ステータスをセットして送信する。STA-1はFE1Aにセットされるので、ここでは、STA-2とコマンドとをセットしてSTA-1と一緒に送信される。コマンド・ステータスの定義は、Table 2に示されている。

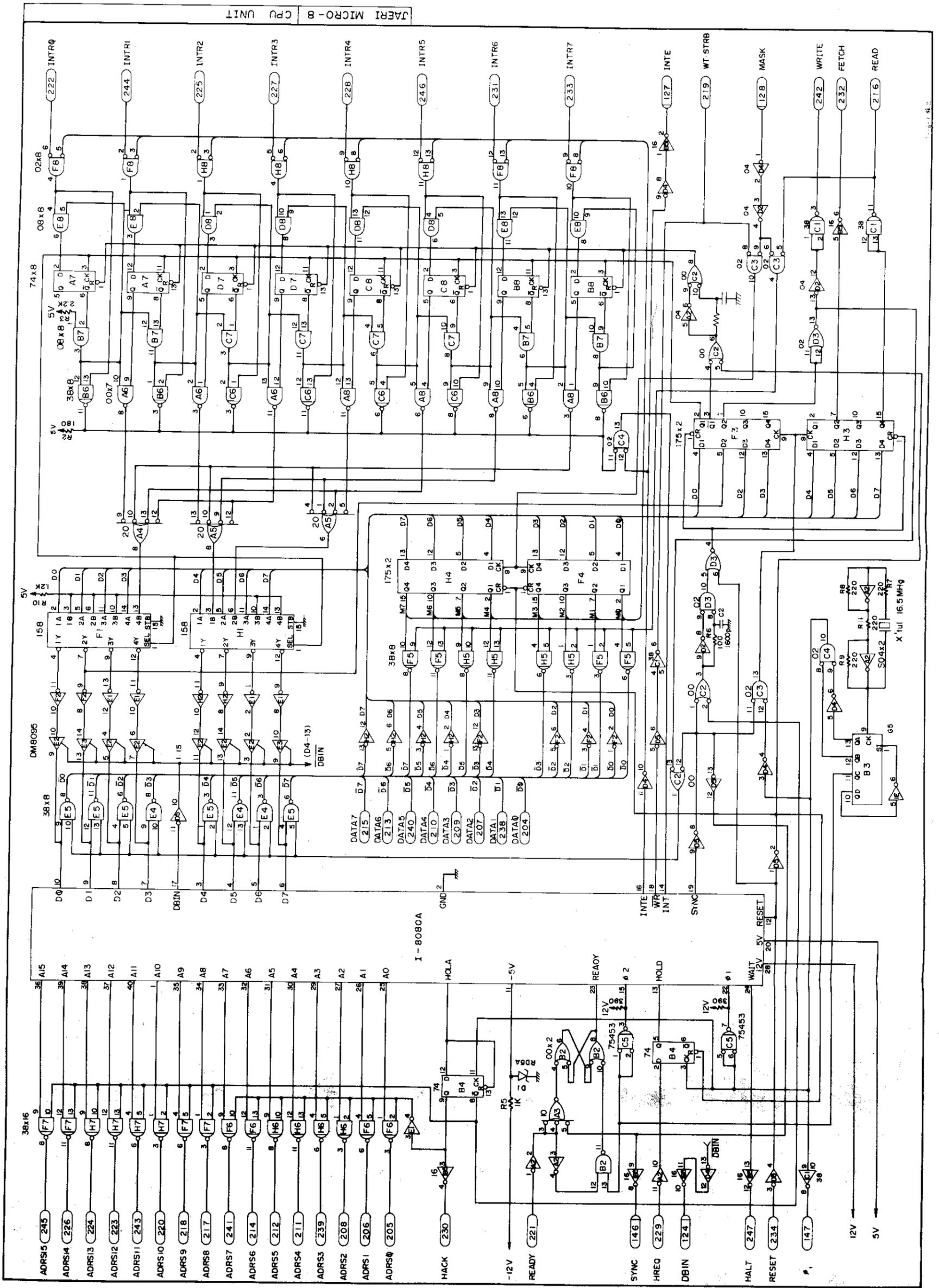
⑩ FE23+8N(WRITE): CLEAR INT3 N-CH.

レベル3の割込は、Nチャンネルにコマンド・ステータスが受信されたことを意味する。他に要因が設定されていないのでランプ・ステータスはない。ダミー・ライトによってクリアされる。

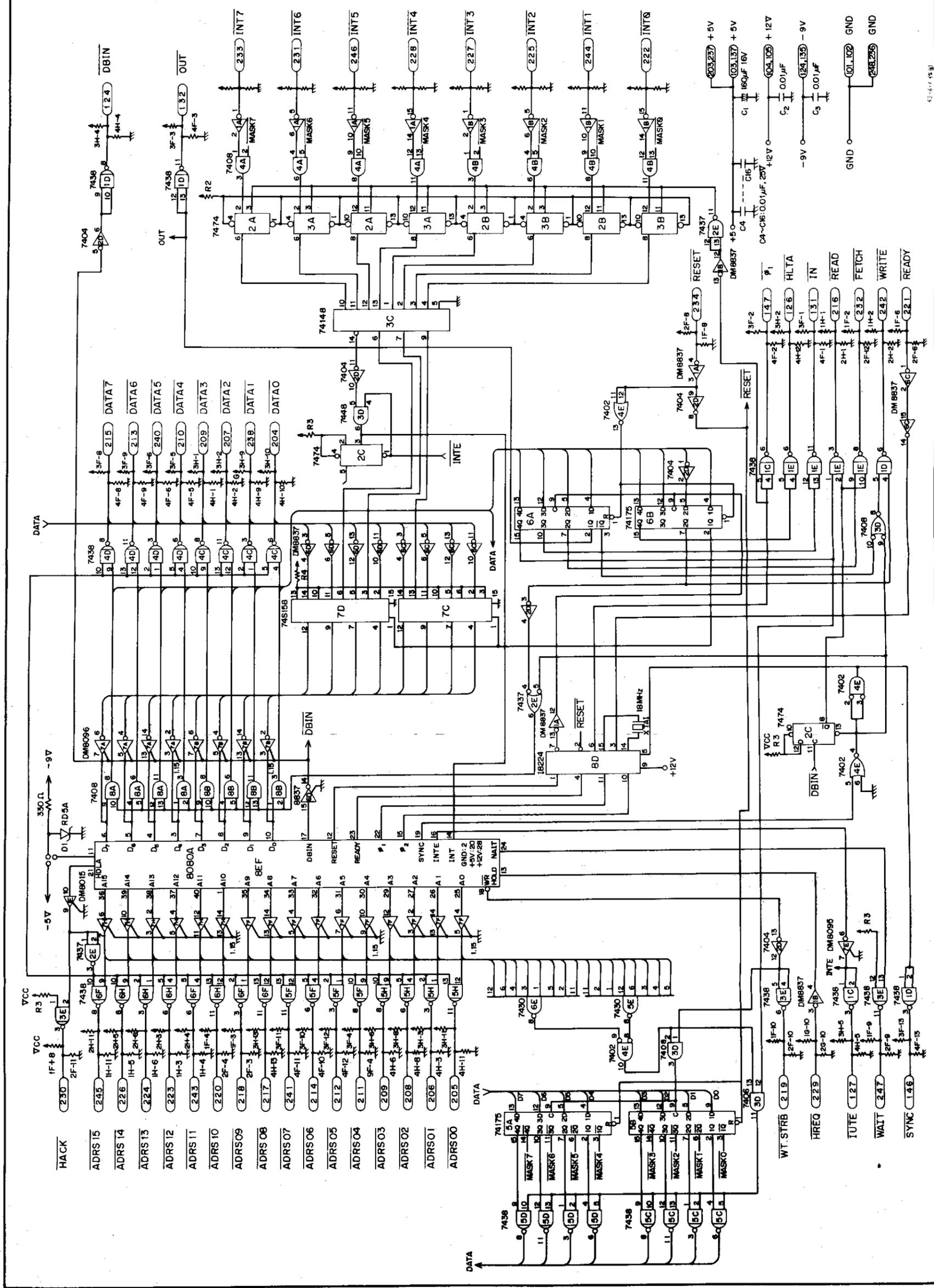
参 考 文 献

- 1) Ishiguro M., Yagi H. and Koyama K. : " Computer Network for Nuclear Instrumentation ", IEEE Trans. on Nucl. Science, Vol. NS-25, No. 1, 212 (1978)
- 2) Kumahara T., Yagi H., Inomata S., Ohuchi I. and Takeda T. : " A Micro-CAMAC System for Use in a Gamma Spectrometry System ", IEEE Trans. on Nucl. Science, Vol. NS-25, No. 1, 485 (1978)
- 3) 山田孝行, 清水洋二, 八木秀之, 中原嘉則 : 「JAERI 東海・オンライン・ネットワーク・システム——PEX ネットワークのシステム・プログラム——」, JAERI-M 7736 (1978)
- 4) 浅井 清, 富山峯秀 : 「GPL-GENKEN Programming Language」, JAERI-M 4762 (1972)
- 5) 藤井 実 : 「GLASS 言語 (Genken Laboratory Automation Software System)」, 私信, (1977)
- 6) " Intel 8080 Micro-computer Systems User's Manual ", (1975)

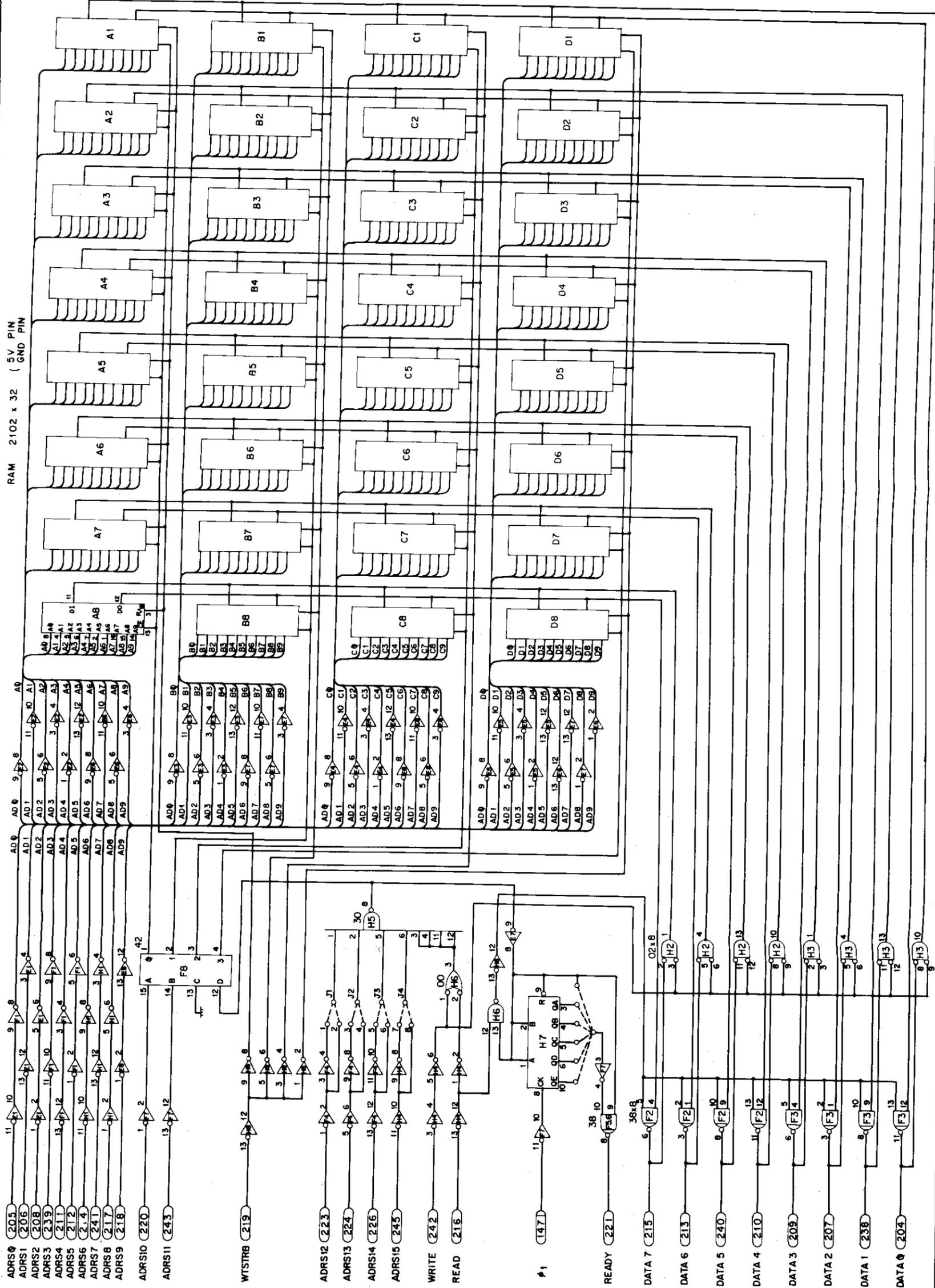
附錄 A Micro-8 回路圖面

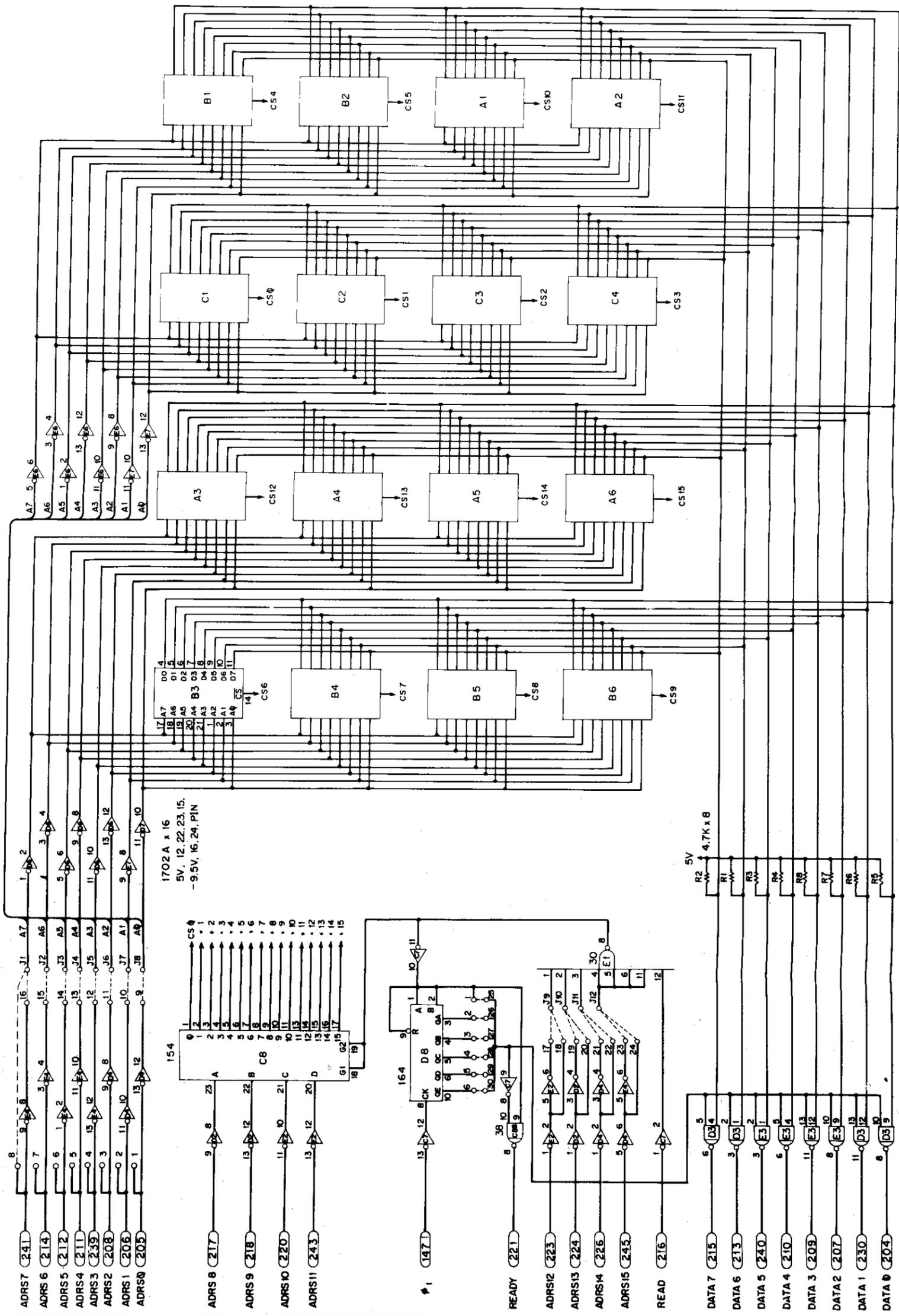


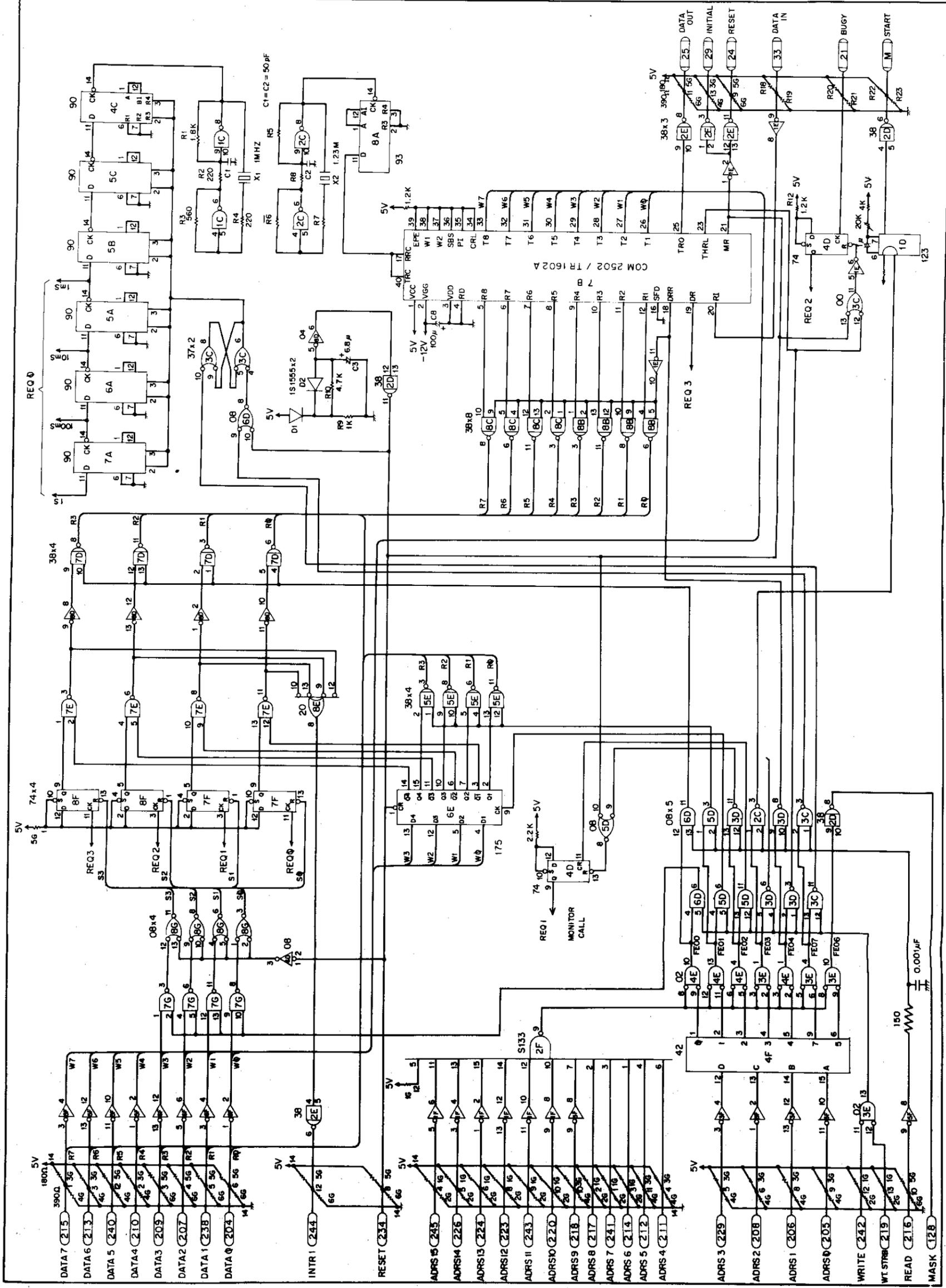
JAERI MICRO-8 CPU UNIT



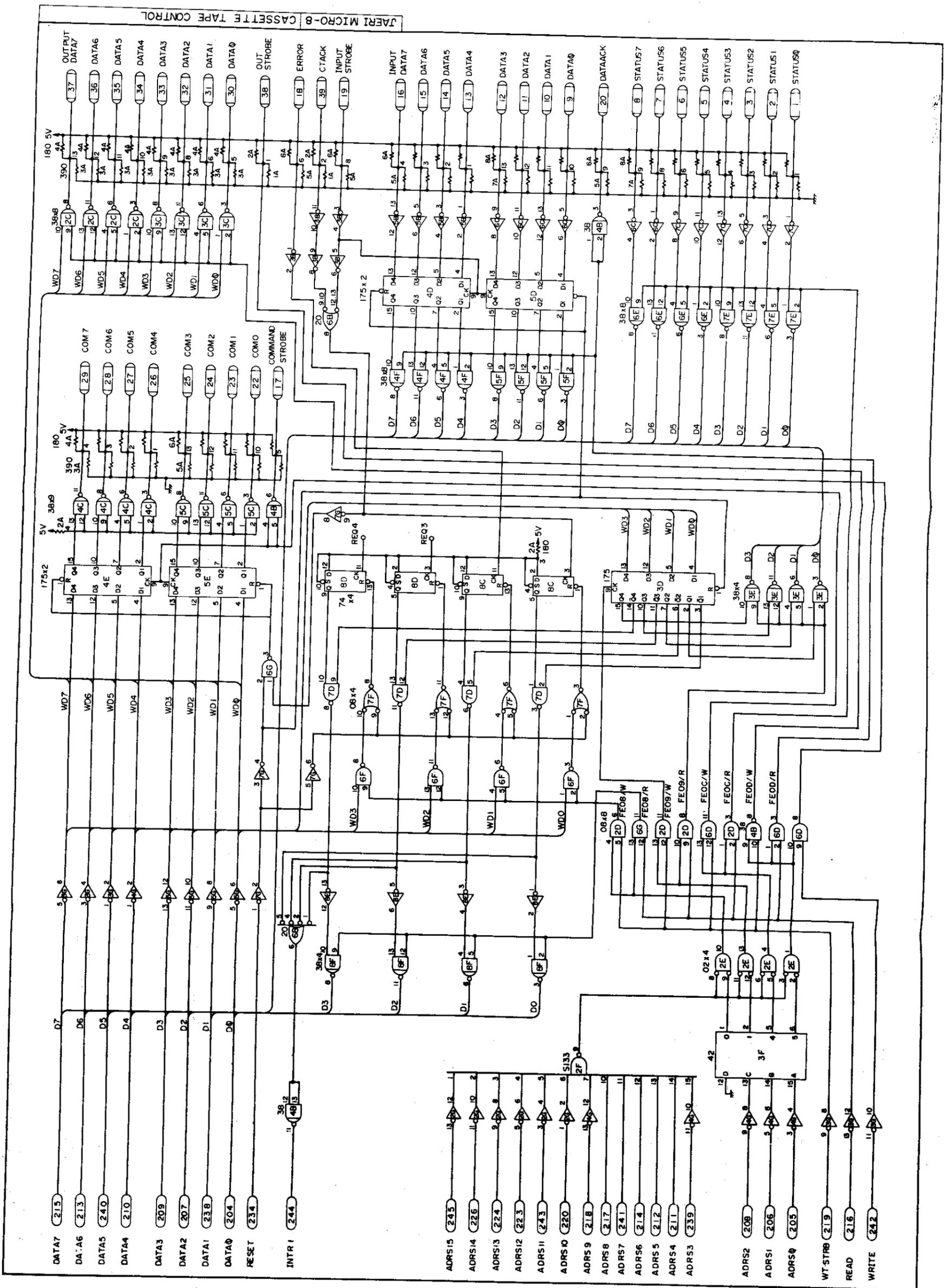
RAM 2102 x 32 (5V PIN GND PIN)

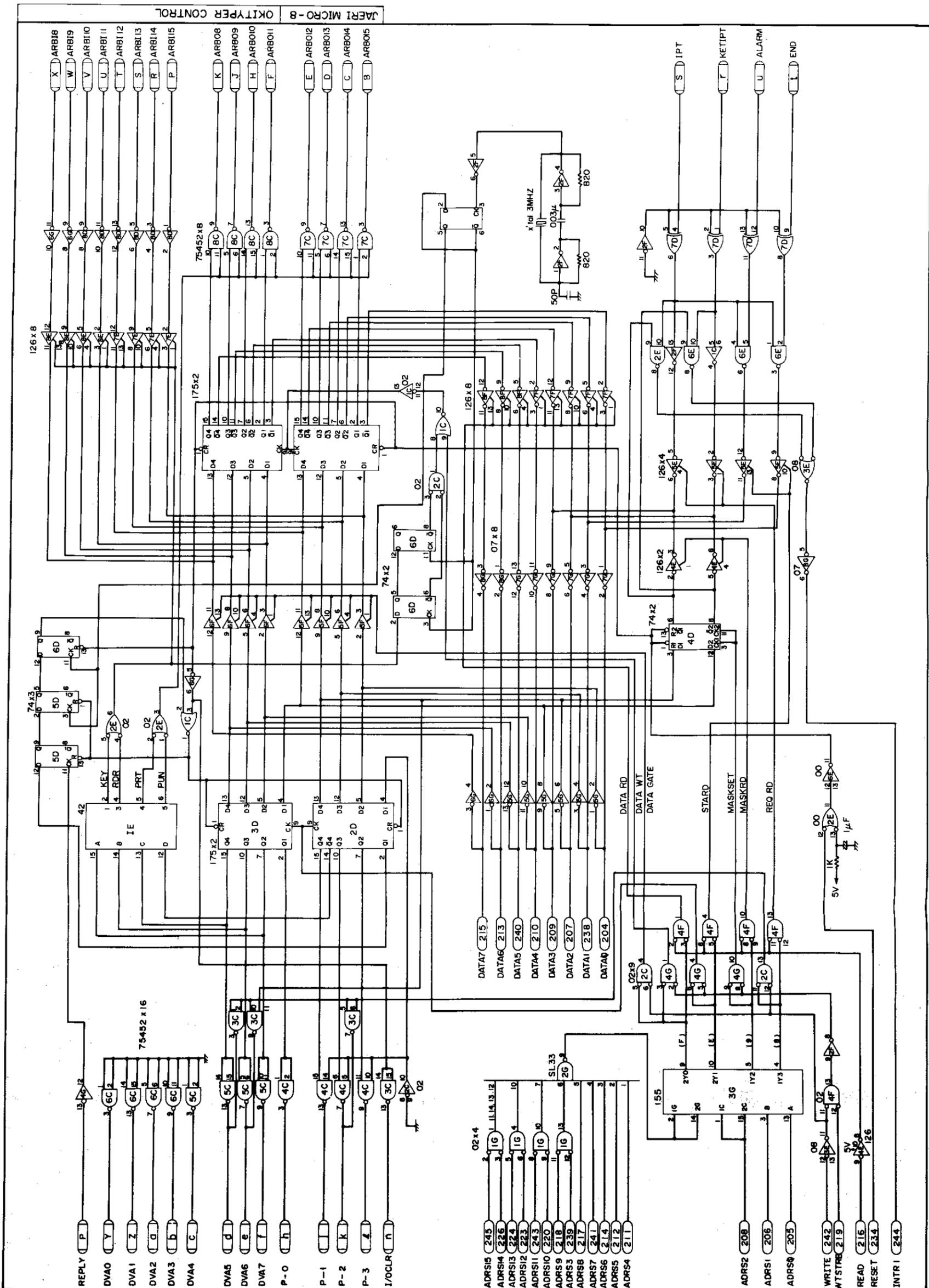






JAEERI MICRO-8 CASSETTE TAPE CONTROL

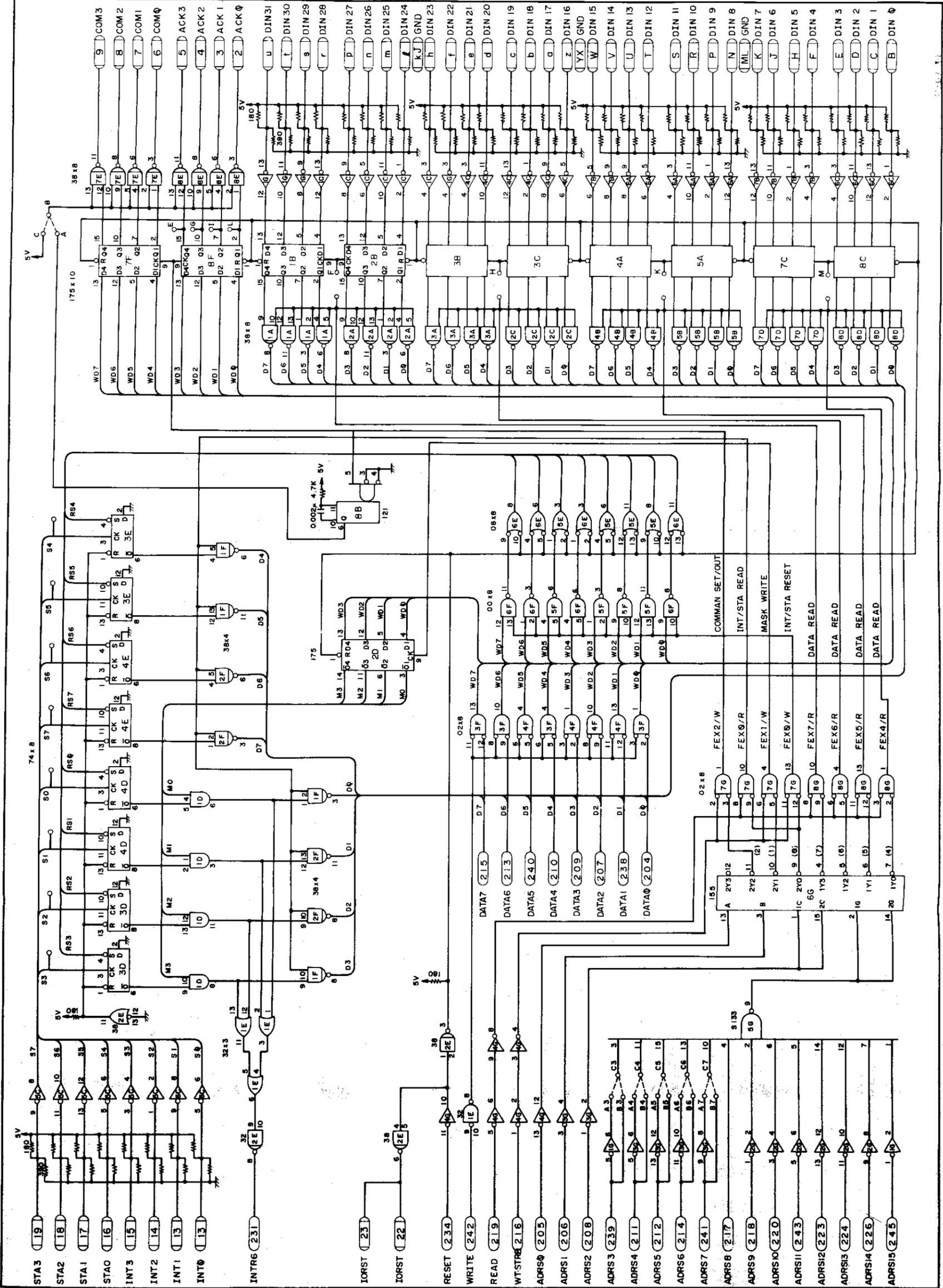


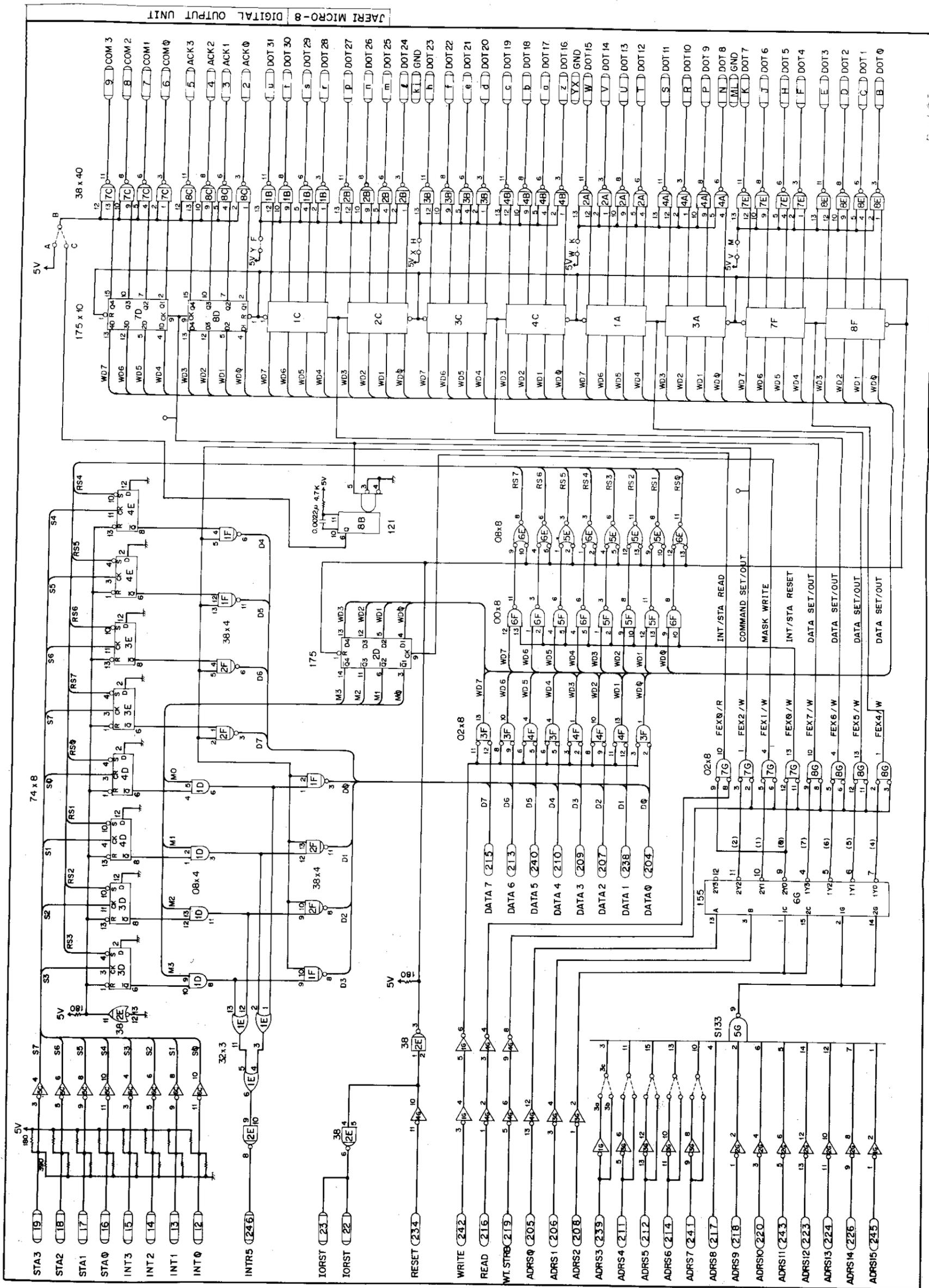


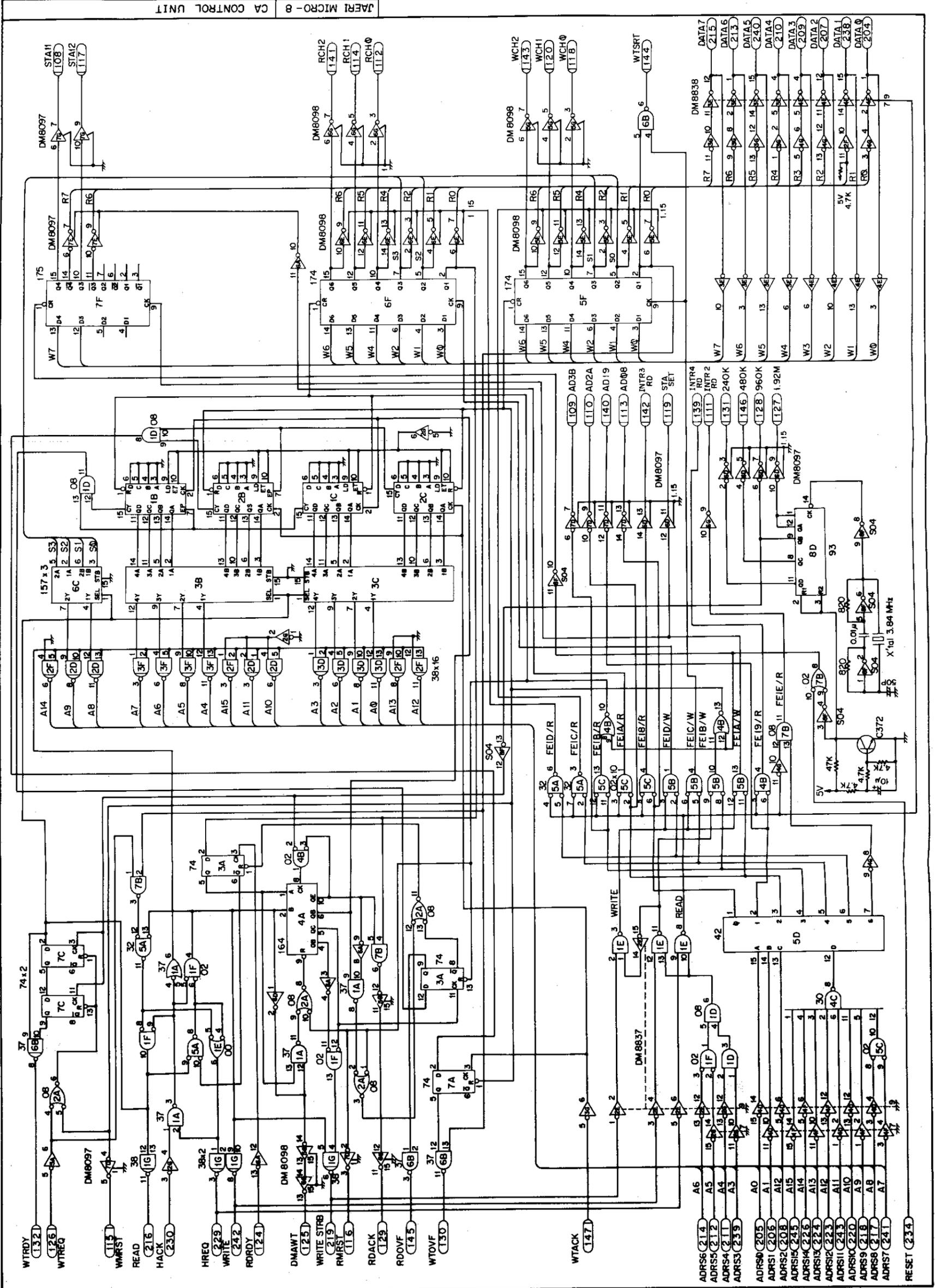
JAERI MICRO-8 OKTYPER CONTROL

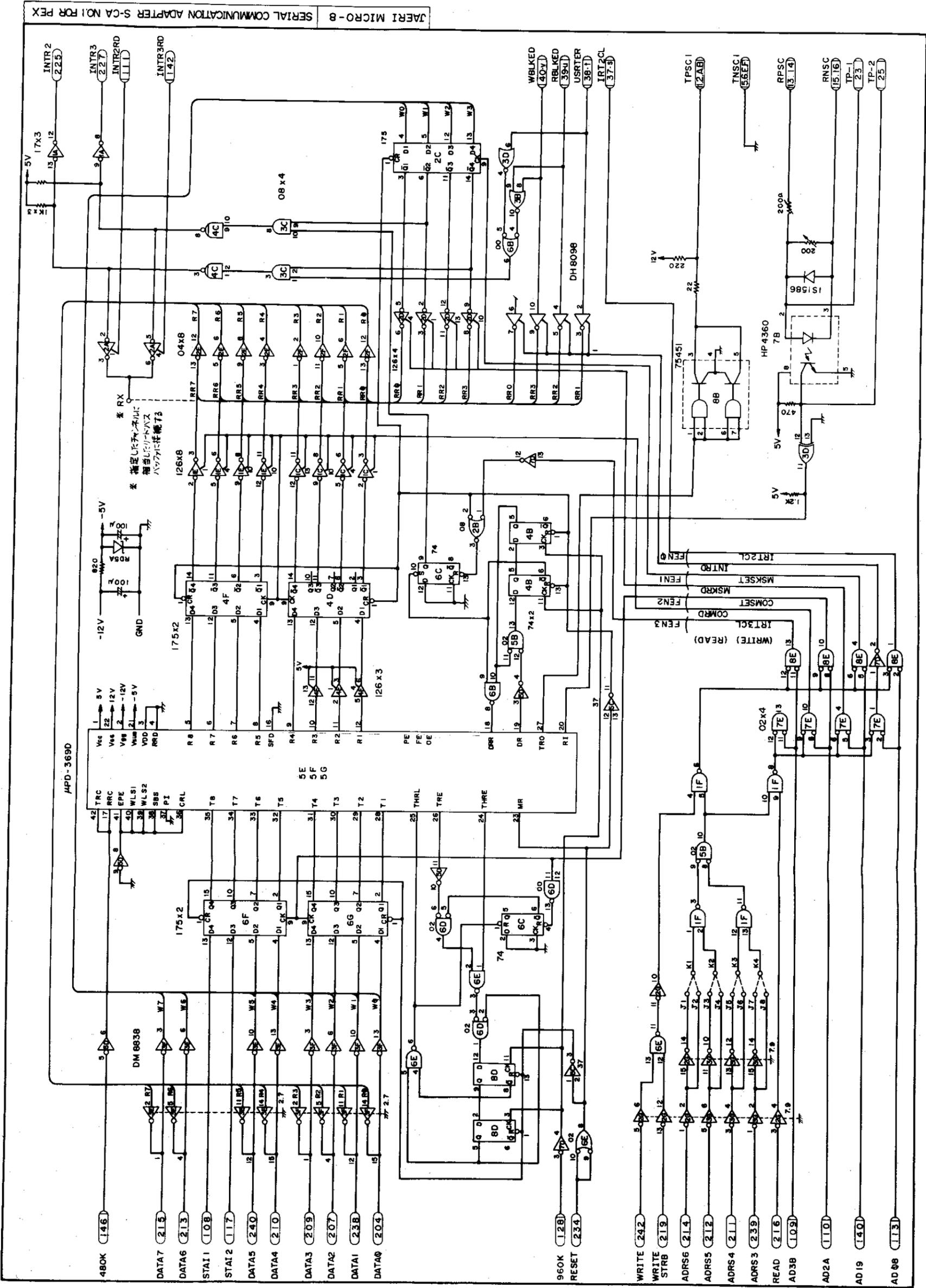
DIGITAL INPUT UNIT

JAERI MICRO-8

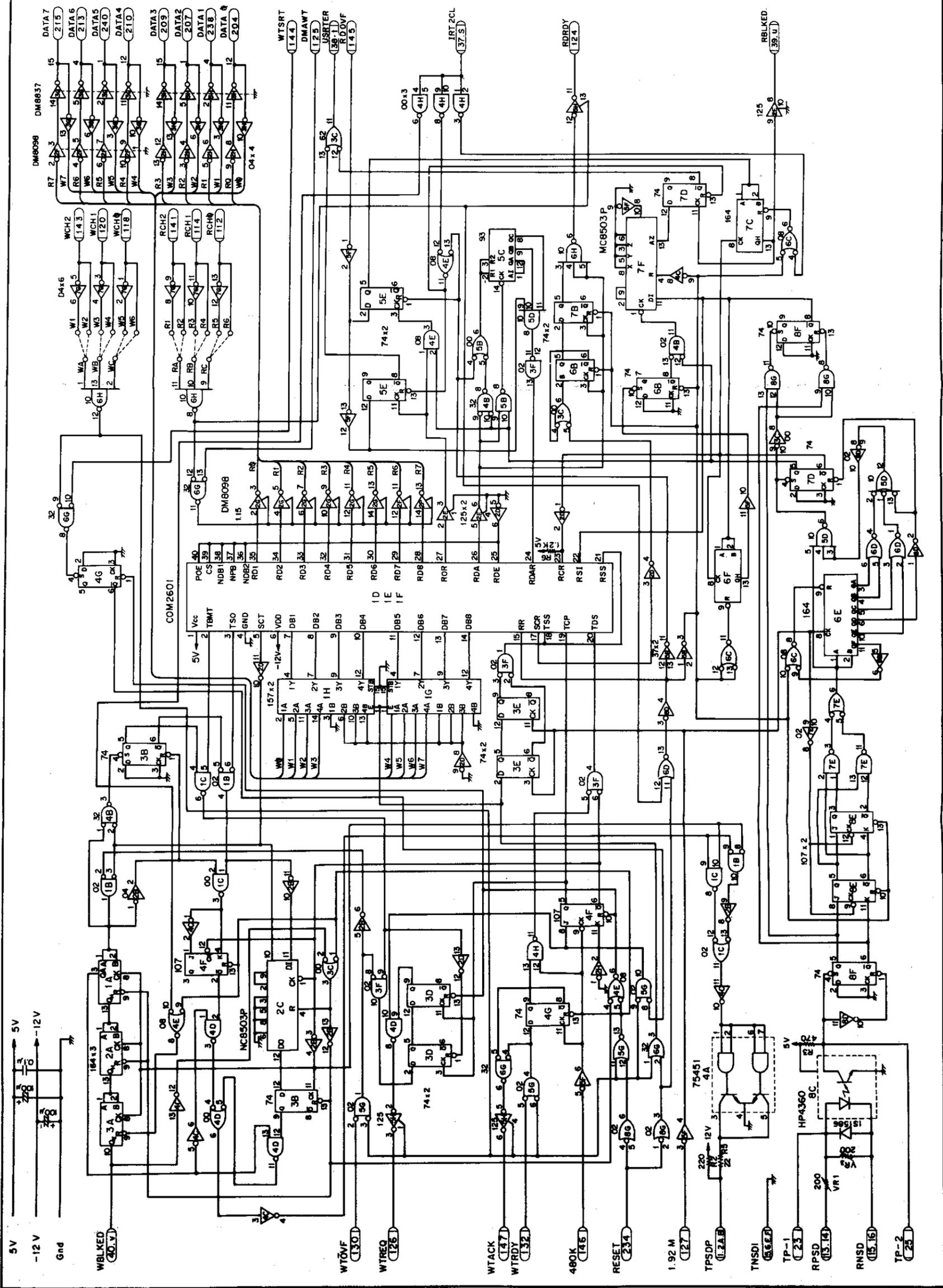


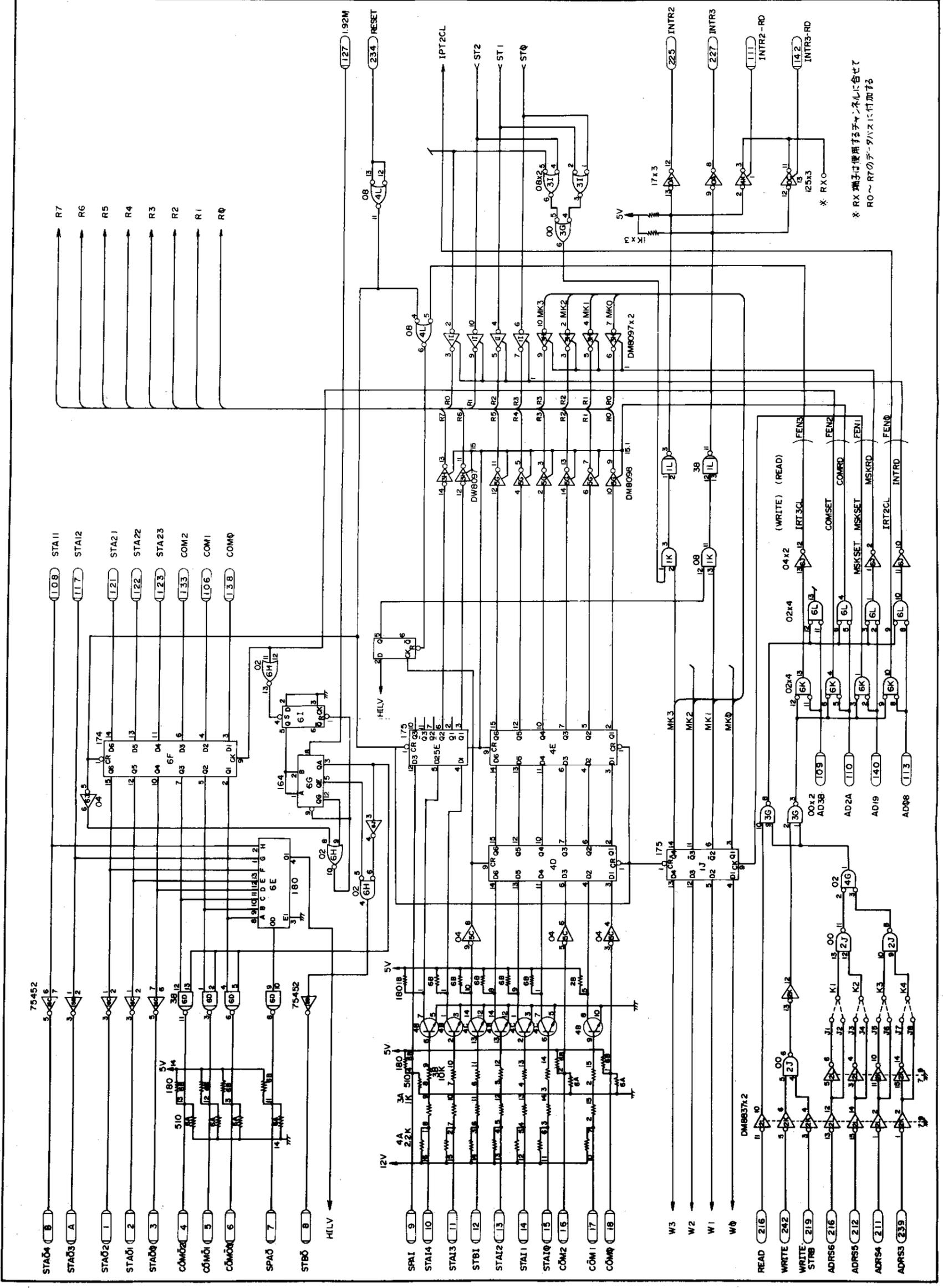


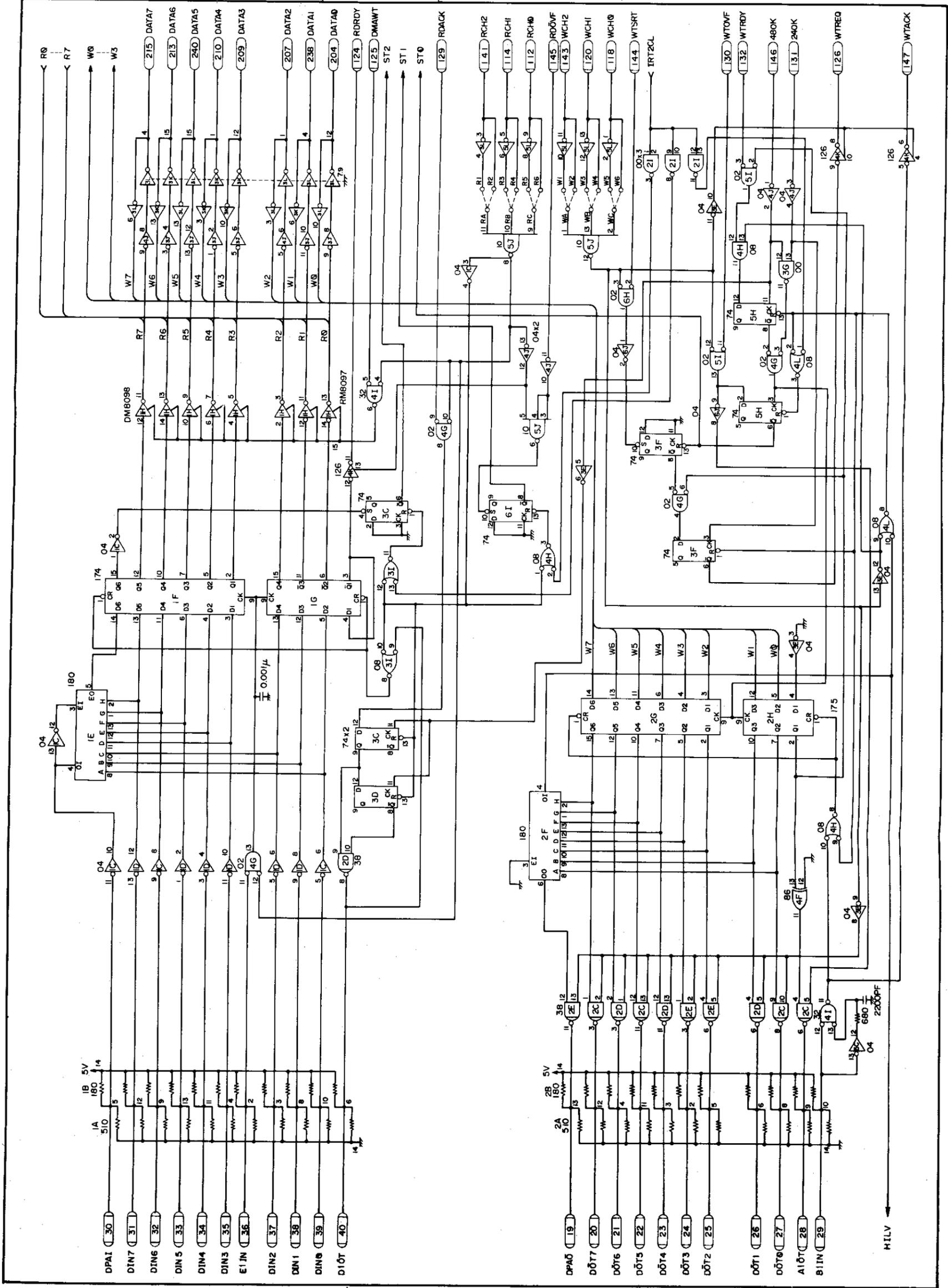


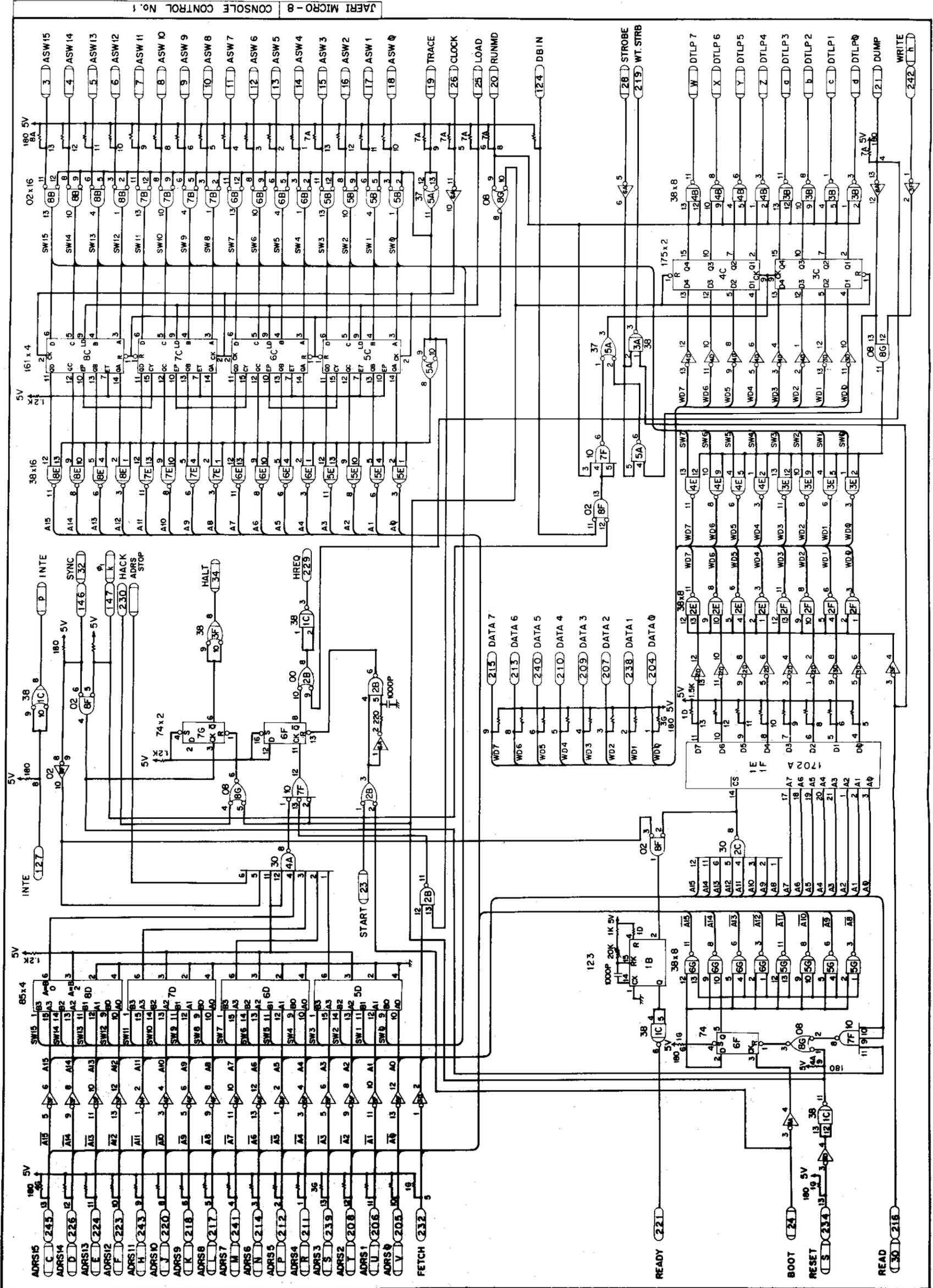


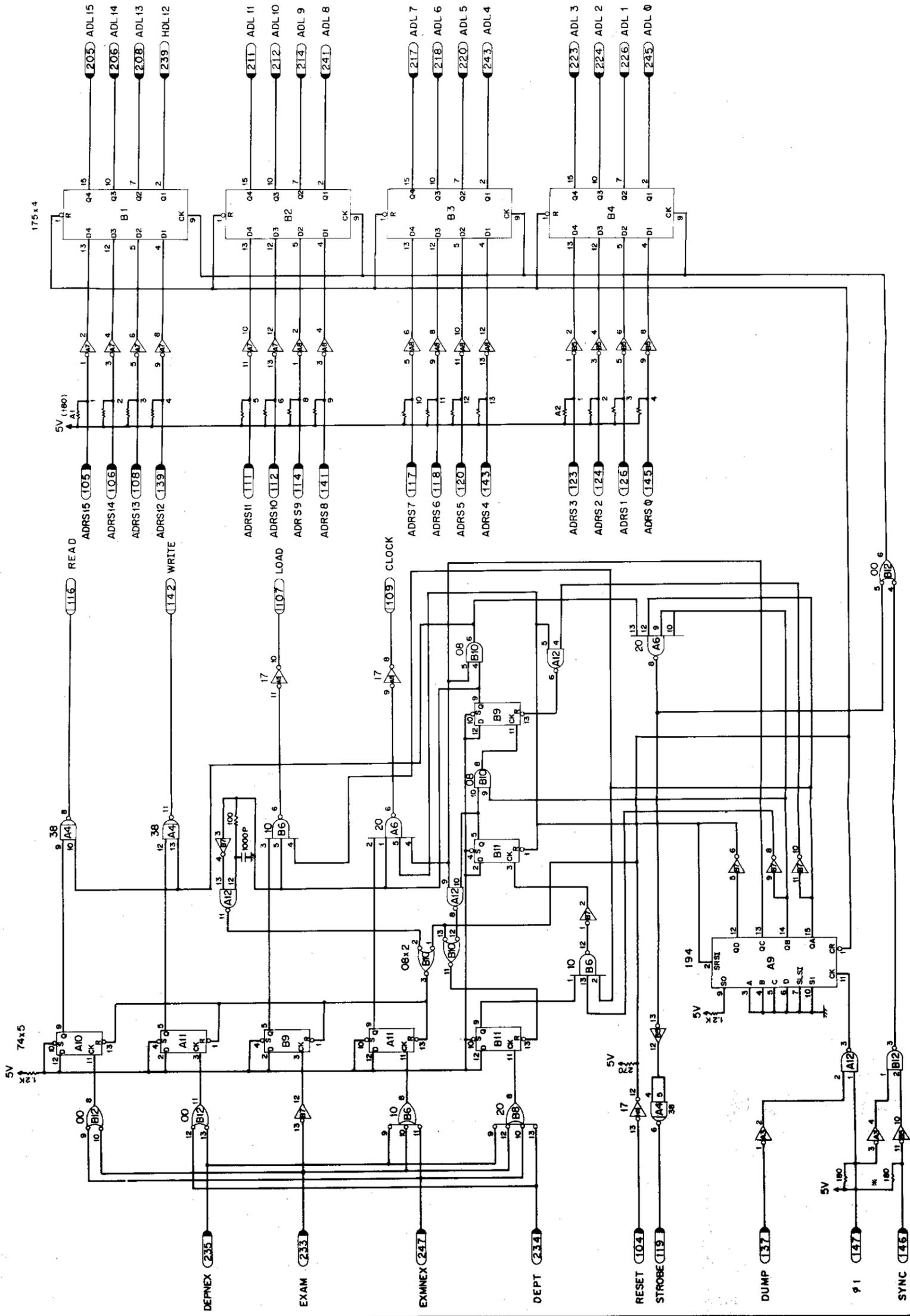
JARI MICRO - 8 SERIAL COMMUNICATION ADAPTER S-CA NO.2 FOR PEX

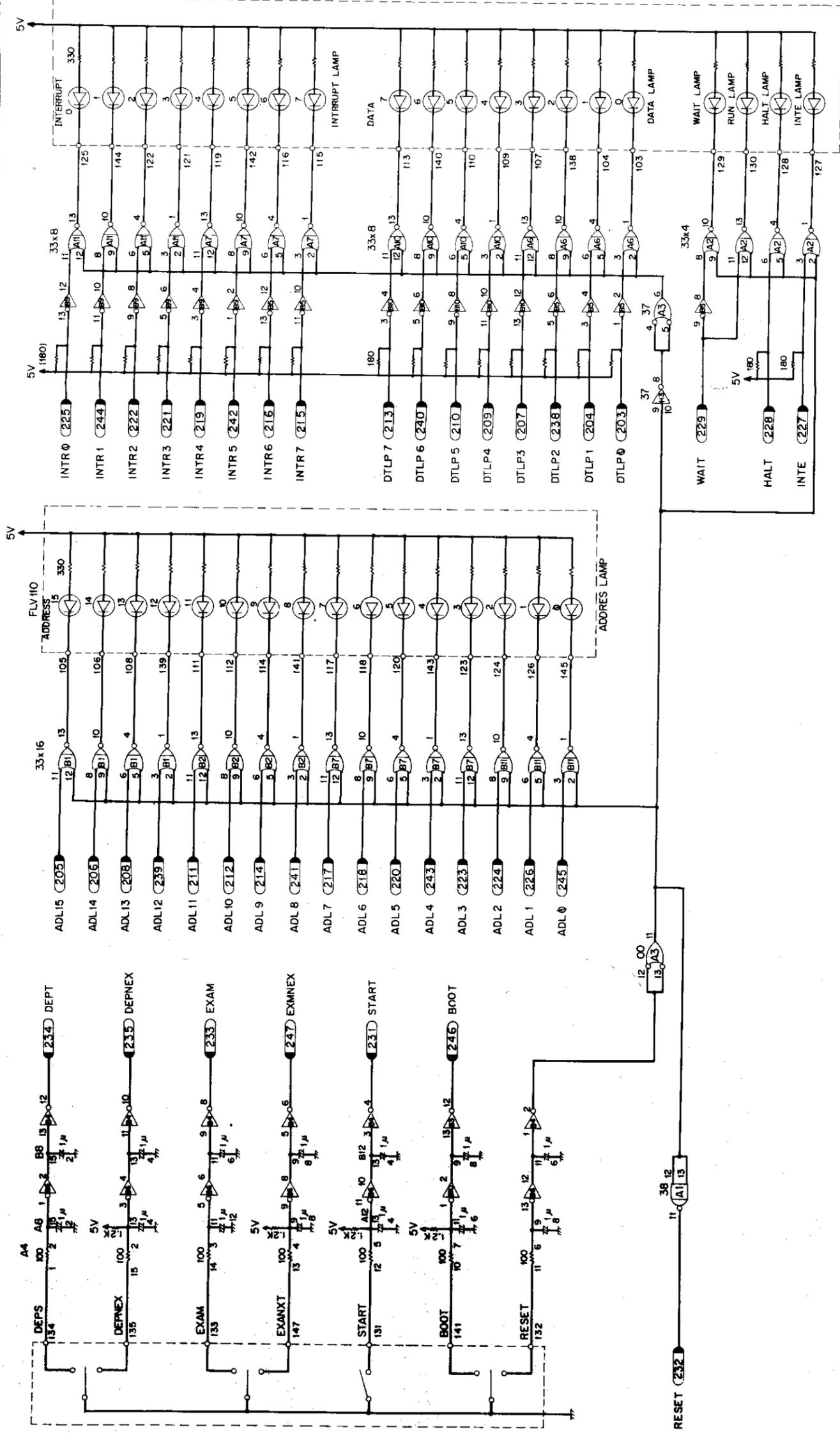






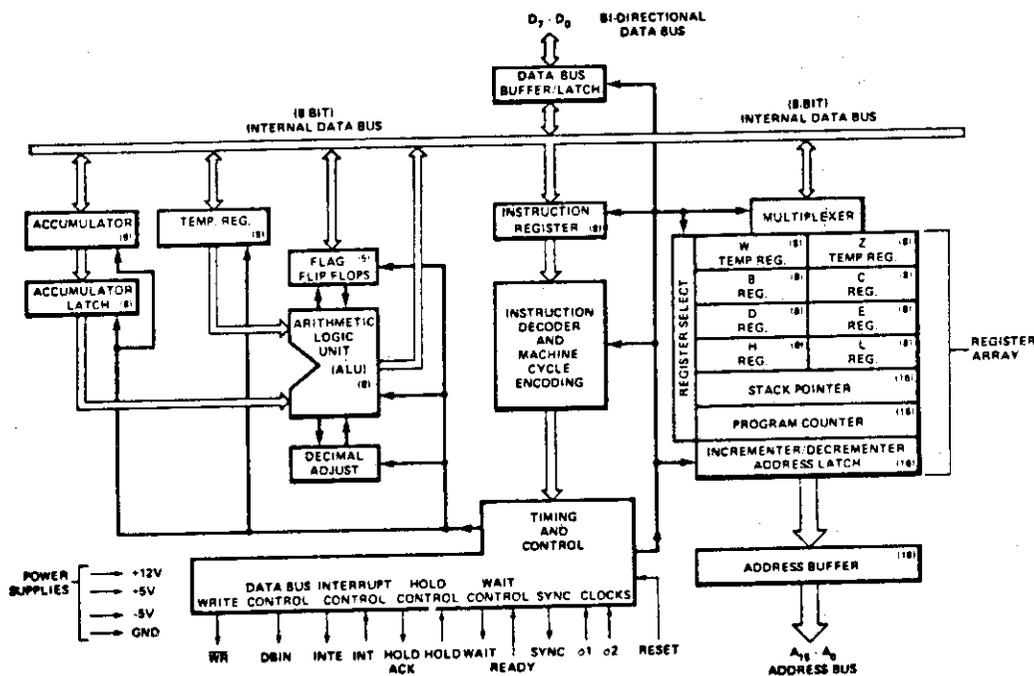






附録 B INTEL 8080 マイクロ・プロセッサ資料

B-1 機能ブロック図



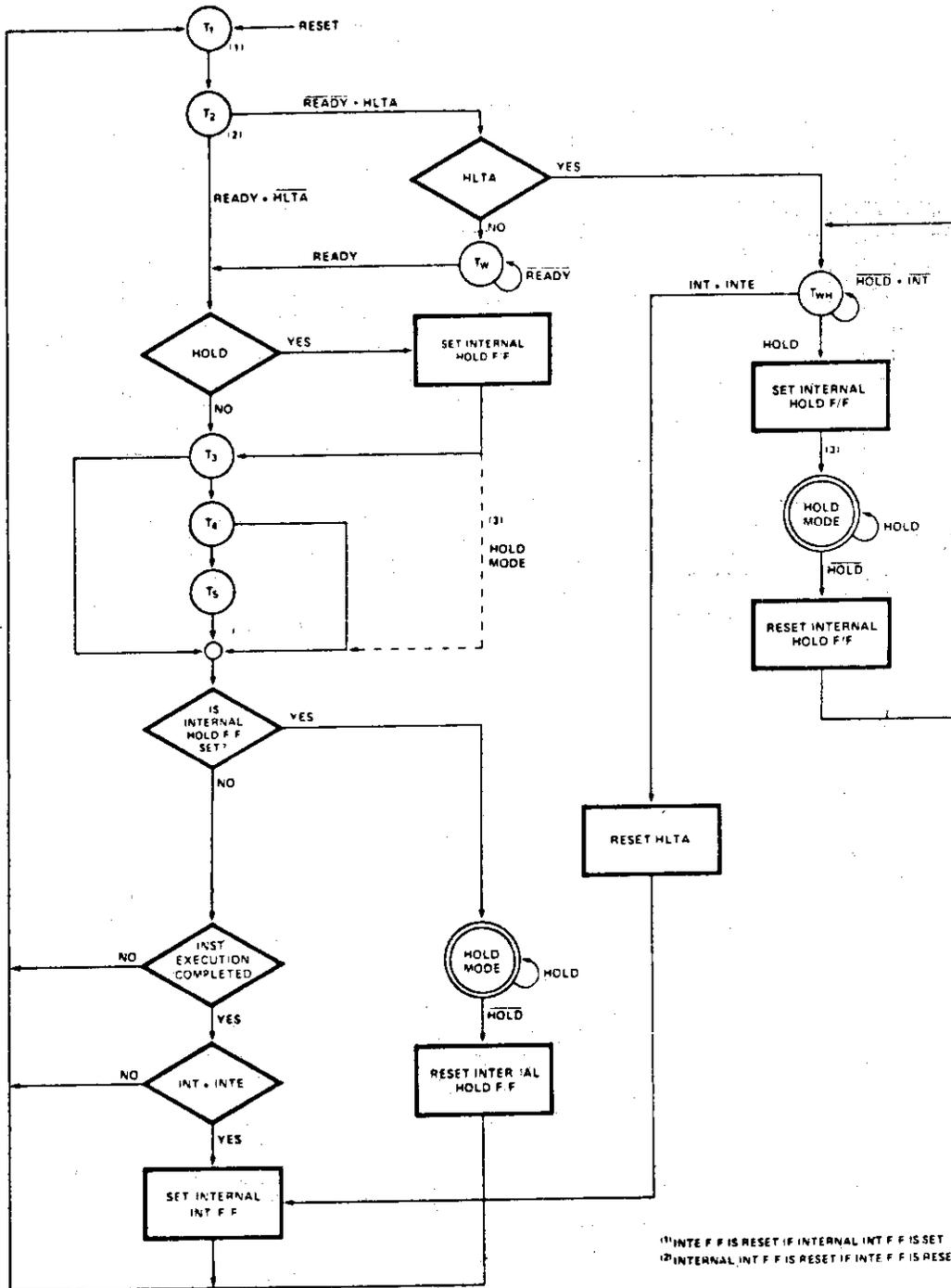
B-2 ステータス・ビットの定義

STATUS WORD CHART

DATA BUS BIT	STATUS INFORMATION	TYPE OF MACHINE CYCLE									
		①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩
D ₀	INTA	0	0	0	0	0	0	0	1	0	1
D ₁	WO	1	1	0	1	0	1	0	1	1	1
D ₂	STACK	0	0	0	1	1	0	0	0	0	0
D ₃	HLTA	0	0	0	0	0	0	0	0	1	1
D ₄	OUT	0	0	0	0	0	0	1	0	0	0
D ₅	M ₁	1	0	0	0	0	0	0	1	0	1
D ₆	INP	0	0	0	0	0	1	0	0	0	0
D ₇	MEMR	1	1	0	1	0	0	0	0	1	0

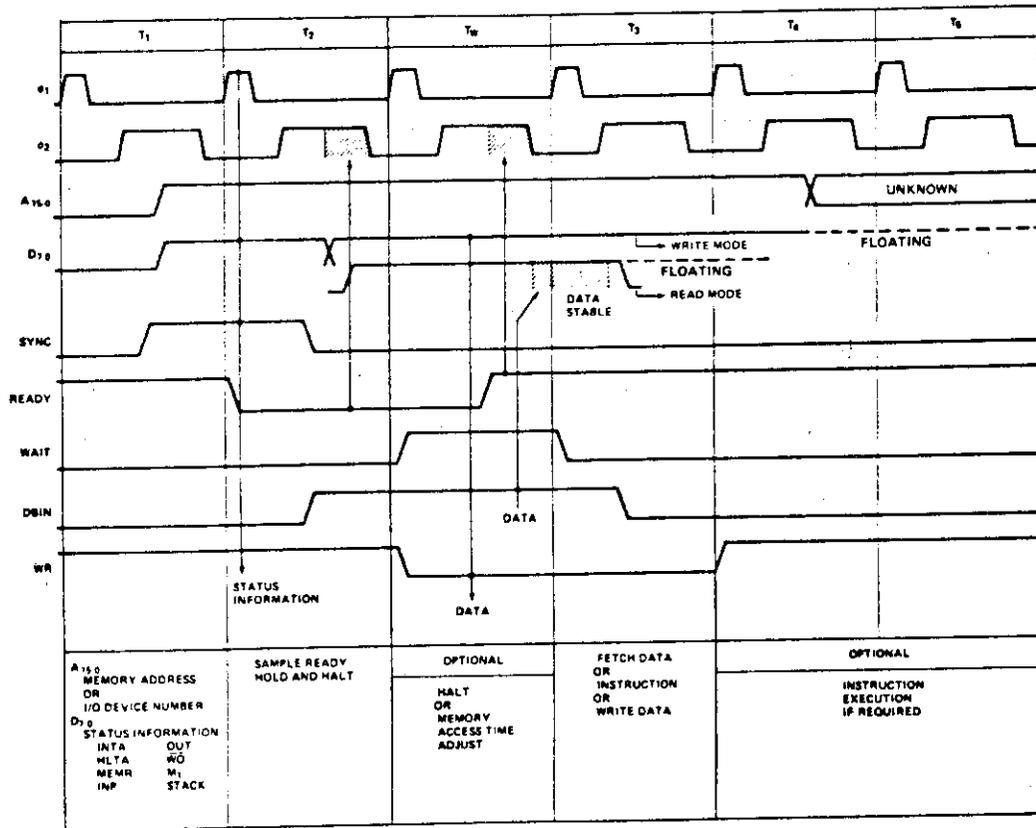
⑩ STATUS WORD

B-3 CPUステータス遷移図



⁽¹⁾ INT F F IS RESET IF INTERNAL INT F F IS SET
⁽²⁾ INTERNAL INT F F IS RESET IF INTE F F IS RESET.

B-4 インストラクション・サイクル・タイミング・チャート



B-5 INTEL 8080 インストラクション・リスト

1976 3 8
1978 6 1

MICRO-8 INSTRUCTION LIST

Symbolic	OP Code	Description	Cond	Step	Cycl
MOVE INSTRUCTION GROUP					
MOV R,R	01DDSSS	R1=R2		1	1
MOV R,M	01DD110	R=(HL)		1	2
MOV M,R	01110SSS	(HL)=R		1	2
STAX RP	000P0010	(RP)=A		1	2
LDAX RP	000P1010	A=(RP)		1	2
DDD/SSS=000;B =100;H P=0;BC =001;C =101;L P=1;DE =010;D =110;M =011;E =111;A					
R	One of the scratch pad Register;A,B,C,D,E,H,L				
A	Accumulator				
M	Contents of Location indicated by the Reg.HL				
RP	Register Pair;BC,DE,HL				
()	Contents of Location				
REGISTER INSTRUCTION GROUP					
STC	37	C=1	;C=Carry	1	1
CMC	3F	C=C		1	1
DAA	27	DECIMAL ADJUST		1	1
CMA	2F	A=A		1	1
INR R/M	00RRR100	R=R+1		z ps	1/3
DCR R/M	00RRR101	R=R-1		z ps	1/3
ADD R/M	10000RRR	A=A+R		zcps	1/2
ADC R/M	10001RRR	A=A+R+C		zcps	1/2
SUB R/M	10010RRR	A=A-R		zcps	1/2
SBB R/M	10011RRR	A=A-R-C		zcps	1/2
ANA R/M	10100RRR	A=A AND R	c=0	z ps	1/2
XRA R/M	10101RRR	A=A EXOR R	c=0	z ps	1/2
ORA R/M	10110RRR	A=A OR R	c=0	z ps	1/2
CMP R/M	10111RRR	A-R,A=A	zc	1	1/2
ROTATE ACC					
RAL	17	ROTATE LEFT	D0=C,C=D7	1	1
RAR	1F	ROTATE RIGHT	D7=C,C=D0	1	1
RLC	07	ROTATE LEFT	D0=D7,C=D7	1	1
RRC	0E	ROTATE RIGHT	D7=D0,C=D0	1	1

Symbolic	OP Code	Description	Cond	Step	Cycl
REGISTER PAIR INSTRUCTION GROUP					
PUSH RP	11RR0101	PUSH REGP ONTO STACK		1	3
POP RP	11RR0001	POP REGP OFF STACK		1	3
DAD RP	00RR1001	HL=HL+RP		1	1
INX RP	00RR0011	RP=RP+1		1	1
DCX RP	00RR1011	RP=RP-1		1	1
XCHG	EB	HL=DE, DE=HL		1	1
XTHL	E3	HL=(SP+1, SP), (SP+1, SP)=HL		1	5
SPLH	F9	HL=SP, SP=HL		1	1
IMMEDIATE MODE INSTRUCTION GROUP					
LXI RP,ADR	00RR0001	LOAD REG PAIR IMMEDIATE		3	3
MVI R,DATA	00DD110	R=B2		2	2
MVI M,DATA	36	(HL)=B2		2	3
ADI DATA	C6	A=A+B2	ALL	2	2
ACI DATA	CE	A=A+B2+C	ALL	2	2
SUI DATA	D6	A=A-B2	ALL	2	2
SBI DATA	DE	A=A-B2-C	ALL	2	2
ANI DATA	E6	A=A AND B2	c=0 z ps	2	2
XRI DATA	EE	A=A XOR B2	c=0 z ps	2	2
ORI DATA	F6	A=A OR B2	c=0 z ps	2	2
CPI DATA	FE	A-B2, A=A	zc	2	2
IN OUT INSTRUCTION GROUP					
IN DEVICE	DB	ACC=(DEVICE)		2	2
OUT DEVICE	D3	(DEVICE)=ACC		2	2
RR=00;BC RR=10;HL =01;DE =11;SP orPSW(at PUSH,POP)					
SP	Stack Pointer				
B2	Second Byte of the Instruction				
B3	Third Byte of the Instruction				
DATA	=B2				
PC=	Program Counter				
ADR	=Operand, =B3, B2				
Symbolic OP Code Description Cond Step Cycl					
DIRECT ADDRESSING INSTRUCTION GROUP					
STA ADR	32	STORE ACC DIRECT		3	4
LDA ADR	3A	LOAD ACC DIRECT		3	4
SHLD ADR	22	STORE HL DIRECT		3	5
LHLD ADR	2A	LOAD HL DIRECT		3	5
JUMP INSTRUCTION GROUP					
PCHL	E9	PC=HL JUMP INDIRECT		1	1
JMP ADR	C3	PC=B3, B2		3	3
JMPT F,ADR	11FF1010	JUMP IF TRUE CONDITION		3	3
JMPF F,ADR	11FF0010	JUMP IF FAULSE CONDITION		3	3
SUBROUTINE CALL					
CALL ADR	CD	(SP-1, SP-2)=PC, SP=SP-2		3	5
CALT ADR	11FF1100	CALL IF TRUE CONDITION		3	3/5
CALF ADR	11FF0100	CALL IF FAULSE CONDITION		3	3/5
SUBROUTINE RETURN					
RET	C9	PC=(SP, SP+1), SP=SP+2		1	3
RETT	11FF1000	RETURN IF TRUE CONDITION		1	1/3
RETF	11FF0000	RETURN IF FAULSE CONDITION		1	1/3
OPERATE GROUP					
HLT	76	HALT			
NOP	00	NO OPERATION			
RST	11AAA111	RESTART (HARD WEAR USE)		1	3
INTERRUPT INSTRUCTION					
EI	FB	ENABLE INTERRUPT		1	1
DI	F3	DISABLE INTERRUPT		1	1
Cond.Code JMPT JMPF RETT RETF CALT CALF					
FF=00;	z	= JZ	JNZ	RZ	RNZ
=01;	c	= JC	JNC	RC	RNC
=10;	p	= JPE	JPO	RPE	RPO
=11;	s	= JM	JP	RM	RP

ASSEMBLER COMMAND		
ORG	@1000	ORIGIN
LOC	@1000	
LABEL EQU	@3456	SYMBOL EQUATION
END		ASSEMBLE END
\$		PAGE SKIP
DB	@12,'12'	DEFINE BYTE / 12@31@32@
DB	'A' OR 200Q	/ C1@(-41 OR 80)
DB	12Q	/ 0A@
DB	12H	/ 12@
DB	12	(OCTAL)
		(HEXA-DECIMAL)
		(DECIMAL) / 0C@
TEXT		equal to DB
DC		equal to DB
DW	1234	DEFINE WORD / D2@04@
DW	1234H	/ 34@12@
DW	@1234	/ 34@12@
DCA		equal to DW
DCW	@1234	DEFINE CONSTANT / 12@34@
DS	100	DEFINE STORAGE / 00@-(100bytes)-00@

附錄 C Micro-8 BUS CONNECTION

	Back		Pin Position	Face	
	Signals	Pin		Pin	Signals
1	GND	236	oo	248	GND
2	RESET	235	o o	234	RESET
3	HALT	247	oo	233	INTR 7
4	FETCH	232	o o	231	" 6
5	HACK	230	oo	246	" 5
6	HREQ	229	o o	228	" 4
7	ADRS 15	245	oo	227	" 3
8	" 14	226	o o	225	" 2
9	" 13	224	oo	244	" 1
10	" 12	223	o o	222	" 0
11	" 11	243	oo	221	READY
12	" 10	220	o o	219	WT.STRB
13	" 9	218	oo	242	WRITE
14	" 8	217	o o	216	READ
15	" 7	241	oo	215	DATA 7
16	" 6	214	o o	213	" 6
17	" 5	212	oo	240	" 5
18	" 4	211	o o	210	" 4
19	" 3	239	oo	209	" 3
20	" 2	208	o o	207	" 2
21	" 1	206	oo	238	" 1
22	" 0	205	o o	204	" 0
23	+5V	237	oo	203	+5V
24		202	o o	201	
1	-12V	136	oo	148	-12V
2	-9V	135	o o	134	-9V
3	WTACK	Ø1 147	oo	133	COM 2
4	WTRDY	OUT 132	o o	131	240K IN
5	WTOVE	130	oo	146	480K SYNC
6	RDACK	129	o o	128	960K MASK
7	RDOVF	145	oo	127	1.92M INTE
8	WTREQ	HLTA 126	o o	125	DMAWT
9	RDRDY	DBIN 124	oo	144	WT.SRT
10	STA 23	123	o o	122	STA 22
11	WCH 2	143	oo	121	STA 21
12	WCH 1	120	o o	119	STASET
13	WCH 0	118	oo	142	INTR3RD
14	STA 12	117	o o	116	RMRST
15	RCH 2	141	oo	115	WMRST
16	RCH 1	114	o o	113	AD08
17	RCH 0	112	oo	140	AD19
18	INTR2RD	111	o o	110	AD2A
19	INTR4RD	139	oo	109	AD3B
20	STA 11	108	o o	107	
21	COM 1	106	oo	138	COM 0
22	+12V	105	o o	104	+12V
23	+5V	137	oo	103	+5V
24	GND	102	o o	101	GND

附録 D ベクター・アドレス・テーブル

割込みレベル	信号名	ベクター・アドレス
0	INT 0	0 0 0 0 16進
1	INT 1	0 0 0 8
2	INT 2	0 0 1 0
3	INT 3	0 0 1 8
4	INT 4	0 0 2 0
5	INT 5	0 0 2 8
6	INT 6	0 0 3 0
7	INT 7	0 0 3 8

附録 E I/O・アドレス・マップ

1 APPENDIX E

2

3 Micro-B Hardware Address Map

4

5 ADDRESS READ/ STATUS/ DESCRIPTION
6 WRITE COMMAND

7

8 BASIC I/O-1 (TYPUTER, TIMER, MONITOR)

9

10 FE00 BASIC I/O-1 RAMP STATUS

11 FE00 R XXXX 0001 REAL TIME CLOCK STATUS

12 XXXX 0010 MONITOR CALL STATUS

13 XXXX 0100 TYPUTER WRITE READY STATUS

14 XXXX 1000 TYPUTER READE READY STATUS

15

16 W XXXX 0001 REAL TIME CLOCK STATUS RESET

17 XXXX 0010 MONITOR CALL STATUS RESET

18 XXXX 0100 TYPUTER WRITE READY STATUS RESET

19 XXXX 1000 TYPUTER READ READY STATUS RESET

20

21 FE01 BASIC I/O-1 MASK REGISTER

22 FE01 R XXXX 0001 REAL TIME CLOCK MASK

23 XXXX 0010 MONITOR CALL MASK

24 XXXX 0100 TYPUTER WRITE READY MASK

25 XXXX 1000 TYPUTER READ READY MASK

26

27 W XXXX 0001 REAL TIME MASK SET/RESET

28 XXXX 0010 MONITOR CALL MASK SET/RESET

29 XXXX 0100 TYPUTER WRITE READY MASK SET

30 XXXX 1000 TYPUTER READ READY MASK SET

31

32 FE02 R XXXX XXXX MONITOR CALL RESET

33 W XXXX XXXX MONITOR CALL SET

34

35 FE03 R XXXX XXXX TYPUTER READER START

36

37 FE04 R XXXX XXXX TYPUTER DATA READ

38 W XXXX XXXX TYPUTE DATA WRITE

39

40 FE05 * * *

41

42 FE06 INTERRUPT MASK ON CPU (FOR CPU-A, CPU-B ON, FFFF)

43

44 FE07 R XXXX XXXX TIMER OFF (RESET)

45 W XXXX XXXX TIMER ON (SET)

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

ADDRESS	READ/ WRITE	STATUS/ COMMAND	DESCRIPTION
65			
66			
67			Micro-8 Hardware Address Map
68			
69			ADDRESS READ/ STATUS/ DESCRIPTION
70			WRITE COMMAND
71			
72			BASIC I/O-2 (CMT,OKI TYPER)
73			
74	FE08		BASIC I/O-2 RAMP STATUS
75	FE08	R	XXXX 0001 CMT READY STATUS
76			XXXX 0010 CMT ERROR STATUS
77			XXXX 0100 OKI TYPER REQUEST KEY
78			XXXX 1000 OKI TYPER END ALARM
79			
80		W	XXXX 0001 0 BIT INTRUPT STATUS RESET
81			XXXX 0010 1 BIT INTRUPT STATUS RESET
82			XXXX 0100 2 BIT INTRUPT STATUS RESET
83			XXXX 1000 3 BIT INTRUPT STATUS RESET
84			
85	FE09		BASIC I/O-2 MASK REGISTER
86	FE09	R	XXXX 0001 0 BIT MASK READ (CMT READY)
87			XXXX 0010 1 BIT MASK READ (CMT ERROR)
88			XXXX 0100 2 BIT MASK R.(OKI TYPER REQ.)
89			XXXX 1000 3 BIT MASK R.(OKI TYPER END AL.)
90			
91		W	XXXX 0001 0 BIT CMT READY STATUS MASK
92			XXXX 0010 1 BIT CMT ERROR STATUS MASK
93			XXXX 0100 2 BIT OKI TYPER REQUEST KEY MASK
94			XXXX 1000 3 BIT OKI TYPER END ALARM MASK
95			
96	FE0A	*	* *
97	FE0B	*	* *
98			
99	FE0C		CMT COMMAND:STATUS REGISTER
100	FE0C	R	0000 0001 READ ERROR
101			0000 0010 COMMAND ERROR
102			0000 0100 FILE PROTECT
103			0000 1000 END OF VOLUME
104			0001 0000 TAPE MARK
105			0010 0000 BOT MARK
106			0100 0000 EOT MARK
107			1000 0000 READY
108			
109		W	0010 0000 INITIALIZE
110			0000 0000 DEFINE #0 UNIT FOR STATUS READ
111			0100 0000 DEFINE #1 UNIT FOR STATUS READ
112		W	100N 0000 TAPE MARK WRITE
113		W	100N 0001 END OF VOLUME SEARCH
114			100N 0010 FORWARD TAPE MARK SEARCH
115			100N 0011 REVERSE TAPE MARK SEARCH
116			100N 0100 REWIND
117			100N 0101 READ START
118			100N 0110 WRITE START
119			
120	FE0D		CMT DATA REGISTER
121	FE0D	R	NNNN NNNN CMT DATA READ
122		W	NNNN NNNN CMT DATA WRITE
123			
124			
125			
126			
127			
128			

ADDRESS	READ/ WRITE	STATUS/ COMMAND	DESCRIPTION
129			
130			
131			Micro-8 Hardware Address Map
132			
133			ADDRESS READ/ STATUS/ DESCRIPTION
134			WRITE COMMAND
135			
136			BASIC I/O-2 (OKI TYPED)--CONTINUE--
137			
138	FE0E	OKI TYPED COMMAND; STATU REGISTER	
139	FE0E	R XXXX 0001	END FLAG STATUS
140		XXXX 0010	ALARM FLAG STATUS
141			
142		W 0001 0001	KEY BORD FLAG SENSE
143		0001 0010	KEY BORD FLAG CLEAR
144		0001 0100	KEY BORD READ
145		0000 0100	KEY BORD RELEASE
146			
147		W 0011 0001	READER FLAG SENSE
148		0011 0010	READER FLAG SENSE
149		0011 0100	READER FLAG SENSE
150		0010 0100	READER START
151			
152		W 0100 0001	PRINTER FLAG SENSE
153		0100 0010	PRINTER FLAG CLEAR
154		0100 0100	PRINT DONE
155			
156		W 0101 0001	PUNCH FLAG SENSE
157		0101 0010	PUNCH FLAG CLEAR
158		0101 0100	PUNCH DONE
159			
160			
161	FE0F	R NNNN NNNN	OKI TYPED DATA READ
162		W NNNN NNNN	OKI TYPED DATA WRITE
163			
164	FE10	*	*
165	FE11	*	*
166	FE12	*	*
167	FE13	*	*
168	FE14	*	*
169	FE15	*	*
170	FE16	*	*
171	FE17	*	*
172			
173			
174			
175			
176			
177			
178			
179			
180			
181			
182			
183			
184			
185			
186			
187			
188			
189			
190			
191			
192			

193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256

Micro-8 Hardware Address Map

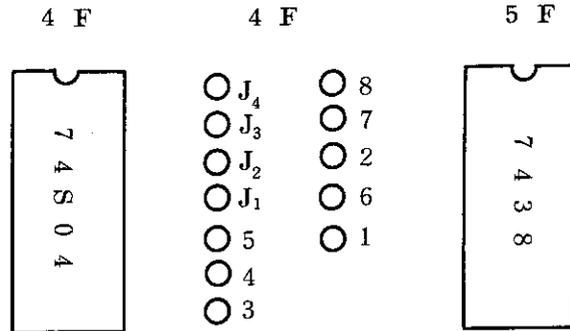
ADDRESS	READ/ WRITE	STATUS/ COMMAND	DESCRIPTION
COMMUNICATION ADAPTER (CA)			
CAC:			
FE18	R	NNNN NNNN	INT-3 CHANNEL READ
FE19	*	* *	*
FE1A	W	NNNN NNNN	STA-1 SET
FE1B	R	NNNN NNNN	DMA RECIVER MODE CLEAR
	W	NNNN NNNN	DMA SEND MODE CLEAR
FE1C	R	NNNN NNNN	DMA SEND MODE READ
	W	NNNN NNNN	DMA SEND MODE SET
FE1D	R	NNNN NNNN	DMA RECIVER MODE READ
	W	NNNN NNNN	DMA RECIVER MODE SET
FE1E	R	NNNN NNNN	INT-2 CHANNEL READ
	W		
FE1F	*	* *	*
CA :			
FE20+8*N	R	NNNN NNNN	CA N-CH. INT-2 RAMP STATUS READ
	W	NNNN NNNN	CA N-CH. INT-2 FLAG CLEAR
FE21+8*N	R	NNNN NNNN	CA N-CH. MASK READ
	W	NNNN NNNN	CA N-CH. MASK SET
FE22+8*N	R	NNNN NNNN	CA N-CH. COMMAND;STATUS READ
	W	NNNN NNNN	CA N-CH. COMMAND;STATUS SET;SEND
FE23+8*N	W	NNNN NNNN	CA N-CH. INT-3 FLAG CLEAR

ADDRESS	READ/ WRITE	STATUS/ COMMAND	DESCRIPTION
257			
258			
259			Micro-8 Hardware Address Map
260			
261			
262			
263			
264			DIGITAL OUTPUT UNIT (DO)
265			
266			DO N-CH. RAMP STATUS
267	FE60+8*N	R/W 0000 000N	INT-0 FLAG READ/CLEAR
268		0000 00NO	INT-1 FLAG READ/CLEAR
269		0000 0N00	INT-2 FLAG READ/CLEAR
270		0000 N000	INT-3 FLAG READ/CLEAR
271		000N 0000	STA-0 STATUS READ/CLEAR
272		00NO 0000	STA-1 STATUS READ/CLEAR
273		0N00 0000	STA-2 STATUS READ/CLEAR
274		N000 0000	STA-3 STATUS READ/CLEAR
275			
276			DO N-CH. MASK REGISTER
277	FE61+8*N	W XXXX 0001	INT-0 MASK SET/RESET
278		XXXX 0010	INT-1 MASK SET/RESET
279		XXXX 0100	INT-2 MASK SET/RESET
280		XXXX 1000	INT-3 MASK SET/RESET
281			
282			DO N-CH. COMMAND REGISTER
283	FE62+8*N	W NNNN NNNN	COMMAND/DATA OUT
284			
285			DO N-CH. DATA REGISTER
286	FE64+8*N	W NNNN NNNN	D00~D07 DATA SET
287	FE65+8*N	W NNNN NNNN	D08~D15 DATA SET
288	FE66+8*N	W NNNN NNNN	D16~D23 DATA SET
289	FE67+8*N	W NNNN NNNN	D24~D31 DATA SET
290			
291			
292			DIGITAL INPUT UNIT (DI)
293			
294			DI N-CH. RAMP STATUS
295	FEA0+8*N	R/W 0000 000N	INT-0 FLAG READ/CLEAR
296		0000 00NO	INT-1 FLAG READ/CLEAR
297		0000 0N00	INT-2 FLAG READ/CLEAR
298		0000 N000	INT-3 FLAG READ/CLEAR
299		000N 0000	STA-0 STATUS READ/CLEAR
300		00NO 0000	STA-1 STATUS READ/CLEAR
301		0N00 0000	STA-2 STATUS READ/CLEAR
302		N000 0000	STA-3 STATUS READ/CLEAR
303			
304			DI N-CH. MASK REGISTER
305	FEA1+8*N	W XXXX 0001	INT-0 MASK SET/RESET
306		XXXX 0010	INT-1 MASK SET/RESET
307		XXXX 0100	INT-2 MASK SET/RESET
308		XXXX 1000	INT-3 MASK SET/RESET
309			
310			DI N-CH. COMMAND REGISTER
311	FEA2+8*N	W NNNN NNNN	COMMAND/DATA OUT
312			
313			DI N-CH. DATA REGISTER
314	FEA4+8*N	R NNNN NNNN	D00~D07 DATA READ
315	FEA5+8*N	R NNNN NNNN	D08~D15 DATA READ
316	FEA6+8*N	R NNNN NNNN	D16~D23 DATA READ
317	FEA7+8*N	R NNNN NNNN	D24~D31 DATA READ
318			
319			
320			

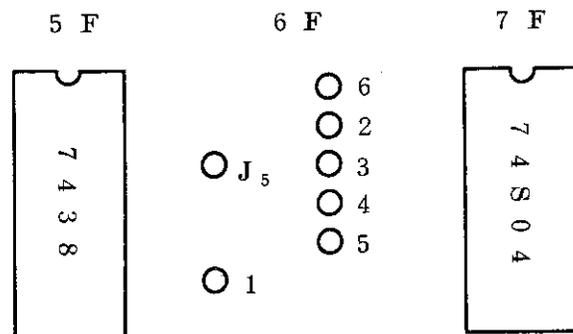
附録 F RAMボードのジャンパー結線表とIC配置表

アドレス指定 (RAM)

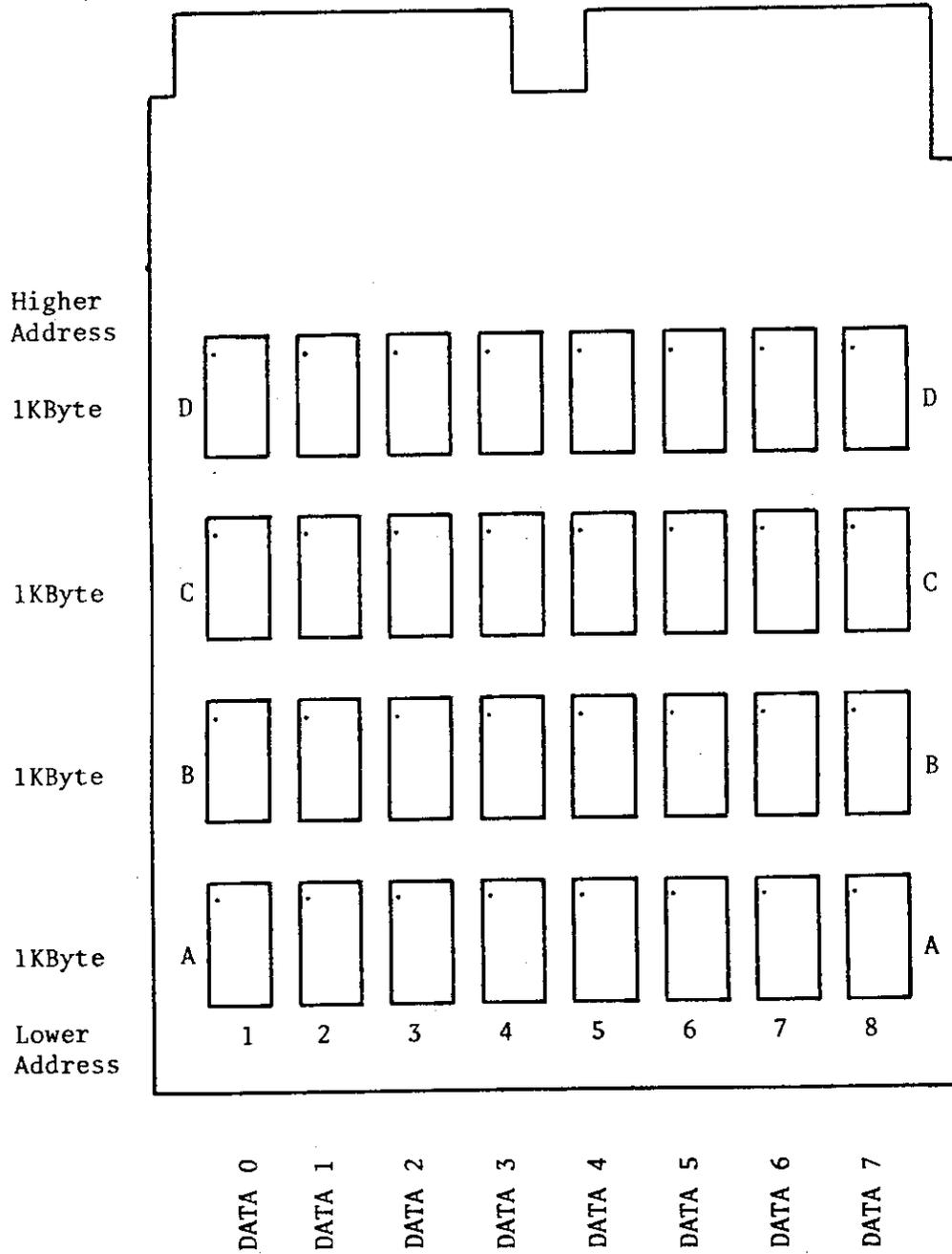
基点 16進 アドレス	J ₁	J ₂	J ₃	J ₄
0	1	3	5	7
1 0 0 0	2	3	5	7
2 0 0 0	1	4	5	7
3 0 0 0	2	4	5	7
4 0 0 0	1	3	6	7
5 0 0 0	2	3	6	7
6 0 0 0	1	4	6	7
7 0 0 0	2	4	6	7
8 0 0 0	1	3	5	8
9 0 0 0	2	3	5	8
A 0 0 0	1	4	5	8
B 0 0 0	2	4	5	8
C 0 0 0	1	3	6	8
D 0 0 0	2	3	6	8
E 0 0 0	1	4	6	8
F 0 0 0	2	4	6	8



基点 Ready タイム	J ₅	RAM
0 μs	1	MOSTEK 410206
0.5 "	2	フェアチャイルド 2102-2
1.0 "	3	
1.5 "	4	
2.0 "	5	
2.5 "	6	



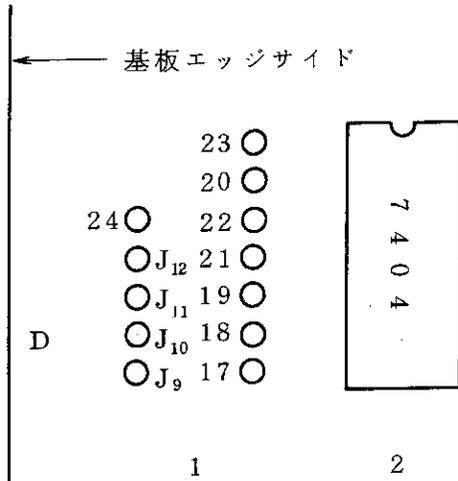
RAM IC POSITION



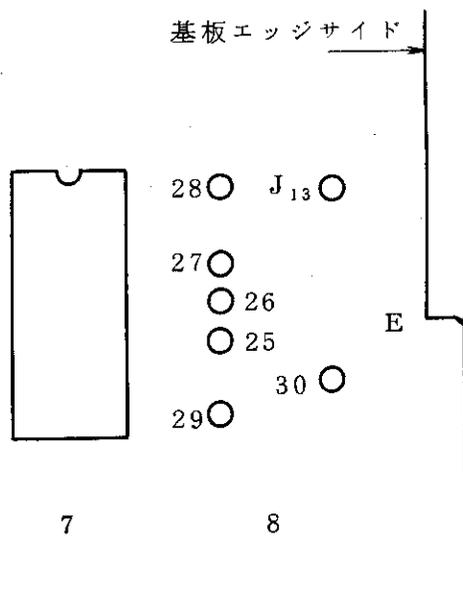
附録 G P-ROMボードのジャンパー結線表とIC配置表

アドレス指定 (ROM)

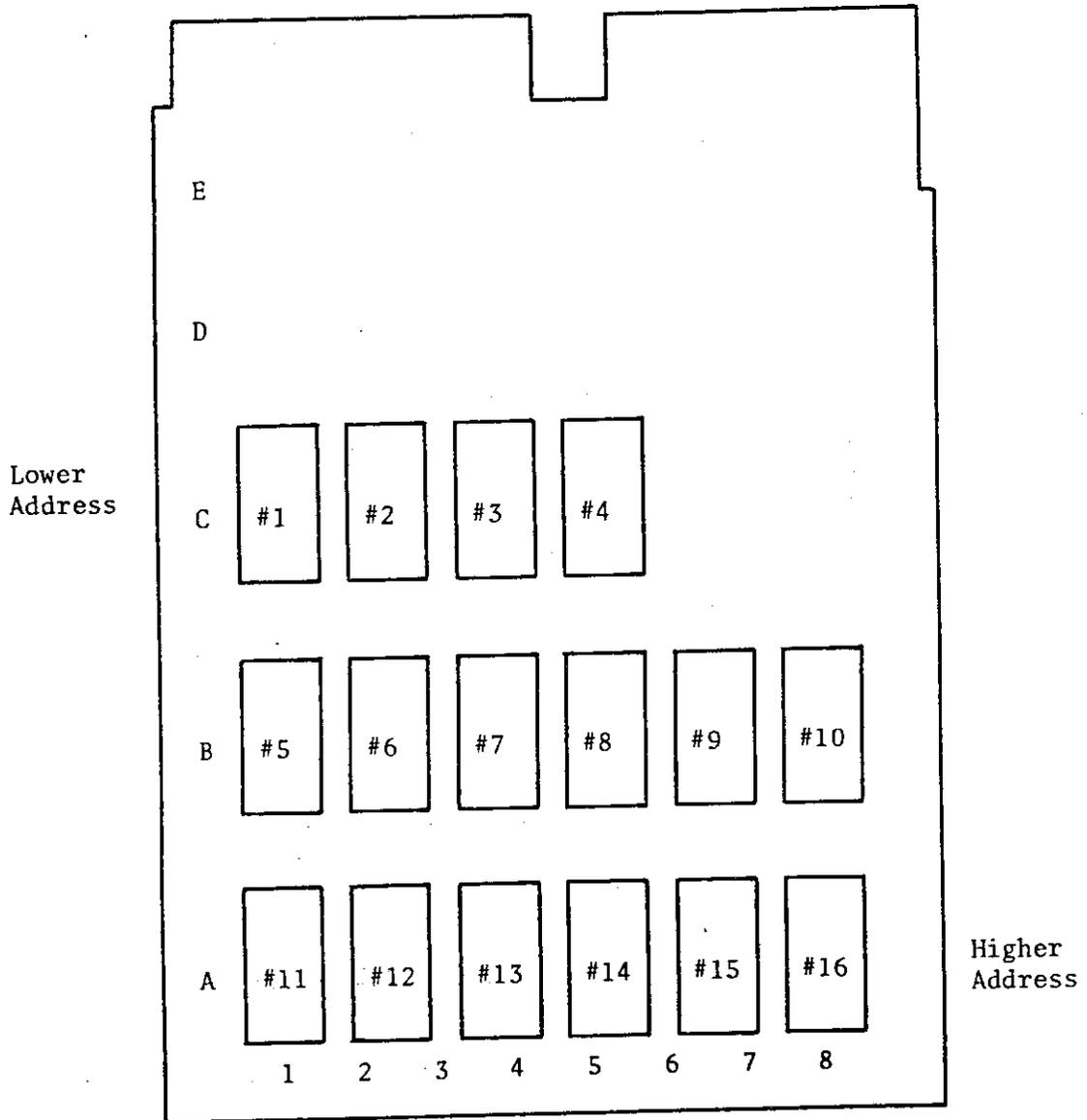
16進 アドレス	基点	J ₉	J ₁₀	J ₁₁	J ₁₂
0		1 7	1 9	2 1	2 3
1 0 0 0		1 8	1 9	2 1	2 3
2 0 0 0		1 7	2 0	2 1	2 3
3 0 0 0		1 8	2 0	2 1	2 3
4 0 0 0		1 7	1 9	2 2	2 3
5 0 0 0		1 8	1 9	2 2	2 3
6 0 0 0		1 7	2 0	2 2	2 3
7 0 0 0		1 8	2 0	2 2	2 3
8 0 0 0		1 7	1 9	2 1	2 4
9 0 0 0		1 8	1 9	2 1	2 4
A 0 0 0		1 7	2 0	2 1	2 4
B 0 0 0		1 8	2 0	2 1	2 4
C 0 0 0		1 7	1 9	2 2	2 4
D 0 0 0		1 8	1 9	2 2	2 4
E 0 0 0		1 7	2 0	2 2	2 4
F 0 0 0		1 8	2 0	2 2	2 4



Ready タイム	基点	J ₁₃	P-ROM
0 μs		2 5	
0.5 "		2 6	
1.0 "		2 7	インテル 1702A
1.5 "		2 8	
2.0 "		2 9	
2.5 "		3 0	



P-ROM IC POSITION



附錄 H DI CONNECTION

Pin No.	Signals	Pin No.	Signals
40		v	GND
39		u	DIN 31
38		t	DIN 30
37		s	DIN 29
36		r	DIN 28
35		p	DIN 27
34		n	DIN 26
33		m	DIN 25
32		l	DIN 24
31		k	GND
30		j	GND
29		h	DIN 23
28		f	DIN 22
27		e	DIN 21
26		d	DIN 20
25		c	DIN 19
24		b	DIN 18
23	RESET	a	DIN 17
22	RESET	Z	DIN 16
21	GND	Y	GND
20	GND	X	GND
19	STA 3	W	DIN 15
18	STA 2	V	DIN 14
17	STA 1	U	DIN 13
16	STA 0	T	DIN 12
15	INT 3	S	DIN 11
14	INT 2	R	DIN 10
13	INT 1	P	DIN 9
12	INT 0	N	DIN 8
11	GND	M	GND
10	GND	L	GND
9	COM 3	K	DIN 7
8	COM 2	J	DIN 6
7	COM 1	H	DIN 5
6	COM 0	F	DIN 4
5	ACK 3	E	DIN 3
4	ACK 2	D	DIN 2
3	ACK 1	C	DIN 1
2	ACK 0	B	DIN 0
1	GND	A	GND

附録 I DO CONNECTION

Pin No.	Signals	Pin No.	Signals
40		v	GND
39		u	DOT 31
38		t	DOT 30
37		s	DOT 29
36		r	DOT 28
35		p	DOT 27
34		n	DOT 26
33		m	DOT 25
32		l	DOT 24
31		k	GND
30		j	GND
29		h	DOT 23
28		f	DOT 22
27		e	DOT 21
26		d	DOT 20
25		c	DOT 19
24		b	DOT 18
23	RESET	a	DOT 17
22	RESET	Z	DOT 16
21	GND	Y	GND
20	GND	X	GND
19	STA 3	W	DOT 15
18	STA 2	V	DOT 14
17	STA 1	U	DOT 13
16	STA 0	T	DOT 12
15	INT 3	S	DOT 11
14	INT 2	R	DOT 10
13	INT 1	P	DOT 9
12	INT 0	N	DOT 8
11	GND	M	GND
10	GND	L	GND
9	COM 3	K	DOT 7
8	COM 2	J	DOT 6
7	COM 1	H	DOT 5
6	COM 0	F	DOT 4
5	ACK 3	E	DOT 3
4	ACK 2	D	DOT 2
3	ACK 1	C	DOT 1
2	ACK 0	B	DOT 0
1	GND	A	GND

附録 J CA CONNECTION

S-CA CONNECTION

	Signals	Description	Pin No.	Pin No.
S-CA No.1 (COMMAND)	TPSC1	Command Out	1, 2,A,B	8
	TNSC1	Command Out Return	5, 6,E,F	7
	RPSC	Command In	13,14,P,R	6
	RNSC	Command In Return	15,16,S,T	5
S-CA No.2 (DATA)	TPSD1	Data Out	1, 2,A,B	1
	TNSD1	Data Out Return	5, 6,E,F	2
	RPSD	Data In	13,14,P,R	3
	RNSD	Data In Return	15,16,S,T	4

Connector : Hirose CR7B-80DA-3.96E

AMPHENOL
17/20090&
17-310-01

CA JUMPPER CONNECTION FOR CHANNEL SELECT

Base Points	0 Ch.	1 Ch.	2 Ch.	3 Ch.	4 Ch.	5 Ch.	6 Ch.	7 Ch.
K1	J1	J1	J1	J1	J2	J2	J2	J2
K2	J4	J4	J4	J4	J3	J3	J3	J3
K3	J5	J5	J6	J6	J5	J5	J6	J6
K4	J7	J8	J7	J8	J7	J8	J7	J8
RA	R2	R2	R2	R2	R1	R1	R1	R1
RB	R4	R4	R3	R3	R4	R4	R3	R3
RC	R6	R5	R6	R5	R6	R5	R6	R5
WA	W2	W2	W2	W2	W1	W1	W1	W1
WB	W4	W4	W3	W3	W4	W4	W3	W3
WC	W6	W5	W6	W5	W6	W5	W6	W5

P-CA CONNECTION

Definition		Signals	Pin No.	
Command Out	Command	1	COMO 0	6
		2	COMO 1	5
		4	COMO 2	4
	Status-2	1	STAO 0	3
		2	STAO 1	2
		4	STAO 2	1
	Status-1	1	STAO 3	A
		2	STAO 4	B
	Parity (odd)		SPAO	7
	Strobe		C1	STBO
Command In	Command	1	COMI 0	18
		2	COMI 1	17
		4	COMI 2	16
	Status-2	1	STAI 0	15
		2	STAI 1	14
		4	STAI 2	13
	Status-1	1	STAI 3	11
		2	STAI 4	10
	Parity (odd)		SPAI	9
	Strobe		F1	STBI
Data Out	Data	0	DOT 0	27
		1	DOT 1	26
		2	DOT 2	25
		3	DOT 3	24
		4	DOT 4	23
		5	DOT 5	22
		6	DOT 6	21
	7	DOT 7	20	
	Parity (odd)		DPAO	19
	Strobe	A1	A1OUT	28
B1		B1IN	29	
Data In	Data	0	DIN 0	39
		1	DIN 1	38
		2	DIN 2	37
		3	DIN 3	35
		4	DIN 4	34
		5	DIN 5	33
		6	DIN 6	32
	7	DIN 7	31	
	Parity (odd)		DPAI	30
	Strobe	D1	D1OUT	40
E1		E1IN	36	