

JAERI - M
90-005

VME-busシステム・CAMACシステム間の
高速データ転送試験

1990年2月

川俣 陽一・栗原 研一・木村 豊秋・高橋 実

JAERI-Mレポートは、日本原子力研究所が不定期に公刊している研究報告書です。
入手の間合わせは、日本原子力研究所技術情報部情報資料課（〒319-11茨城県那珂郡東海村）あて、お申しこしてください。なお、このほかに財団法人原子力弘済会資料センター（〒319-11茨城県那珂郡東海村日本原子力研究所内）で複写による実費頒布をおこなっております。

JAERI-M reports are issued irregularly.

Inquiries about availability of the reports should be addressed to Information Division
Department of Technical Information, Japan Atomic Energy Research Institute, Tokai-
mura, Naka-gun, Ibaraki-ken 319-11, Japan.

©Japan Atomic Energy Research Institute, 1990

編集兼発行 日本原子力研究所
印刷 刷 (株)高野高速印刷

VME-bus システム・CAMAC システム間の高速データ転送試験

日本原子力研究所那珂研究所 JT-60 試験部
川俣 陽一・栗原 研一・木村 豊秋・高橋 実

(1990年1月5日受理)

大型核融合実験装置である JT-60 におけるプラズマの位置・形状制御は、CAMAC ハイウェイでネットワーク化された計算機システムの一部である「フィードバック制御計算機システム」により行なわれている。この制御周期を短くし、機能をより高性能化するため、32ビットの高速演算と高速データ入出力が可能な汎用バス(VME-bus)システムを導入することを考え、このために必須の VME-bus システムと既存の CAMAC システム間のデータ通信の性能確認試験を行なった。この結果、プラズマ位置・形状制御システムにおけるデータの入出力時間を現状よりもはるかに短縮できることが確認され、JT-60 の大電流化改造後の非円形プラズマの垂直位置不安定性を抑制する等、必要な高速演算を可能とする見通しを得た。

Test on Fast Data Transfer between a VME-bus System
and a CAMAC System

Youichi KAWAMATA, Kenichi KURIHARA, Toyoaki KIMURA
and Minoru TAKAHASHI

Department of JT-60 Facility
Naka Fusion Research Establishment
Japan Atomic Energy Research Institute
Naka-machi, Naka-gun, Ibaraki-ken

(Received January 5, 1990)

Test results are reported on data transfer between a VME-bus system and a CAMAC system. To improve the computation capability in the JT-60 upgrade plasma control from the view points of speed and accuracy, the VME-bus system, where 32-bit floating calculation can be executed by a 20MHz or faster-cycle CPU, is installed in the present feedback control system based on CAMAC interfaces. As a result, the time required for the data input and output can be extremely reduced in the new system, which makes it possible to suppress the crucial vertical instability of elongated plasmas in the JT-60 upgrade.

Keywords: VME-bus System, CAMAC System, Data Transfer, Feedback Control
JT-60, JT-60 Upgrade

目 次

1. はじめに	1
2. 試験システム構成と試験内容	6
2.1 システム構成と内容	6
2.2 試験プログラム	8
3. 試験結果と検討	17
3.1 各試験項目毎の結果と検討	17
3.2 現システムとの比較	19
4. まとめ	25
謝 辞	25
参考文献	26
付 録1 機器一覧	27
付 録2 略号一覧	28
付 録3 DPMDプロトコルメモリ転送手順非リザーブ方式	29
付 録4 ACD プロトコル応答付BUFFメモリ転送方式	30

Contents

1. Introduction	1
2. Test System Configuration and Its Procedures	6
2.1 Test system configuration and its procedure for each data transfer	6
2.2 Explanation on test programs	8
3. Test Results and Discussion	17
3.1 Test results and discussion at each data transfer	17
3.2 Comparison between the present system and the new VME-bus system	19
4. Concluding Remarks	25
Acknowledgments	25
References	26
Appendix 1 Table of Hardware and Software Equipped in the Test System	27
Appendix 2 Abbreviation Table	28
Appendix 3 DPMD Communication Protocol	29
Appendix 4 ACD Communication Protocol	30

1. はじめに

日本原子力研究所の臨界プラズマ試験装置 J T - 6 0¹⁾は、欧州の J E T, 米国の T F T R と並ぶトカマク型の大型核融合実験装置である。J T - 6 0 では主半径 3 m, 副半径 1 m のトーラス形状のプラズマを生成し、3 M A 級の環状電流を 1 0 秒間維持する。さらに、このプラズマに高速の中性粒子ビームや大電力高周波を入射し、高密度・高温状態を実現する。このような大電流プラズマの位置・形状制御技術は、核融合炉心規模のプラズマ制御の最も基本であり、プラズマ閉じ込め性能の向上、プラズマ・壁相互作用の解明等種々の研究に必要不可欠である。

J T - 6 0 のプラズマ位置・形状制御は、これらの状態を電磁気センサの信号に基づいて求め、その目標値との偏差を零とするようポロイダル磁場コイル電源を調整するフィードバック制御により行なわれる。この「フィードバック制御系²⁾」は J T - 6 0 制御系を統括する「全系制御設備³⁾」の一部を成し、そこで用いられる計算機システム及びデータ通信用インターフェイスを中心に示すと第 1. 1 図のような構成をとる。すなわち「フィードバック制御系」は、電磁気プローブからの信号を処理して、プラズマの位置・形状を演算する「高速前処理プロセッサ」、フィードバック制御演算を実行する「フィードバック制御計算機」、必要なコイル電流値を指令する「ポロイダル磁場コイル電源直接デジタル制御装置 (P - D D C)」、及びこれらの間のデータ通信用インターフェイスである C A M A C 規格^{*1)}に準拠するブランチハイウェイポート付補助コントローラ (A C B) からなる。「高速前処理プロセッサ」は、C P U として A M D 2 9 1 1 6 を搭載した Z i P 3 2 1 6 (米国、マーキュリー社製) で、1 語長が 1 6 b i t (ビット) または、3 2 b i t, サイクルタイム 1 0 0 ナノ秒、3 2 b i t 内部データ・バスである Z i P - B u s の転送速度が最大 4 0 M b i t (メガビット) / 秒等の性能を有する。また、「フィードバック制御計算機」は、1 語長が 1 6 b i t のミニコンピュータ H I D I C - 8 0 E (日立製作所) 2 台からなり、その性能は、サイクルタイム 4 8 0 ナノ秒、D M A (D i r e c t M e m o r y A c c e s s) 転送時約 4 M W (メガワード) / 秒 (読み込み時)、約 3 M W / 秒 (書き込み時)、P C M A (P r o c e s s o r C o n t r o l l e d M e m o r y A c c e s s) 転送時約 4 0 k W (キロワード) 秒である。

また、「フィードバック制御系」に関連して、実現すべき位置・形状の目標値を「フィードバック制御計算機」に実時間で与えるための「実時間制御計算機」、及び放電前に「フィードバック制御計算機」に各種制御演算パラメータを与えたり、放電後「フィードバック制御計算機」から結果データを収集する「放電制御計算機」が備えられている。「フィードバック制御計算機」と「実時間制御計算機」間のフィードバック制御中のデータ通信用インターフェイスとしては、C A M A C 規格に準拠する「Dポート付デュアルポートメモリ (D P M D)」が、また、「フィードバック制御計算機」と「放電制御計算機」間の放電前後のデータ通信用として G P I B インターフェイスが用いられている。

*1) CAMAC: Computer Automated Measurement And Control の略で、計算機間通信及びデータ入出力のインターフェイスに関する国際規格である⁴⁾。本規格は、データウェイ規格 (IEEE Std. 588-1982)、シリアルハイウェイ規格 (IEEE Std. 595-1982)、ブランチハイウェイ規格 (IEEE Std. 596-1982)、多重コントローラ規格 (IEEE Std. 675-1982)、ブロック転送規格 (IEEE Std. 683-1976 (R1981))、実時間 B A S I C 規格 (IEEE Std. 726-1982)、サブルーチン規格 (IEEE Std. 758-1979 (R1981)) の 7 つの規格から構成される。

この「フィードバック制御系」で採用したCAMACシステムは、1語24bit、データウェイサイクル1マイクロ秒、ビットシリアル転送速度5Mbit/秒、バイトシリアル転送速度5Mbyte（メガバイト）/秒、ブランチ転送速度200kW/秒等の性能を有する。

このような現状の「フィードバック制御系」では、位置・形状検出に210マイクロ秒の処理時間を要し、また、それに続く多変数フィードバック制御演算には983マイクロ秒の処理時間を要している。このため、それぞれの処理をパイプライン状に縦列接続して並列処理化し、周期1ミリ秒の高精度で高速の位置・形状制御を実現している。

しかしながら、現在進められているJT-60の大電流化改造に対応して、プラズマの垂直位置制御性の向上等「フィードバック制御系」をより高性能化するためには、現システムでは演算精度、処理時間、プログラムエリア等の観点から以下のような問題がある。

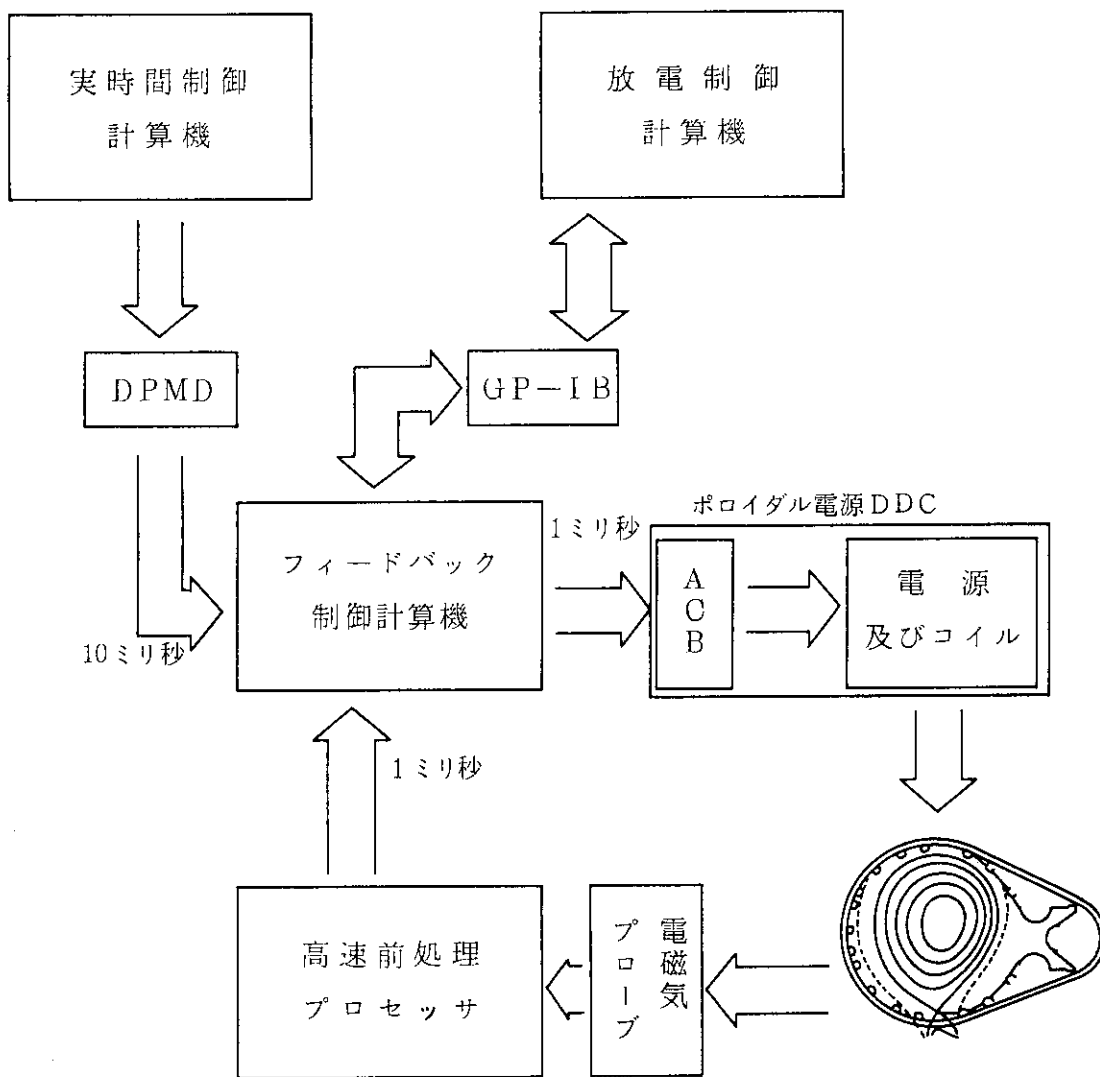
- ①高速前処理装置（ZIP3216）からHIDIC-80Eへデータを転送する際デジタル信号を一度アナログ信号に変換した後、再度デジタル信号に変換しているため2度の変換による丸め誤差が生じる。
- ②高速演算処理装置のホスト計算機であるHeurikon HK68（米国ヒューリコン社製）からHIDIC-80Eへ放電後180kWの結果データを転送する際、GPIBインターフェイスを介して行っており、現状約90秒も要する。これでは、今後、長時間放電によりデータが増えた場合、実験効率に支障をきたす可能性がある。
- ③「フィードバック制御計算機」における使用プログラムエリアは、ほぼ満杯の状態である。このため今後、各種演算及び様々な高度制御演算を組み込んで高速かつ高精度な制御を行なうことが困難である。
- ④JT-60の改造により、縦長非円形下側ダイバータプラズマ運転になり位置・形状、特に垂直位置が不安定になる。より高速な制御により、それを安定化するためにデジタル制御系の無駄時間（状態量検出からコイルへの指令値出力まで）を極力小さくし制御性の向上を図ることが不可避である。

一方、最近のエレクトロニクス分野の進歩を見ると、32ビット高速演算プロセッサ、高速汎用バス（VME-bus^{*2}）システムの標準化など、その進歩は著しいものがあり、これらの技術を上述の問題点を解決し、要求を満たすために利用することが可能な段階に来ている。そこで、JT-60の改造に関する制御システムの整備のひとつとして、プラズマ制御系の高精度・高速化を目指し、VME-busシステムを導入することを考えた。しかし、その際、現状の全ての計算機システムをVME-busシステムに置き換えることは現実的ではない。この理由を説明するために、若干JT-60の制御系について触れる。JT-60の制御系は、機能毎に放電制御系、実時間制御系（フィードバック制御系を含む）、運転制御系に分類され、それぞれのスーパーバイザとして前述のHIDIC-80Eというミニコンピュータが用いられている。スーパーバイザと現場の各機器の間には、マイクロコンピュータを搭載したCAMACシステムが備えられ、CAMAC規格のハイウェイを介してスーパーバイザと通信しながら現場の機器との入出力を行なっている。このCAMACシステムの規模は、そのクレート数が130台というものであり、CAMACハイウェイを介したスーパーバイザとのやりとりは、原研でJT-60のために標準化した専用の通信プロトコルに従って行なわれている。従って、新た

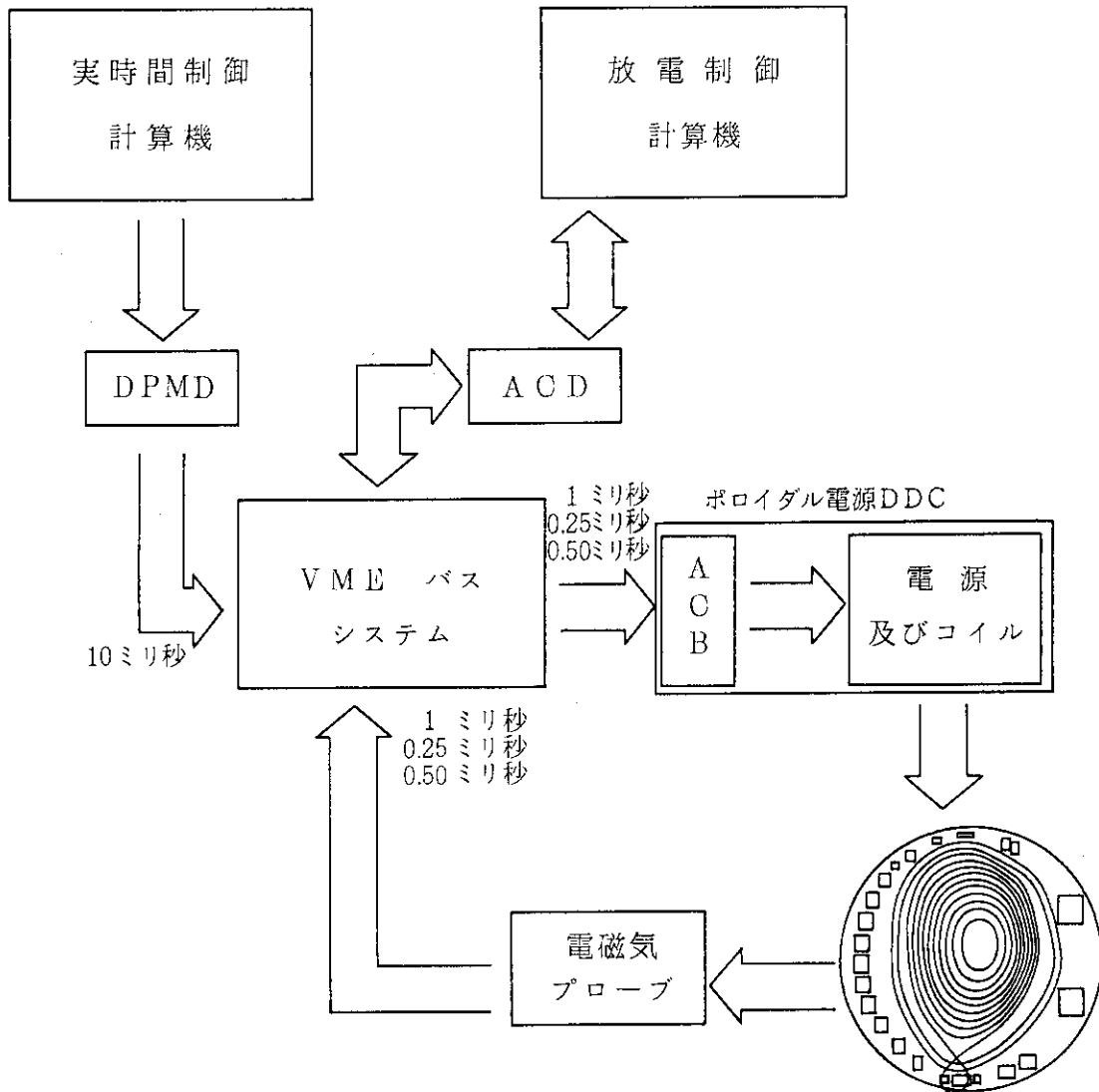
*2) VME-bus: Versa Module Europe-bus の略で、IEEE P1014/D1.2 により規定された高速の32bitバス規格である。⁵⁾

なVME-busシステムを取り込むには、スーパーバイザを含めCAMACハイウェイでネットワーク化された全システムを置き換えるか、既存のCAMACシステムとVME-busシステムとの間で通信を行なう形で、VME-busシステムを組み入れるかのいずれかの手法が考えられる。このうち高精度・高速化の必要性、経済性の点から、VME-busシステムを導入する対象を「フィードバック制御系」のみとすると共に、既存のCAMACシステムを極力利用するという方針に至った。VME-busシステム導入後のフィードバック制御系における計算機システム及びデータ通信用インターフェイスを示すと第1.2図の構成となる。このような構成において実施されるVME-busシステムとCAMACシステム間のデータ通信の性能については未確認の部分が多い^{6,7)}。そこで、性能測定や問題摘出を目的に、実際に試験機器を製作し、放電結果データ収集を想定した大容量データ転送及びフィードバック制御中の通信を想定した小容量高速データ転送の性能を実測する試験を行なった。

次章ではこのVME-busシステムとCAMACシステム間の通信試験のシステム構成と試験内容を、第3章では試験結果とそれに対する検討を加え、大電流化改造後のJT-60プラズマ制御系へ適用する場合の見通しについて述べる。最終章はまとめである。



第 1.1 図 現状のフィード・バック制御系と
通信用CAMACインターフェイス



第 1.2 図 VMEバスシステム導入後のフィード・バック制御系と
通信用インターフェイス

2. 試験システム構成と試験内容

2.1 システム構成と内容

既存のCAMACシステムで用いている通信用インターフェイスのデータ交信用メールボックス・モジュールは、プラズマ制御時の指令の送受信に必要なパラレル伝送系のACB (Auxiliary Controller with Branch Highway Port), 及び, バイトシリアル伝送系のDPMD (Dual Port Memory with Defined Port), 並びに, プラズマ放電のショット間の放電条件, 結果データの伝送に必要なシリアル伝送系のACD (Auxiliary Controller with Defined Port)である。一方, VME-busシステムとして利用可能な通信用インターフェイスとしては, 現在, CPBI (CAMAC Parallel Bus Interface for KSC3922)とCBD (CAMAC Branch Driver)が市販されている。ところで, 外部ポートに直接VME-busシステム側からアクセス可能なACBを除いて, CAMACシステム側には, クレート・コントローラとして, CPBIにはPBCC (Parallel Bus Crate Controller)が, CBDにはCCA2 (Type-A2 Create Controller)が必要である。

そこで, 本試験のシステム構成と内容として, 実際のシステムにおけるデータ転送の形態を考慮して, 次の3種類を選定した。

① CPBI-PBCC-DPMD

本試験は, 実機上のフィードバック制御中における「実時間制御計算機」から「フィードバック制御計算機」への制御目標値を与える通信を想定したものである。

② CBD-ACB

本試験は, 実機上のフィードバック制御中における「フィードバック制御計算機」から「ポロイダル磁場コイル電源直接デジタル制御装置」へのコイル電流指令値の通信を想定したものである。

③ CBD-CCA2-ACD-HIDIC-80E

本試験は, 実機上における放電結果データ収集を想定したものである。

これら各転送試験の構成と試験手順, 並びに試験プログラムを以下に示す。なお, 本試験に使用したハードウェアやオペレーティング・システム(OS)のメーカー名等は付録1「機器一覧」に, また, 本文中で使用する略号は付録2「略号一覧」に示す。

(1) パラレルバスを介した高速データ転送

本データ転送の試験構成は, 第2.1図に示すように, VME-busラック1台とP, E2台のCAMACクレートからなる。PクレートにはVME-busシステムとのインターフェイスであるCPBIと高速転送用モジュールのDPMDを, また, EクレートにはクレートコントローラとしてPBCCとPクレートとの通信用のCAMACシリアルハイウェイ・ドライバ(SD)を実装した。また, VME-busシステム側には, CAMACシステムとのインターフェイスとしてCPBIを, また, 計算機としてオフライン管理用のメインプロセッサ(CPU1)と, オンライン・データ転送用に高速入出力プロセッサ(CPU2)を実装した。

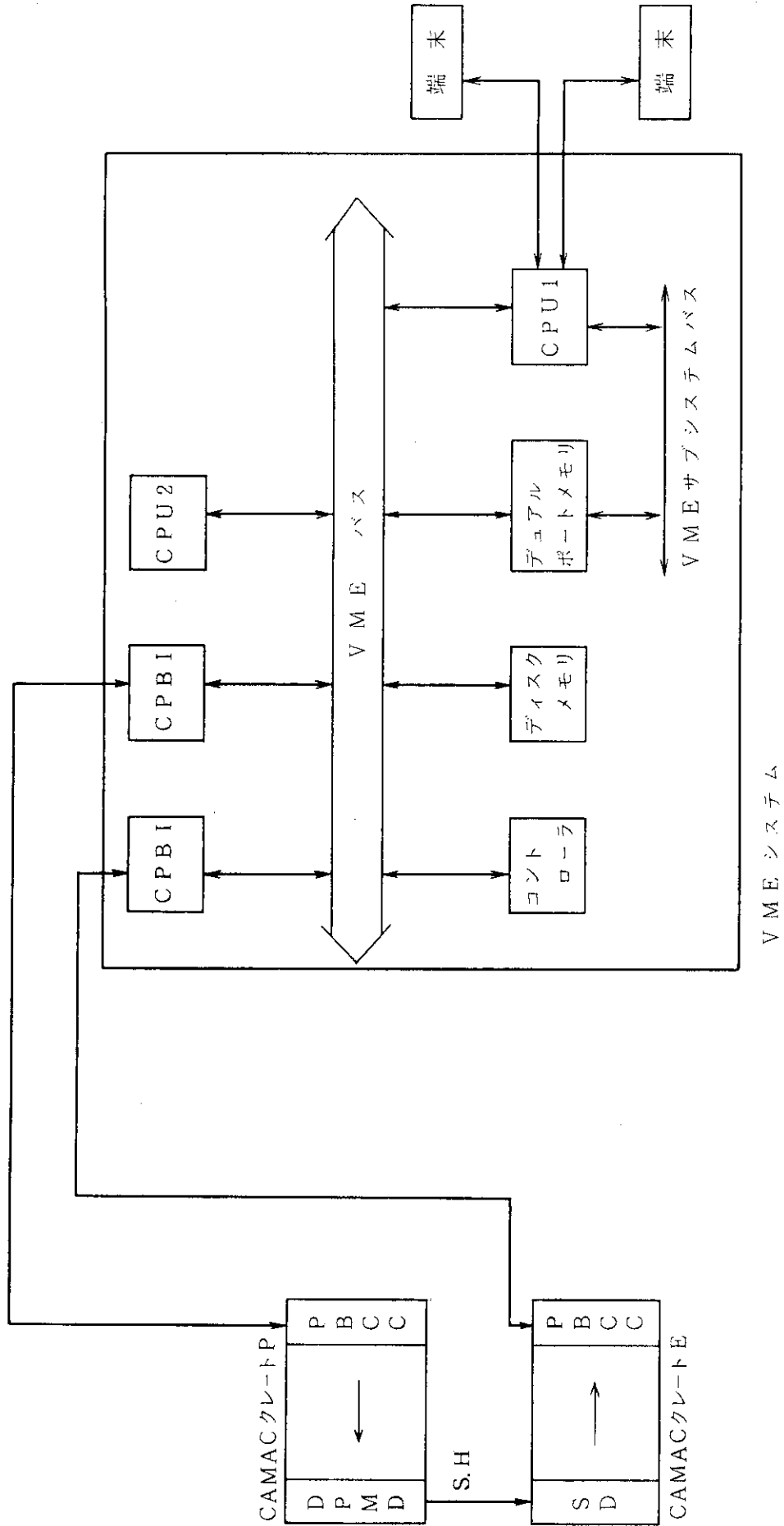
答付バッファメモリ転送方式*4でデータを書き込む。このデータをHIDIC-80Eのデータ受信用テストタスクが、可変語長転送モード*5で2kW毎に読み込む。全データの読み込みが終了するまでの一連の転送時間を、試験プログラム内のソフトタイマとHIDIC-80Eの受信用テストタスクのソフトタイマで実測する。

2.2 試験プログラム

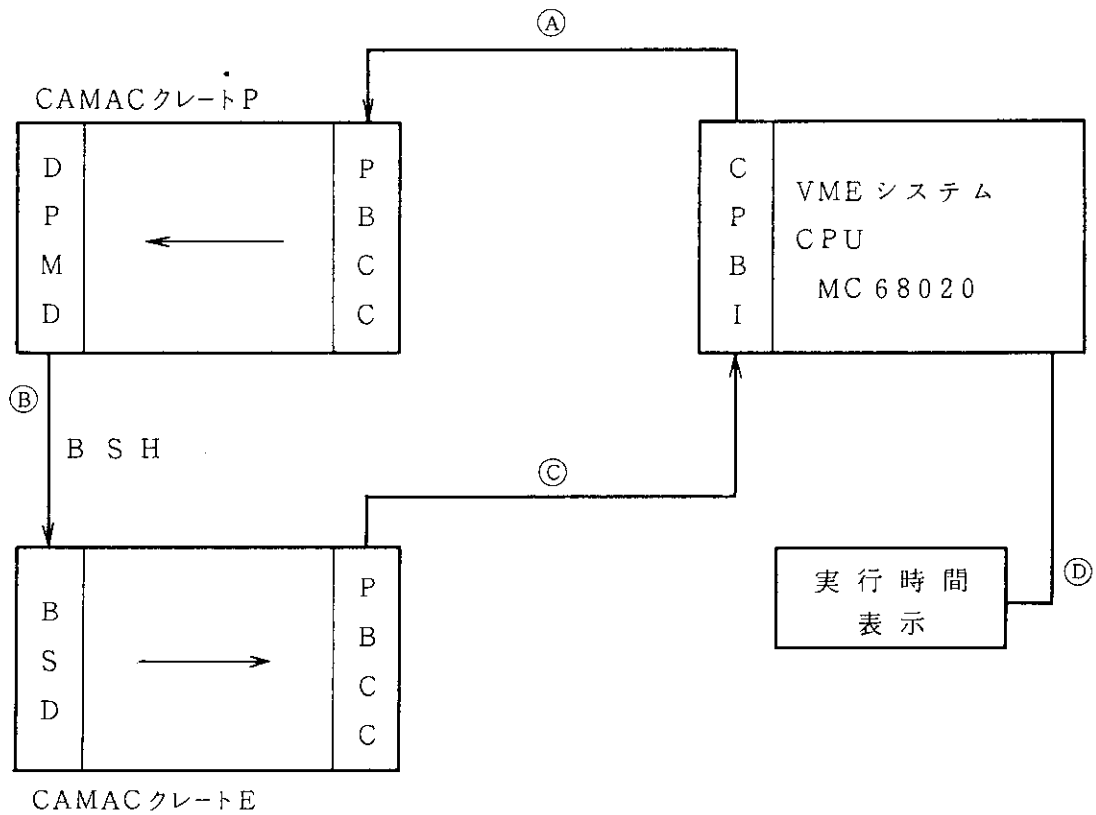
前述の各データ転送別に試験プログラムを用意した。それぞれの応用プログラムは、第2.8図に示すように、大きくHTP(Host Test Program)とCTP(Communication Test Program)に区分される。HTPは、実際にデータ転送を行なうCTPを起動させ、ソフトタイマをリセットし、CTPからのデータ転送完了信号を受信するまでの一連のデータ転送時間を測定し、その時間を表示する機能を持つプログラムである。また、CTPは、データ送受信の起動や割込みを管理するハンドラーDGQH(Datagram Queues Handler)によりHTPから起動された後、転送用領域pRISM Data Areaに書き込まれた全データを取り込み、これをデータ転送用モジュールのメモリへ書き込む。その後、CTPはそのデータを転送ルートのもう一方から読み込む。CTPは、この一連の動作を終了後HTPにデータ転送完了信号を送信する。

HTPは、C言語⁹⁾で記述されたUNIX¹⁰⁾OS(Operating System)の管理下で動作する。CTPも、C言語(システムコールを含む)で記述され、pSOS(Real-Time Multi-Tasking Operating System Kernel)というリアルタイムOS管理下で動作する。HTPとCTP間の通信は、pRISM(Real-Time Interprocessor System Manager)管理下のデータ領域を使用しSCIB(Software Components Interconnect Bus)という仮想バスを介して行なう。また、起動信号や完了確認信号も、SCIBとDGQHを介して行なう。

*4) 応答付バッファメモリ転送方式:付録4参照
 *5) 可変語長転送モード⁶⁾:ここでは、HIDIC-80E用のSDとACDのバッファメモリとの間で行なわれる大容量ブロック転送方式を意味し、N語(最大N=2048)のデータを1CAMACコマンドでバースト転送出来る。

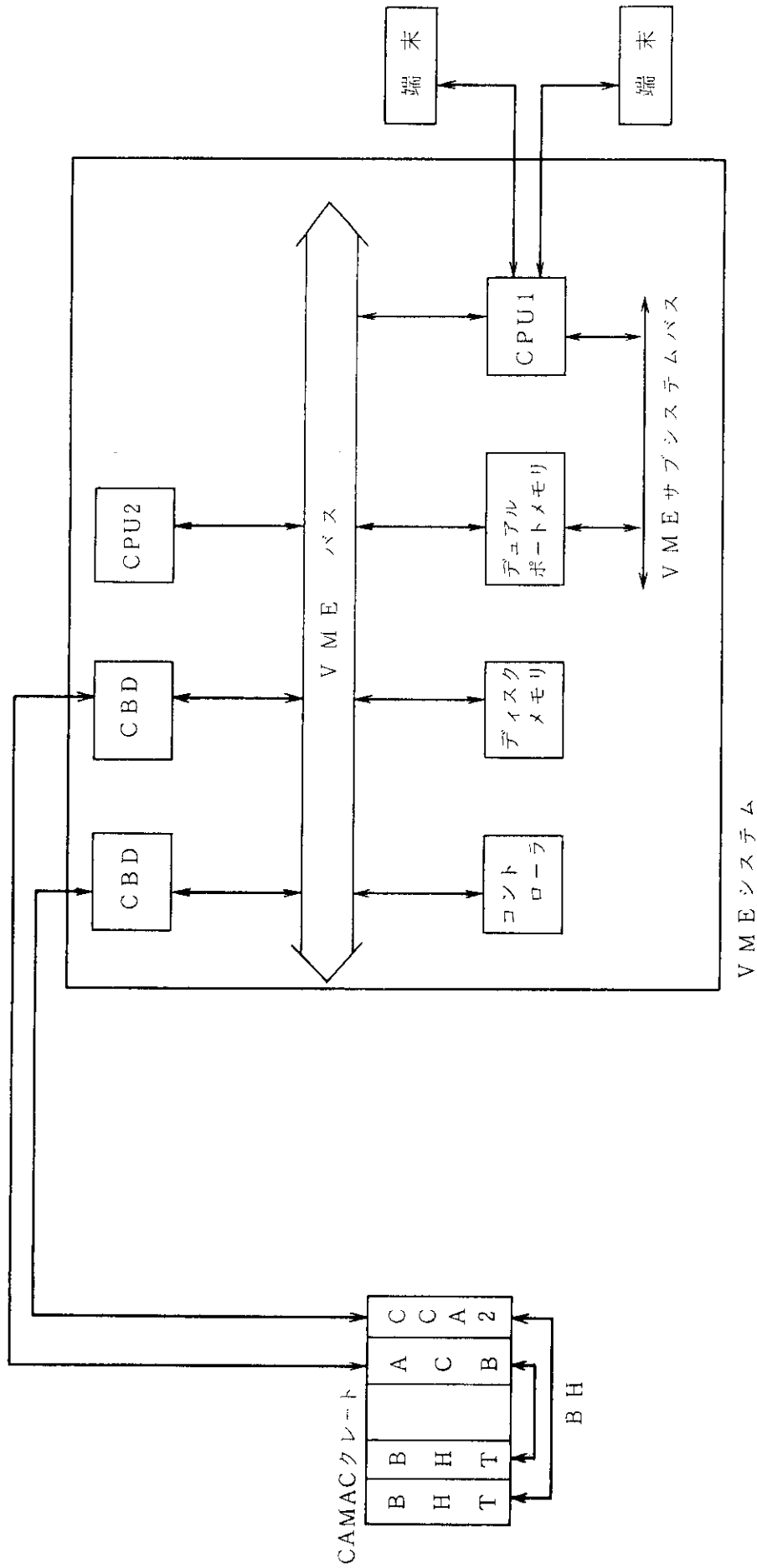


第2.1図 ハードウェア構成 (CPBI 使用時)

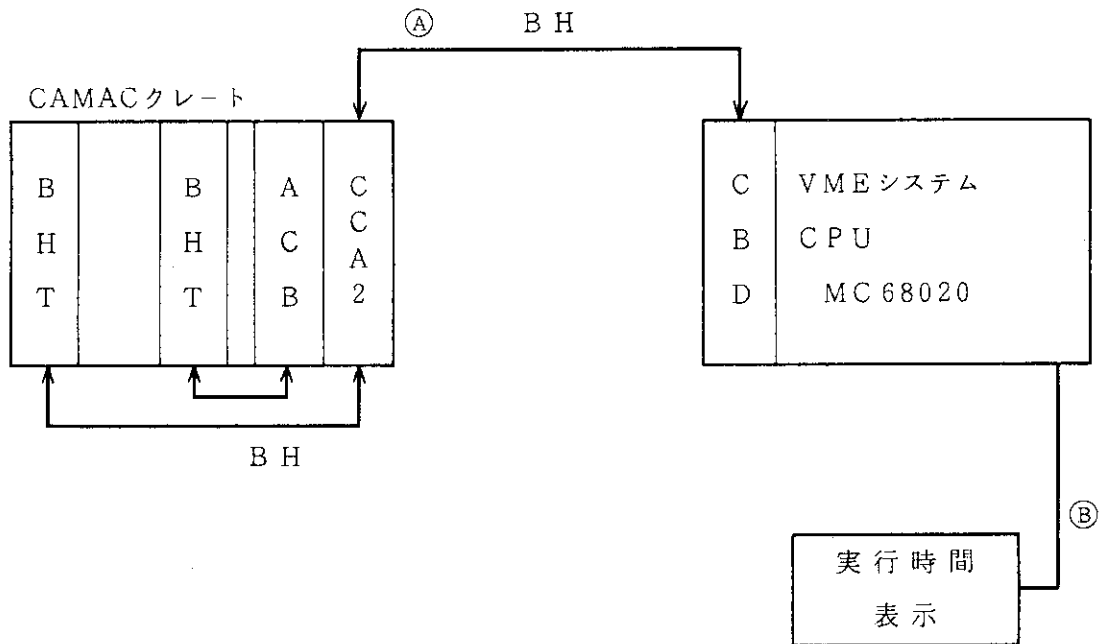


- ① パラレル・バス経由で、P B C Cを介しCAMACデータウェイ経由で、D P M Dのメモリへ30Wライトする。
- ② } D P M Dのメモリに書込まれた30Wのデータをリードする。
- ③ }
- ④ ①～③までの実行時間を測定し、CRT表示する。

第2.2図 パラレルバスを介した高速データ転送の試験手順

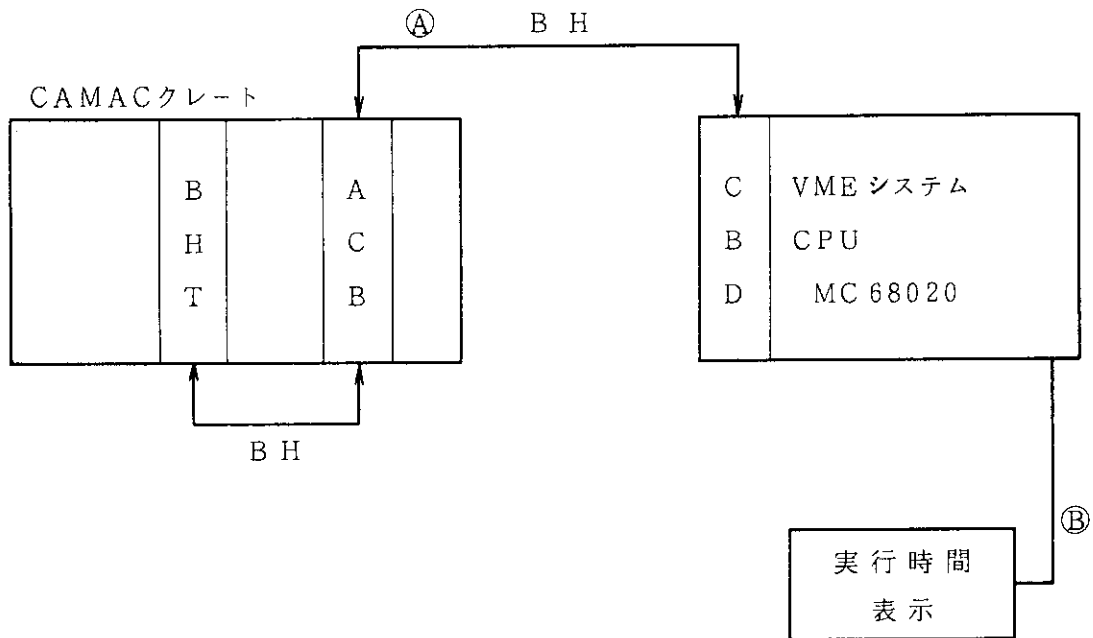


第2.3図 ハードウェア構成 (CBD使用時)



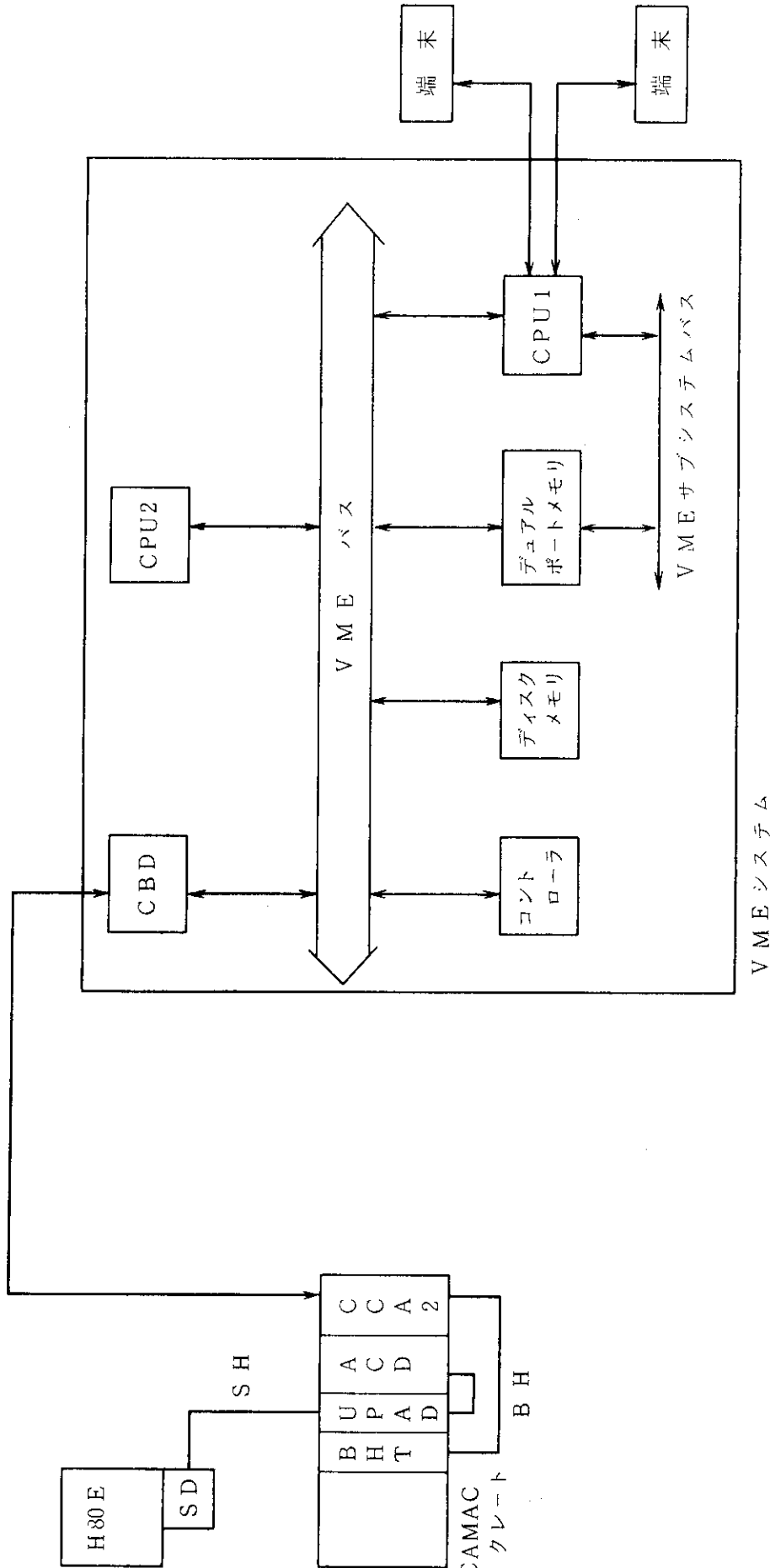
- ① CBDから、BH経由で、CCA2に対しコマンドを発行し、CAMACデータウェイを介しACBデータレジスタへ1W(1W=24ビット)を書き込む。その後、直ちにCBDからBH経由でCCA2に対しコマンドを発行しACBデータレジスタから1W(1W=24ビット)を読み込む。
- ② ①を100万回繰り返し、その実行時間を測定し(1/100万回)CRT表示する。

第2.4図 ブランチハイウェイを介した高速データ転送の試験手順

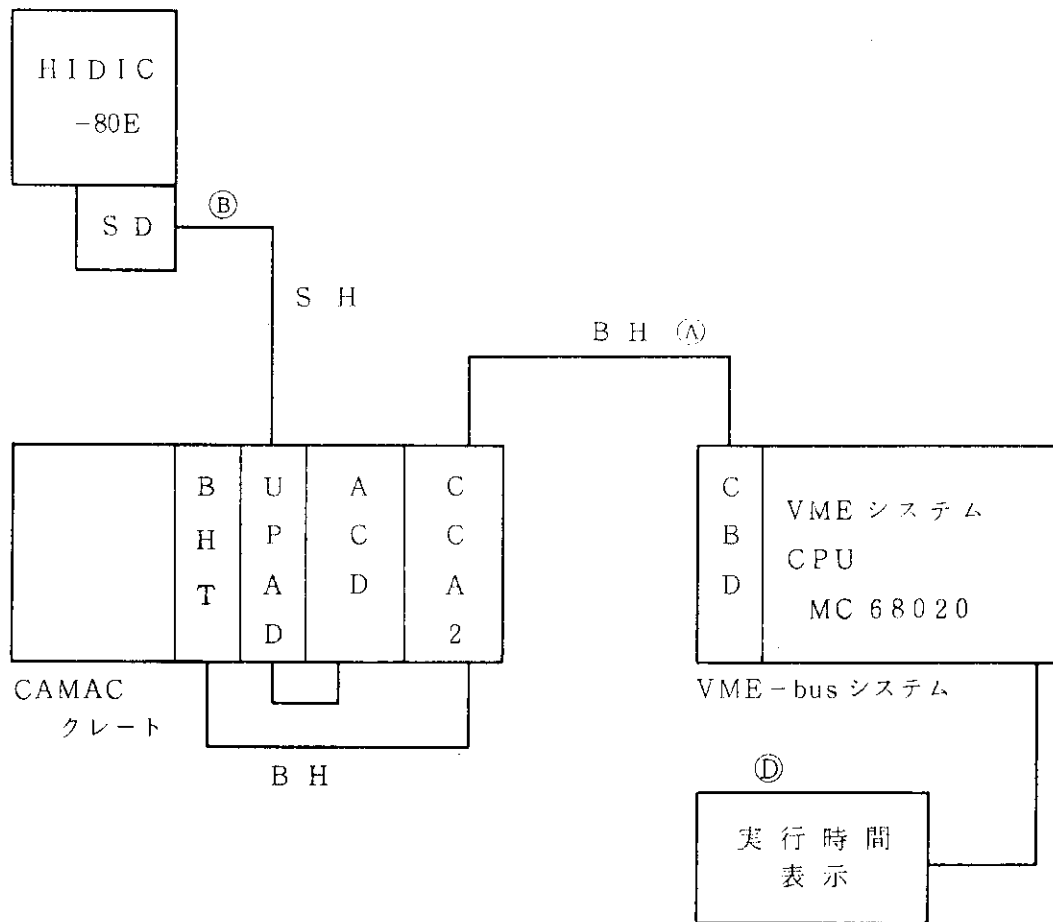


- ① CBDから B H 経由で、コマンドを発行し直接 A C B データレジスタへ 1 W (1 W = 24ビット) を書き込みコマンドが正常に発行されたか X 応答をチェックする。
- その後、直ちに CBD から B H 経由でコマンドを発行し、直接 A C B データレジスタから 1 W (1 W = 24ビット) を読み込みコマンドが正常に発行されたか X 応答をチェックする。
- ② ①を 100 万回繰り返し、その実行時間を測定し (1 / 100 万回) CRT 表示する。

第 2.5 図 ブランチハイウェイを介した高速データ転送の試験手順

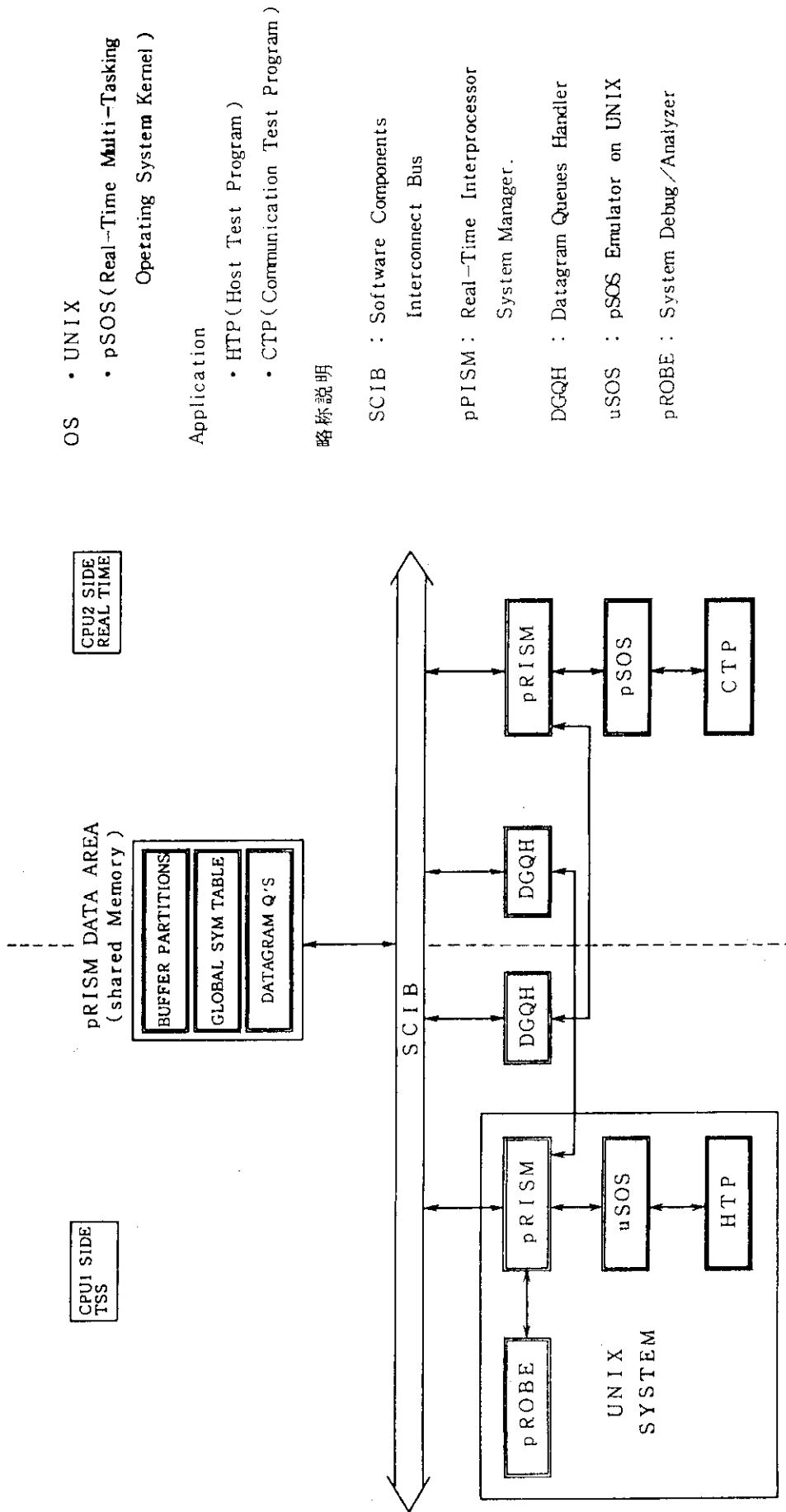


第2.6図 ハードウェア構成 (HIDIC80E接続時)



- ① BH経由で，CCA2を介し，CAMACデータウェイ経由で，ACDバッファ・メモリへヘッダ情報と2kWのデータをライトする。
- ② 可変語長転送モードで，H80Eは，ACDバッファ・メモリの内容をリードする。
- ③ ①～②を，60回繰り返す(2kW×60=120kW)。
- ④ ①～③までの120kW転送の実行時間を測定し，CRT表示する。

第2.7図 HIDIC-80Eへのシリアルハイウェイを介した大容量データ転送の試験手順



第2.8図 ソフトウェア構成

3. 試験結果と検討

3.1 各試験項目毎の結果と検討

本節で各試験項目毎の結果とその妥当性について述べる。まず、各試験項目とその結果を第3.1表に、見積り時間と試験結果の比較を第3.2表にまとめる。

(1) パラレルバスを介した高速データ転送試験の検討

VME-busシステムからCPBIを介し、パラレルバス経由で1WデータをDPMDのメモリへ書き込む時の転送時間は、次のように見積ることができる。

VME-busシステム内のCPBIからCAMACシステムへCAMACコマンド及びデータを出力する際の詳細手順は次のとおりである。

- ①N (ステーション), A (サブアドレス), F (ファンクション) をCPBIの(NAF)内部レジスタへセットする。
- ②CAMACコマンド及びデータをパラレルバスに送出するのにCPBIの(コントロールステータス)内部レジスタへスタートビットをセットする。
- ③CPBIからCAMACへのCAMACコマンドを発行し、データを転送する。
- ④CAMACからCPBIへの"X" 応答フラグを返す。
- ⑤CPUでの"X" 応答フラグをチェックする。

この一連の手順の内①と②について、その処理をアセンブラ命令のステップ数でかぞえると、それぞれ10命令*⁶, 2命令*⁷となる。CPUクロックが60ナノ秒なので、これらの処理時間は、①=0.6マイクロ秒, ②=0.12マイクロ秒が妥当と考えられる。

CPBIとCAMAC間は、パラレルバスで接続され、そのパラレルバスはバイト転送で通信を行なっている。そのためCAMACコマンドとデータを転送するのに4オペレーション必要となる。パラレルバスの最大転送速度は1Mbyte/秒で、最高速で転送できた時③=4マイクロ秒となる。

一方、DPMDのCAMACオペレーション時間は、CAMACシステム単独に実測したDPMD試験結果から1.3マイクロ秒である。

CPUは、CAMACコマンドが正常に発行されたかどうかCAMACのステータス信号である"X"フラグ応答をチェックする。そのステータス信号が、パラレルバス経由でCPBIの内部レジスタにセットされるまでの時間は、最高速で転送できた時1マイクロ秒となる。

"X"フラグが確立するのはCAMAC規格⁴⁾上幅がある。最も遅い場合いで、CAMACオペレーションが開始されて0.4マイクロ秒後(S1:ストロブ信号確立時)なので、DPMDのCAMACオペレーション時間(1.3マイクロ秒)終了後0.1マイクロ秒の、のちに"X"フラグ応答がCPBIの内部レジスタに反映される。

*6) ①LD(load): 4クロック ②ST(store): 2クロック ③SL(shift left): 2クロック

④OR(logical or): 2クロック
(①+②+③+④) × 60ナノ秒 = 0.6マイクロ秒

*7) ①LD(load): 1クロック ②ST(store): 1クロック
(①+②) × 60ナノ秒 = 0.12マイクロ秒

” X ” フラグが確立するのに最も速い場合を考えると，” X ” フラグ応答が C P B I の内部レジスタに反映される時間と， D P M D の C A M A C オペレーションが終了する時間が同じと考えられる。パラレルバスのクロックは， 1 マイクロ秒なので” X ” フラグ応答がパラレルバス経由で C P B I の内部レジスタにセットされるまで，最も速い場合で 2 クロック必要で， ④ = 2 マイクロ秒となる。また， P B C C の C A M A C オペレーションによる遅延時間を考慮し最も遅れた場合では 3 クロック必要で， ④' = 3 マイクロ秒となる。

C P U で” X ” フラグ応答をチェックする時間は，アセンブラで書き換えると 7 命令*8 となるので， ⑤ = 0. 4 2 マイクロ秒となる。従って，見積られる転送時間は， ① + ② + ③ + ④ (④') + ⑤ = 7. 6 4 ± 0. 5 マイクロ秒の範囲と見積れる。

試験結果の値は 7. 5 マイクロ秒で見積り時間範囲に含まれており，概略一致していることが判る。

(2) ブランチハイウェイを介した高速データ転送試験の検討

V M E - b u s システムから C B D を介し，ブランチハイウェイ経由で 1 W ドデータを A C B のデータレジスタへ直接書き込む場合の転送時間は，次のように見積ることができる。

V M E - b u s システム内の C B D から C A M A C システムへ，コマンド及びデータを出力する場合， C A M A C コマンドの全ての組み合わせが C P U (M C 6 8 0 2 0) の主メモリ上の 1 メガバイト領域に展開されている。従って，該当アドレスに転送データを書き込む動作を行なうことで，ブランチハイウェイへの出力が行なわれる。この出力に使用する C A M A C コマンド C (クレートアドレス)， N (ステーション)， A (サブアドレス)， F (ファンクション) が格納してあるエリアのアドレスは， $\alpha \times C + \beta \times N + \gamma \times A + F$ なる算式で与えられる。これをアセンブラで書き換えると 1 9 命令*9 となる。 C P U クロックが 6 0 ナノ秒なのでこのアドレス計算時間は， 1. 1 4 マイクロ秒が妥当と考えられる。一方， A C B の C A M A C データウェイオペレーション時間は， C A M A C システム単独に実測した A C B 試験結果から 1. 3 5 マイクロ秒である。従って，転送時間は， 2. 4 9 マイクロ秒と見積れる。

試験結果の値は 2. 4 7 マイクロ秒で，見積りとの差が， 2 0 ナノ秒と極めて良い精度で一致していることが判る。

また， V M E - b u s システムから C B D を介しブランチハイウェイ経由で 1 ワードデータを C C A 2 を介して A C B のデータレジスタへ，書き込む場合の転送時間は，次のように見積ることができる。 V M E - b u s システム内の C B D から 1 データを出力する場合の C A M A C コマンドが格納してあるエリアのアドレス計算時間は，前の検討結果から 1. 1 4 マイクロ秒である。 C C A 2 の C A M A C データウェイオペレーション時間は， C A M A C システムにおいて実測した C C A 2 試験結果から 1. 5 マイクロ秒である。さらに， C C A 2 と A C B は，それぞれクレートコントローラと補助コントローラであるため C A M A C データウェイの制御権の優先順位を決めるために，リクエストgrant (R / G) プロトコルを用いる方法をとっている。本装置では， A C B を優先順位 1 番目， C C A 2 を 2 番目とした。そのため C C A 2 が C A M A C データウェイの制御権を獲得するまでにプロトコル上一定時間 (最少 0. 3 5 マ

*8) ①LD(load): 2クロック ②AND(and): 1クロック ③BC(branch condition): 2クロック

④NOP(no operation): 1クロック ⑤RTS(return): 1クロック

(①+②+③+④+⑤) × 60 ナノ秒 = 0. 4 2 マイクロ秒

*9) ①LD(load): 5クロック ②M(multiply): 6クロック ③A(add): 3クロック ④ST(store): 5クロック

(①+②+③+④) × 60 ナノ秒 = 1. 1 4 マイクロ秒

マイクロ秒) 遅延する。従って、転送時間は2.99マイクロ秒と見積れる。

試験結果の値は2.865マイクロ秒で、見積りとの差は125ナノ秒とこの場合も、良い精度で一致していると言える。

(3) H I D I C - 8 0 E へのシリアルハイウェイを介した大容量データ転送試験の検討

試験結果から、Nブロック(1ブロック=2kW(1W=24ビット))のデータの転送時間T(秒)は、以下に示す式で与えられることが判った。

$$T(\text{秒}) = 0.18(\text{秒}) + 0.052(\text{秒}) \times N\text{ブロック}$$

次に「可変語長データ転送モード」(ビットシリアル転送、転送速度0.2マイクロ秒/ビット)で、データ転送した場合の転送時見積りを行なう。可変語長データ転送フォーマット(リード時)は第3.1図に示すとおりで、可変語長データ転送モードの1ブロックデータは、ビット数で表わすと82010ビット^{*10}になる。従って、1ブロック(2kW)当たりの転送時間は、82010ビット×0.2マイクロ秒/ビット=16.4ミリ秒。H I D I C - 8 0 E 側の受信テストプログラムは、ACDバッファメモリのデータを1ブロックの転送毎に固定ディスクへ書き込む動作だけを行なっていると身なせるため、固定ディスクのアクセス時間を考慮する必要がある。固定ディスクへのアクセス時間は、次の式で表わすことができる。

$$\text{固定ディスクアクセス時間} = \text{シーク時間} + \text{回転待時間}$$

シーク時間及び回転待時間は、それぞれ性能の平均値で37.0ミリ秒、10.1ミリ秒である。従って、1ブロック当たりの固定ディスクアクセス時間は平均して47.1ミリ秒となり、可変語長転送時の転送時間は、次のように見積ることができる。即ち、

$$\begin{aligned} 1\text{ブロック可変語長転送時間} &= (1\text{ブロック転送時間} + \text{固定ディスクアクセス時間}) \\ &= 63.5\text{ミリ秒} \end{aligned}$$

その時のタイムチャートを第3.2図に示す。1ブロック可変語長転送の試験結果は52.0ミリ秒であり見積り時間に較べて約11.5ミリ秒程度速くなっている。これは、この試験時H I D I C - 8 0 E 側は、本受信テストプログラム以外のタスクは動作していなかったため、固定ディスクへのシーク時間が、最少で行なえる状況下にあったためであると推定できる。すなわち、固定ディスクシーク時間を、性能の平均とせず、最高速の37.0ミリ秒を採用すれば、1ブロック当たりの転送時間は53.4ミリ秒と見積ることができ、試験結果値52.0ミリ秒は妥当であると考えられる。

3.2 現システムとの比較

次に、現状のシステムにおけるデータ転送の性能と試験結果の比較を行なう。現状のフィードバック制御システムの構成を第3.3図に示し、そのシステムでの大容量および、高速データ転送時間を第3.3表に示す。

本試験の結果、次に示す制御性能の向上が期待できる。

- ①フィードバック制御中における1W通信では、現状、第3.3表に示すように実際の転送が開始されるまでのH I D I C - 8 0 E のオーバヘッドとして77マイクロ秒ほど時間を要し

*10) ①CAMAC CNAPJマウント: 10ビット×7=70ビット ②データ: 40ビット×2,048=81,920ビット
③インタフェース: 10ビット×2=20ビット
17ブロックデータビット数=①+②+③=82,010ビット

ている。しかし、試験結果でオーバーヘッド無しの2.47マイクロ秒で通信が行なわれることになりオーバーヘッド時間の無駄が削減できる見通しがたった。

- ②プラズマ放電後の、180kWの結果データ収集時間が、第3.3表に示すように現状、90秒程時間を要している。しかし、試験結果から6.5秒と極めて高速になった。なお、大電流化後の長時間放電に伴い結果データ量は6.15Mbyte程度想定されており、転送時間は約83秒程度となる。(現システムの場合、26分かかる)この結果は、10~15分の放電周期に対して充分短く効率良く実験が遂行できる見通しがたった。

第3.1表 試験項目と結果

試験項目	試験システム構成	結果
2.1 1W 高速転送 時間測定 (パラレルバス)	CPBI DPMD	7.5 マイクロ秒
2.2 1W 高速転送 時間測定 (ブランチハイウェイ)	CBD ACB	2.47 マイクロ秒
2.3 60kW 大容量転送* 時間測定 (シリアルハイウェイ)	CBD ACD	1.775 秒
	CBD ACD	3.32 秒
	CBD ACD	6.465 秒

* : 可変語長転送モードで、H-80Eがデータ受信

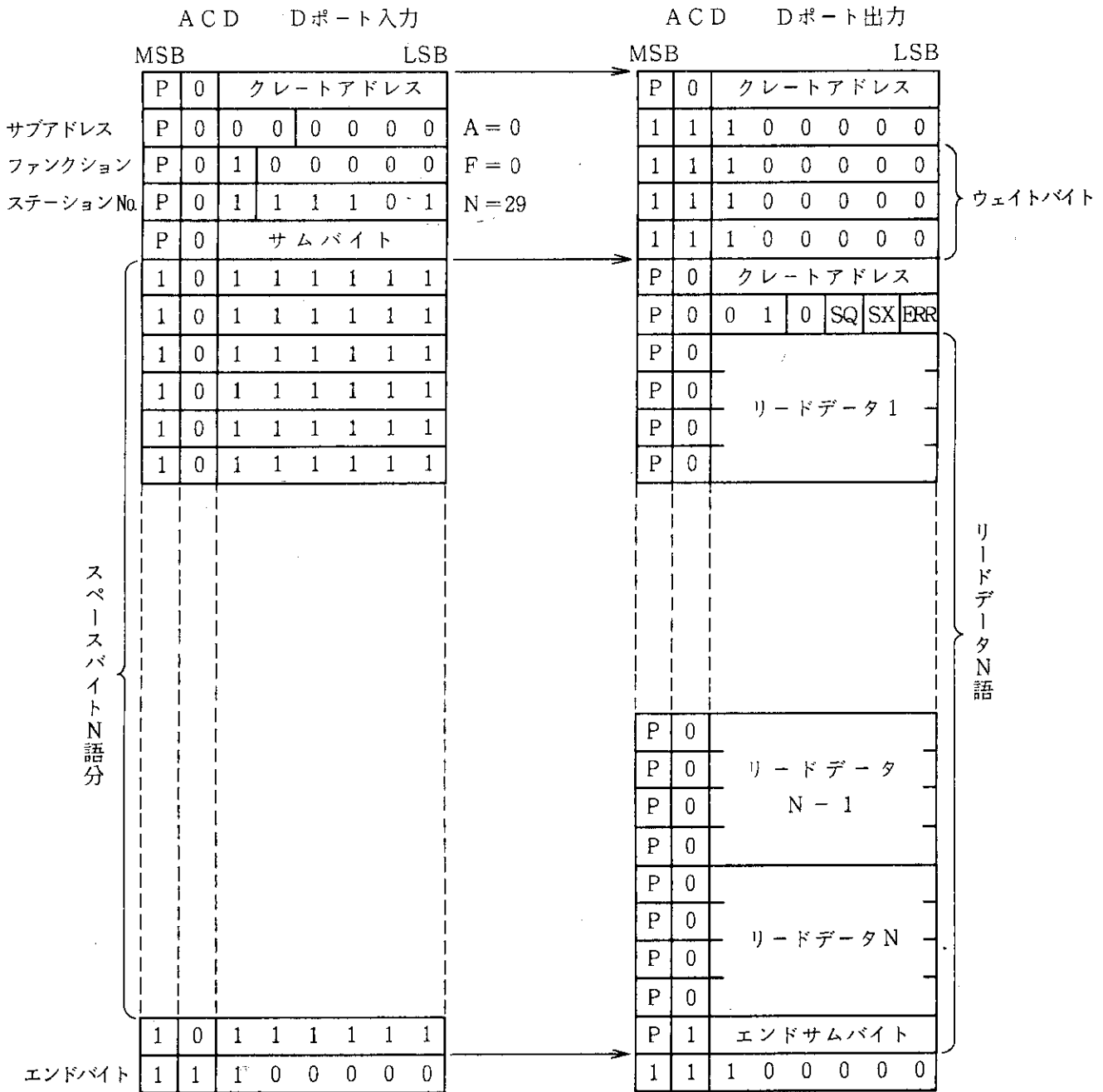
** : ACDの専用BUFFメモリに対する転送方式であり、
N語のデータを連続して転送する。

第 3.2 表 データ転送時間見積りと試験結果の比較

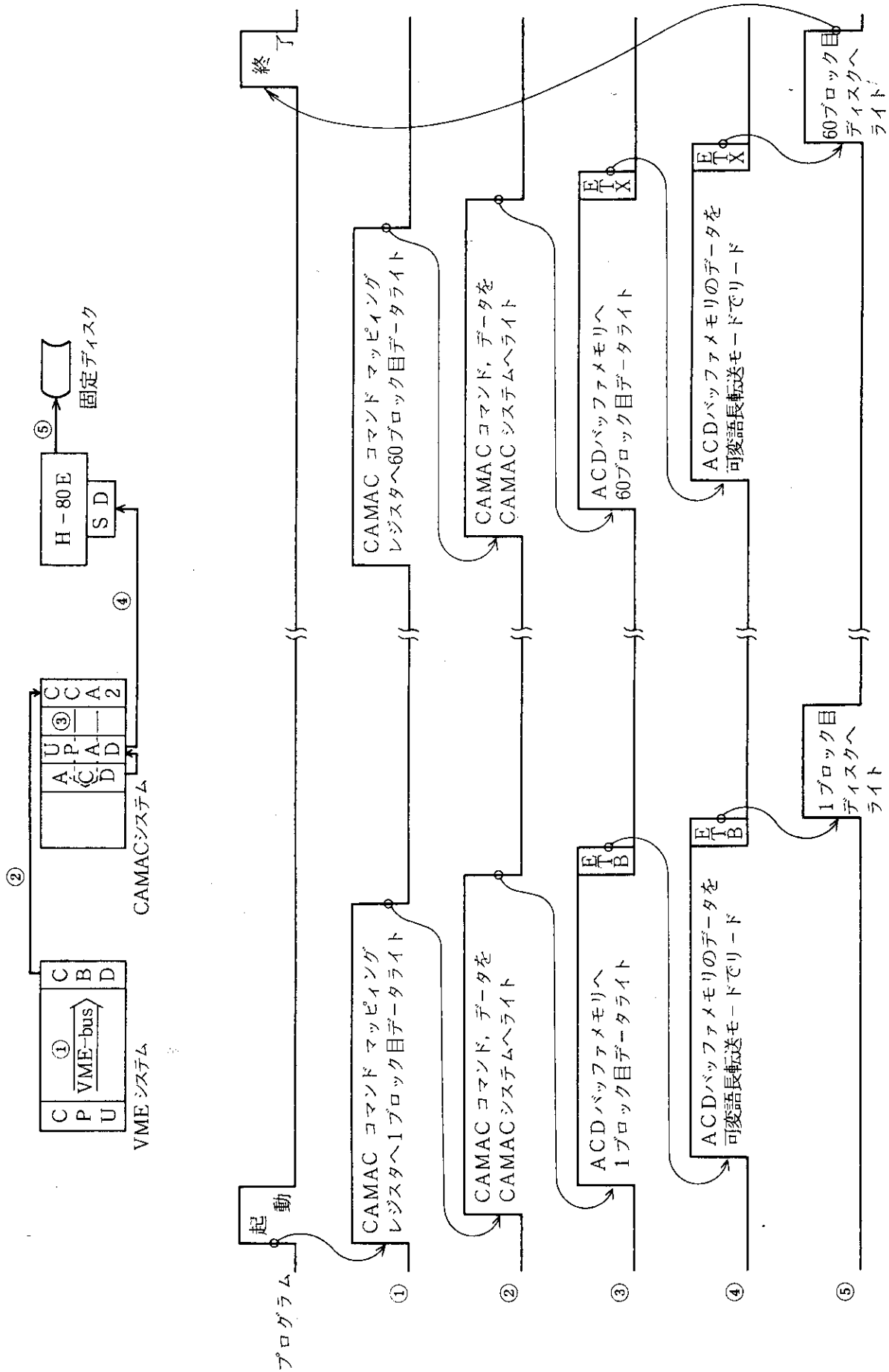
試験項目		見積り時間	試験結果
3.1	1W 高速 データ転送試験 (パラレルバス)	7.64 ± 0.5 マイクロ秒	7.5 マイクロ秒
3.2	1W 高速 データ転送試験 (ブランチハイウェイ)	2.44 マイクロ秒	2.47 マイクロ秒
3.3	H-80Eへの大容量 データ転送試験 (シリアルハイウェイ)	0.0534 秒	0.052 秒

第 3.3 表 現状の転送時間

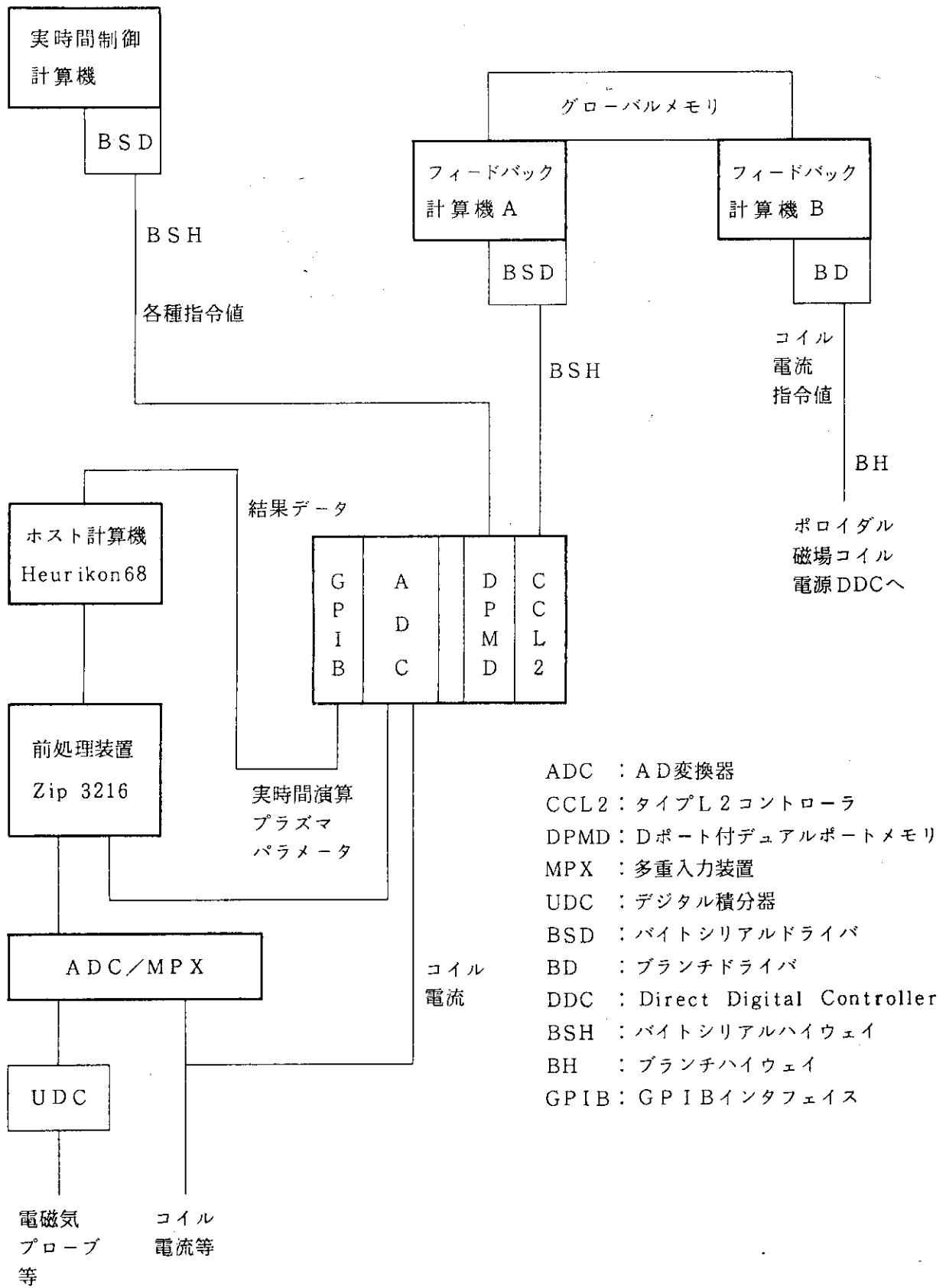
項目		システム構成	転送時間
大容量 転送	120 kW 転送時間 (シリアルハイウェイ)	GPIB -DFW-H80E	90 秒
高速 転送	1W 転送時間 (パラレルバス)	H80E-BSD -DPMD	$80 + 2.2 \text{秒} \times 1 \text{W}$ = 82.2 マイクロ秒
	1W 転送時間 (ブランチハイウェイ)	H80E-BD -ACB	$77 + 3.6 \text{秒} \times 1 \text{W}$ = 80.6 マイクロ秒



第 3.1 図 可変語長データ転送フォーマット (ACD→HIDIC-80E).



第 3.2 図 可変語長転送タイムチャート (リード時)



第 3.3 図 現状のフィードバック制御システム構成

4. ま と め

高速・高精度演算処理が実現可能であるVME-busシステムを既存のCAMACシステムに組み込むための、VME-busシステムとCAMACシステム間のデータ転送性能について試験を行なった。本試験結果に示す通り、VME-busの導入により何等の障害も生じないこと、さらに転送速度の点で従来のシステムに比べ、VME-busシステムに組み込まれた通信用インターフェイスを用いることにより、CAMACシステムの最高性能が引き出せること、など良好な結果が確認され、VME-busシステムを導入し新たな「全系フィードバック制御系」を構築する見通しがたった。

謝 辞

本試験を実施するに際し、「全系」放電制御計算機HIDIC-80E側のテストプログラムを作成し、試験に協力して頂いた(株)システムズ 遠藤 広行氏に、また、VME-busに関し技術的な討論に協力して頂いた(株)エムティティ 坂本 慎一郎氏にそれぞれ心から深く感謝の意を表します。さらに、本試験を進めるに当たり多大な助言、及び、試験全般の便宜を賜わった日本原子力研究所JT-60試験部JT-60第1試験室長 白形 弘文氏、並びに同部部長 飯島 勉氏、同部次長 田中 裕二氏に厚く御礼申し上げます。

4. ま と め

高速・高精度演算処理が実現可能であるVME-busシステムを既存のCAMACシステムに組み込むための、VME-busシステムとCAMACシステム間のデータ転送性能について試験を行なった。本試験結果に示す通り、VME-busの導入により何等の障害も生じないこと、さらに転送速度の点で従来のシステムに比べ、VME-busシステムに組み込まれた通信用インターフェイスを用いることにより、CAMACシステムの最高性能が引き出せること、など良好な結果が確認され、VME-busシステムを導入し新たな「全系フィードバック制御系」を構築する見通しがたった。

謝 辞

本試験を実施するに際し、「全系」放電制御計算機HIDIC-80E側のテストプログラムを作成し、試験に協力して頂いた(株)システムズ 遠藤 広行氏に、また、VME-busに関し技術的な討論に協力して頂いた(株)エムティティ 坂本 慎一郎氏にそれぞれ心から深く感謝の意を表します。さらに、本試験を進めるに当たり多大な助言、及び、試験全般の便宜を賜わった日本原子力研究所JT-60試験部JT-60第1試験室長 白形 弘文氏、並びに同部部长 飯島 勉氏、同部次長 田中 裕二氏に厚く御礼申し上げます。

参 考 文 献

- (1) 日本原子力研究所臨界プラズマ研究部・JT-60試験部：「JT-60臨界プラズマ条件の達成と最近の加熱実験の成果」，日本原子力学会誌，30，No4(1988)
- (2) Kurihara K., et al.:"JT-60 Plasma Control System", to be published in Fusion Engineering and Design, 11, (1990)
- (3) Kondo I., et al.:"The JT-60 Central Control System", Fusion Engineering and Design, 5, p.69 (1987)
- (4) IEEE, Inc.,"CAMAC Instrumentation and Interface Standards", IEEE, Inc.(1982)
- (5) VME MEMBER:「VME bus アーキテクチャ・マニュアル Revision C.1」，CQ出版社刊(1986)
- (6) McParland C., et al., "A VME/VMX-CAMAC Interface and Crate Controller", IEEE Trans. on Nuclear Science, NS-34, p.751 (1987)
- (7) McParland C.:"A New VME-based, Multi-Processor Data Acquisition Station for the LBL Bevalac", *ibid*, p.1012 (1987)
- (8) Kimura T., et al.:"Communication Systems in JT-60 Control", Proceedings of the 11th Symposium on Fusion Engineering, Philadelphia, p.398 (1983)
- (9) S・G・コーチャン著，西川利男監訳：「はじめての人のための標準C言語プログラミング教本」，CBS出版社刊(1986)
- (10) S・G・コーチャン，P・H・ウッド著 玄光男，荒実 訳，「UNIX SystemV ユーザ活用ガイド」，ホルト・サウンダース・ジャパン社刊(1986)

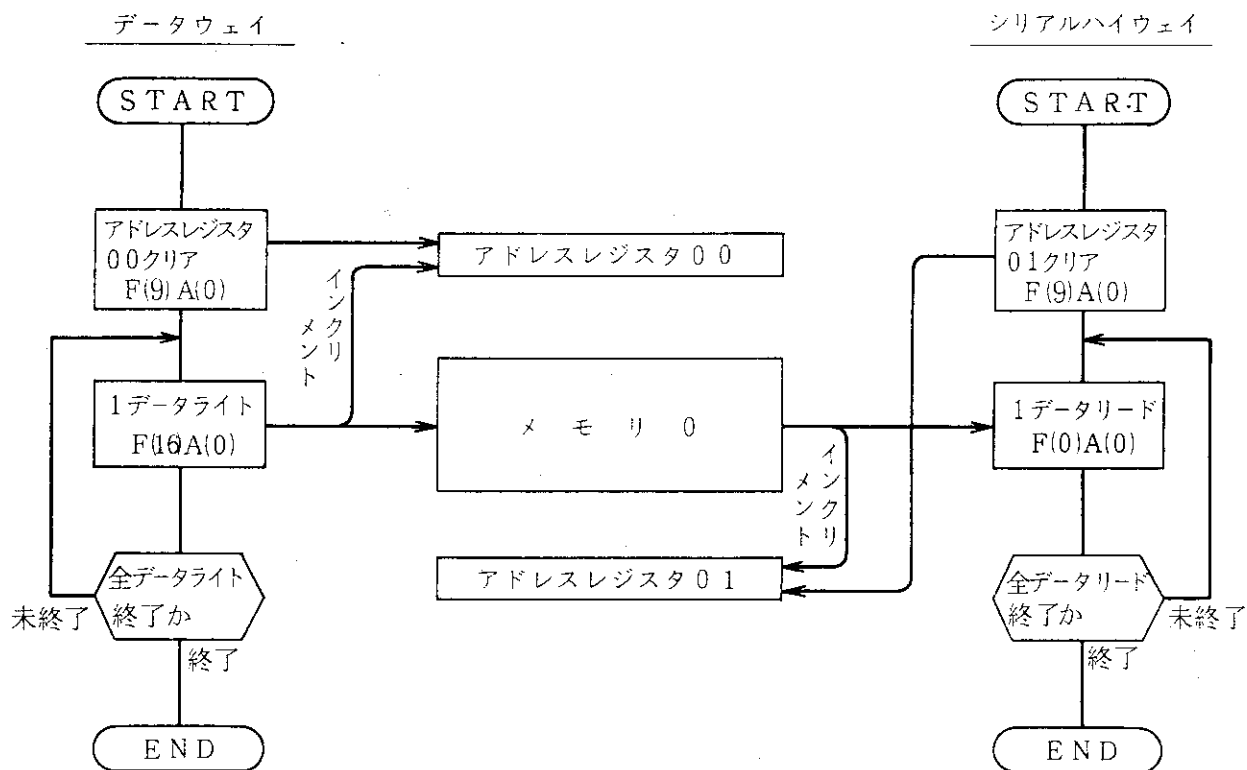
付録1 機 器 一 覧

No.	名 称	型 番 , 等	備 考
1	高速入出力制御プロセッサ (CPU)	モトローラ社製 MVME 135/1	リアルタイムでデータ転送を行なう CPU
2	リアルタイムカーネル (pSOS)	ソフトウェア・コンポーネント・グループ社製 pSOS (pSOS, pROBE, pRISM, pUCP)	リアルタイムOS (pSOS) でROM化された型で「高速入出力制御プロセッサ」に組み込まれている
3	VMEバスアダプター (CPBI)	クリエイティブ・エレクトロニクス・システムズ社製 CAMAC バスインターフェイス CPBI-8216	VMEタイプモジュールでVMEシステムとCAMACシステムの平行バスをインターフェイスする。
4	平行バスクレートコントローラ (PBCC)	キネティック・システムズ社製 CAMAC 3922 モジュール	「VMEバスアダプター」と接続するクレートコントローラ
5	シリアルハイウェイドライバ (SD)	キネティック・システムズ社製 CAMAC 3992 モジュール	CAMACモジュールのシリアルハイウェイドライバ
6	ブランチドライバ (CBD)	クリエイティブ・エレクトロニクス・システムズ社製 CBD-8210	VMEタイプモジュールでVMEシステムとCAMACシステムのブランチハイウェイをインターフェイスする
7	タイプA2クレートコントローラ (CCA2)	スタンダード・エンジニアリング社製 CCA2/G	ブランチハイウェイとCAMACデータウェイをインターフェイスするクレートコントローラ
8	ブランチハイウェイ・ターミネータ (BHT)	(株) 海津製作所製 モデル 3330	ブランチハイウェイを抵抗終端するモジュール
9	Dポート付補助クレートコントローラ (ACD)	(株) 国際電気 NA 104	Dポートを有し, シリアルハイウェイと転送可能な補助コントローラ
10	Dポート付デュアルポートメモリ (DPMD)	(株) 国際電気 NG 105	シリアルハイウェイ, CAMACデータウェイ双方向からアクセス可能なデュアルポートメモリ
11	パワークレート	キネティック・システムズ社製 1502 型クレート	CAMACモジュールが挿入される電源付ラック
12	メインプロセッサ	モトローラ社製VMEバスモジュラシステムSYS 1131 UY341 (以下を含む。 MC68020 CPU, 2 MByte DRAM, 2DD フロッピーディスク, 70MByteハードディスク, プリンタ, CRT, キーボード, UNIX OS, FORTRAN 77, C Language, Assemblerの各言語, VMEバスクレート)	プログラムの開発を行ない「高速入出力制御プロセッサ」へプログラムをダウンロードするモジュラシステム

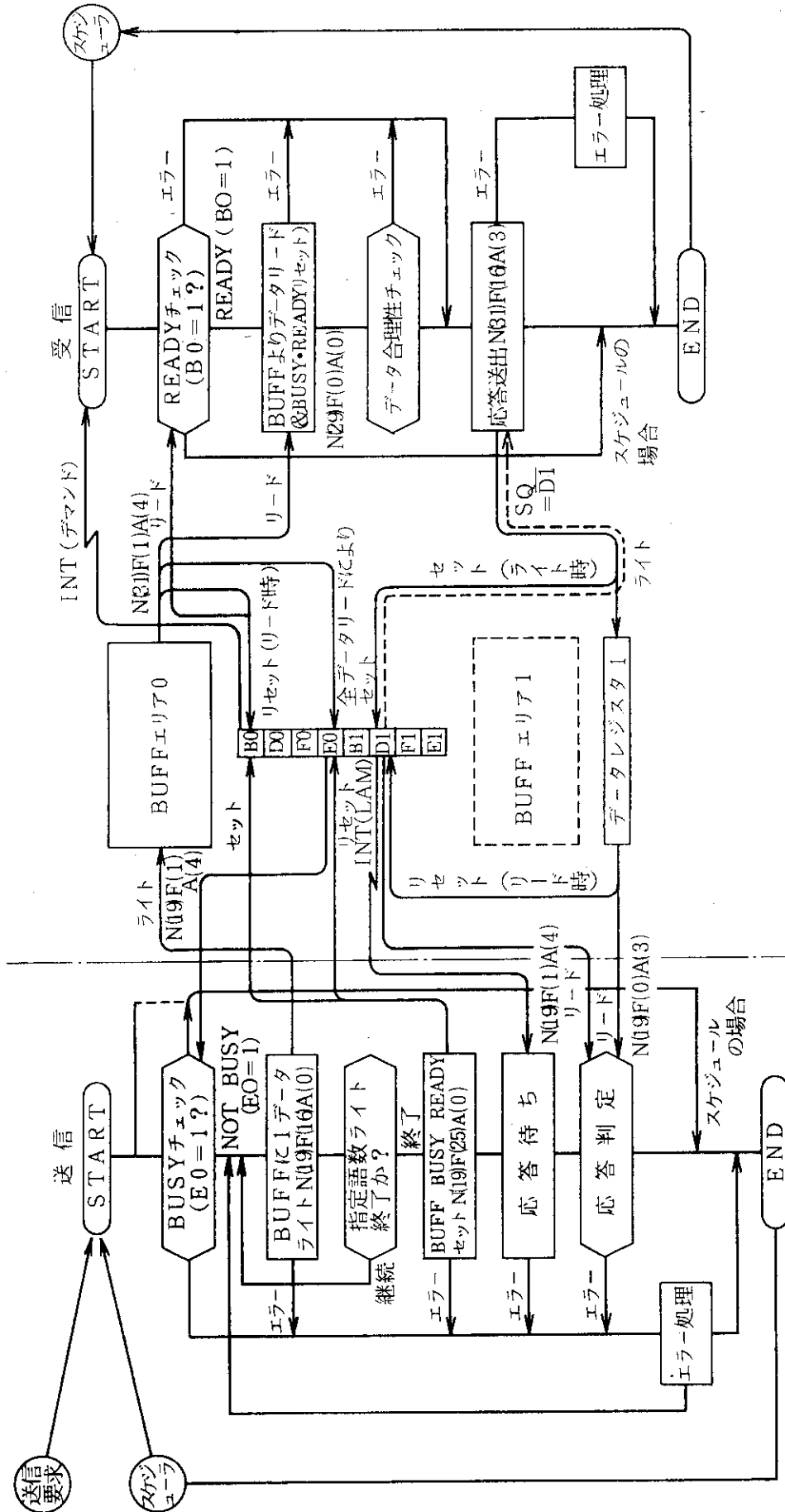
付録2 略号一覧

- ACB : Auxiliary Controller with Branch Highway Port
(Kokusai Electric Corp.)
- ACD : Auxiliary Controller with Defined Port (Kokusai Electric Corp.)
- BH : Branch Highway
- BHT : Branch Highway Terminator (Kaizu Corp.)
- BSH : Byte Serial Highway
- CBD : CAMAC Branch Driver (Creative Electronic Systems)
- CCA2 : Type-A2 Crate Controller (DSP Technology Inc.)
- CPBI : CAMAC Parallel Bus Interface for KSC3922 Crate Controller
(Creative Electronic Systems)
- DPMD : Dual Port Memory with Defined Port (Kokusai Electric Corp.)
- KSPB : Kinetic Systems Parallel Bus
- PBCC : Parallel Bus Crate Controller (Kinetic System Corp.)
- SD : Serial Highway Driver (Kinetic System Corp.)
- SH : Serial Highway
- UPAD : U-port Adapter for Dual Serial Highway (Kinetic Systems Corp.)

付録3 DPMDプロトコルメモリ転送手順非リザーブ方式
(データウェイ→シリアルハイウェイ)



付録4 ACDプロトコル応答付BUFFメモリ転送方式(各設備CAMACシステム→全系)



各設備CAMACシステム ——— 全系制御設備