

JAERI-Research  
97-072



高精度長時間デジタル積分器の開発

1997年10月

栗原研一・川俣陽一

日本原子力研究所  
Japan Atomic Energy Research Institute

本レポートは、日本原子力研究所が不定期に公刊している研究報告書です。  
入手の問い合わせは、日本原子力研究所研究情報部研究情報課（〒319-11 茨城県那珂郡東海村）あて、お申し越してください。なお、このほかに財団法人原子力弘済会資料センター（〒319-11 茨城県那珂郡東海村日本原子力研究所内）で複写による実費頒布をおこなっております。

This report is issued irregularly.

Inquiries about availability of the reports should be addressed to Research Information Division, Department of Intellectual Resources, Japan Atomic Energy Research Institute, Tokai-mura, Naka-gun, Ibaraki-ken, 319-11, Japan.

© Japan Atomic Energy Research Institute, 1997

編集兼発行 日本原子力研究所  
印 刷 いばらき印刷(株)

高精度長時間デジタル積分器の開発

日本原子力研究所那珂研究所核融合装置試験部

栗原 研一・川俣 陽一

(1997年9月19日受理)

D T長時間燃焼を行うトカマク型装置では、高中性子束場中で、プラズマ近傍の高精度磁場測定が要求されている。JT-60等多くの核融合装置でこれまで用いられてきた「磁場変化率を微小コイルで電圧に変換し時間積分する方式」は、センサーの構造が単純で一旦取付けた後は保守の必要がなく、また放射線による機能変化が小さく耐放射線性に優れていると予想されるなど、他の方式に比べ有利である。しかし、その信号処理に不可欠な積分器の出力がドリフトするため長時間に亘る高精度計測は困難とされてきている。これを解決する目的で、ドリフト抑制策を含む様々な積分精度向上のための対策を施し、ITERでも使用可能なデジタル積分器を試作開発した。JT-60での試験を含むこれまでの開発ステップの詳細とITERへの適用方法等の検討を行った結果を報告する。

Development of a Precise Long-Time Digital Integrator  
for Magnetic Measurements in a Tokamak

Kenichi KURIHARA and Youichi KAWAMATA

Department of Fusion Facilities  
Naka Fusion Research Establishment  
Japan Atomic Energy Research Institute  
Naka-machi, Naka-gun, Ibaraki-ken

(Received September 19, 1997)

Long-time D-T burning operation in a tokamak requires that a magnetic sensor must work in an environment of 14-MeV intense neutron field, and that the measurement system must output precise magnetic field values. A method of time-integration of voltage produced in a simple pick-up coil seems to have preferable features of good time response, easy maintenance, and resistance to neutron irradiation. However, an inevitably-produced signal drift makes it difficult to apply the method to the long-time integral operation. To solve this problem, we have developed a new digital integrator (a voltage-to-frequency converter and an up-down counter) with testing the trial boards in the JT-60 magnetic measurements. This reports all of the problems and their measures through the development steps in details, and shows how to apply this method to the ITER operation.

Keywords: Tokamak Fusion Facilities, Plasma Diagnostics, Magnetic Measurements,  
Integrator, Magnetic Field, Digital System, Intense Neutron Field, Plasma Control,  
JT-60, Voltage-to-Frequency (VF) Converter, Signal Drift

## 目 次

1. はじめに .....	1
1.1 トカマク型核融合装置に於ける電磁気計測に対する要求と計測法 .....	1
1.2 時間積分方式の分類と問題 .....	3
2. 電圧・周波数(VF)変換器の精度劣化要因 .....	5
2.1 計測信号の性質 .....	5
2.2 ドリフト原因の推定 .....	6
3. 試作研究開発のステップ .....	8
3.1 第1試作器の特性 —— 同期積分方式の場合の試験結果と問題点 .....	8
3.2 第2試作器の特性 —— 非同期積分方式の場合の試験結果と問題点 .....	12
3.3 電磁気センサーの出力電圧の観察 .....	18
3.4 第3試作器の特性 —— 第2試作器の改良版の試験結果 .....	20
4. 考 察 .....	31
4.1 積分値の飛びの対策方法 —— ITERへの適用方法 .....	31
4.2 積分器のドリフト発生の原因と対策方法の総括 .....	31
4.3 超長時間運転への応用シナリオ .....	32
5. 結 論 .....	33
謝 辞 .....	33
参考文献 .....	34
付 録 電圧周波数変換器・昇降計数器方式の構成可能条件 .....	35

## Contents

1. Introduction .....	1
1.1 Requirements for Magnetic Measurements in a Tokamak .....	1
1.2 Classification of Time Integration Methods and Their Problems .....	3
2. Causes of Performance Deterioration of a Voltage-to-Frequency Converter .....	5
2.1 Characteristics of Raw Magnetic Signals from a Plasma .....	5
2.2 Causes of the Integration Result Drift .....	6
3. Results from Three Steps of the Research and Developments .....	8
3.1 The First Trial Board—Test Results and the Problems .....	8
3.2 The Second Trial Board—Test Results and the Problems .....	12
3.3 Observation of Voltage Signal from a Magnetic Sensor .....	18
3.4 The Third Trial Board—Test Results and the Remaining Issues .....	20
4. Discussion .....	31
4.1 Proposal of the System Design in Application of the VF-UDC Method to ITER .....	31
4.2 Causes of the Integration Result Drift and Its Measure to Be Taken .....	31
4.3 Scenario for the Application to Steady State Operation .....	32
5. Concluding Remarks .....	33
Acknowledgments .....	33
References .....	34
Appendix Realization Conditions for the System Design Using the VF-UDC Method .....	35

# 1. はじめに

核融合発電へ向けた大型トカマク型核融合装置開発は、JT-60及びJET(ヨーロッパ連合)において臨界プラズマ条件の瞬間的な達成に成功し、次の開発目標として自己点火条件の達成が設定されている。これを実現するために、日米欧露の4極の国際協力下で国際熱核融合実験炉ITER(International Thermonuclear Experimental Reactor)の工学設計活動が現在進行している。

ITERでは、大型トカマク装置で10秒前後であった放電時間を大幅に増加し、約2000秒程度と20倍もの長時間放電が想定されている[1]。また、重水素(D)・三重水素(T)を用いた核融合反応により14MeVの高エネルギー中性子が大量に発生する。このような装置でのプラズマ制御は、中性子発生率の制御等の発電プラントとしての機能がより強化されると共に、最も基本的なプラズマの位置形状制御は、プラズマがより高温になる分これまで以上の精度が要求される。

その位置形状制御に使用する計測としては、プラズマやポロイダル磁場コイル等が作る周辺磁場(=磁束密度)或いはその面積分値の磁束といった、電磁気計測検出器から得られる情報が最も信頼性が高い。ITERのプラズマ近傍の高中性子束場に於いても、この電磁気計測検出器を配置し、長時間に亘りプラズマ制御を行うことが要求されている[1]。これまでの大型トカマク装置での要求事項との大きな違いは、センサーにとっては「高速の高中性子束場」という点と、信号処理も含めて「高精度長時間」の磁場計測でなければならないという点の2つである。

しかし、この新たな要求事項に対応した計測システムは、既存の技術で達成可能という訳では無い。そこで本章ではまず現時点での計測方法を概観し、ITERへの適用を想定して問題点を抽出する。続いて、電圧信号の時間積分方式に絞って方法の分類と適用への課題を抽出する。

## 1.1 トカマク型核融合装置に於ける電磁気計測に対する要求と計測法

プラズマ位置形状制御に使用する物理量は、通常、磁場、磁束、電流が主な量である。磁場センサーは、ある点での磁場ベクトルの1方向成分のセンサー長の平均磁場を計測する。当然、磁場変化の空間的な大きさに比べ十分センサーは小さいように設計する。プラズマ電流等の大電流計測は、プラズマを取り囲む磁場を周回積分して求めることが普通であり、ロゴスキーコイルといったセンサー自身が既に磁場変化の周回積分値を直接計測するセンサーも存在するが、磁場計測の一部として考えることとする。

磁束センサー(磁束ループ)は、トカマクの中心軸と直交し軸上に中心を持つある半径の円板面の円周に沿って導線を配置し、この円板面を貫く磁力線の数の合計(=この円板面上における磁場の面積分値)を計測する。

一般に計測装置は、センサーとその信号処理系から成り立っており、センサーの種類によってそこから出力される信号の性質が決まり、その信号を物理量に変換する処理を施して、制御に使用されることとなる。磁場計測は、従来から多方面で重要な計測であるため様々な方法が使用或いは提案されており、センサーの種類もまた付随する信号処理も様々である。一方の磁束計測では、そのセンサーが前記のように単純な導線だけから構成され、導線が囲む磁束の時間微分値が導線両端の電圧として出力される。従って、磁束値に変換するには、時間積分を信号処理として実施することが必要となる。

磁場計測方法は、まず絶対磁場強度を測るセンサーか磁束計測と同様に磁場の時間変化量を

測るセンサーかに大別される。前者に属するセンサーを用いた磁場計測方法は、概略以下のとおりである。①ホール効果を示す半導体を用いる方法、②磁場によって結晶特性が変化する物質を利用する方法、③磁性体に巻付けた導線に電流を流して外部磁場による磁気飽和特性の変化を利用する方法、④ソレノイドコイル等を磁場中で機械的に回転或いは振動させ、その時磁場に比例した電圧がコイルに励起されるファラデーの法則を利用する方法、⑤電流の流れた導線が磁場に比例した応力を受けることを利用した方法、等々。

これらの方法では、センサーからの信号出力が絶対磁場に対応した値になっているので、若干の信号処理を除けば、測定精度を始めとする主要性能に信号処理技術が関与することは少ないという利点を持つ。

後者の磁場の時間変化量を測るセンサーを用いた方式は、これまでの殆ど全てのトカマクで使用されてきた方法である。センサーは通常ソレノイドコイルであり、その構造が単純で一旦取付けた後は保守の必要がなく、制御用センサーとしての使用実績は数多い。磁場が変化により微小ソレノイドコイルに励起される電圧を、信号処理系で時間積分した結果が磁場の絶対値に比例する量となる。従って、精度の良い時間積分処理を必要としている点が技術的な課題となる。

さて長時間DT燃焼を行うトカマク装置からの要求を再記すると、「高速の高中性子束場」という動作環境に耐え得るセンサーでなくてはならず、信号処理系も含めて「長時間高精度」で磁場（ベクトル量）の値を計測することである。このような観点で、前述の方式についてその適用の問題点を比較検討してみる。

まず高速の高中性子束場でも耐えるセンサーという点で絶対磁場センサーを見ると、ホール素子等の半導体や結晶体を使用したセンサーは、恐らく中性子により短時間の後に機能しなくなることが容易に予想出来る。コイルを機械的に回転や振動させる種類のセンサーは[2]、放射線の影響は少ないと思われるが、可動機構の存在でトラブル確率の上昇が予想され、放射化した環境での修理保守は困難であろう。従って、絶対磁場センサーの場合には放射線環境での適合性に問題があると言える。

同じ観点で、もう一方の磁場変動信号の時間積分方式は、センサーとなるコイルの線材や絶縁材の電気特性は放射線で極僅か変化する程度と考えられる。従って、この方式は放射線環境での適合性に問題は殆ど無いと考えられる。

第2の観点である長時間高精度で磁場を計測する点では、絶対磁場センサーの方式は原理的に計測時間が長時間であっても基本的には問題は無い。電流が流れる導線に働く力を測定する方式では、変位センサーに残留変位が発生し計測磁場にオフセット成分が生ずる可能性がある。さらに高精度に関しては、プラズマが通常示す急激な過渡変動現象に追従して計測しなければならないが、耐放射線性の高い絶対磁場センサーは磁場からの機械的な影響を計測する性質上、その時定数に比べて著しく速いプラズマの変動に追従することは難しく、他の方式例えば磁場変動信号の時間積分方式との併用が必要となるであろう。

一方の磁場変動信号の時間積分方式は、追従性も含めた精度の点で優れていることがこれまでの実績から判明している。しかし、長時間での高精度の確保については、その信号処理に不可欠である積分器が、次節で述べるどの方式でもドリフトするという特性を持っているため長時間に亘る高精度計測は困難とされてきている。



以上をまとめた結果（要求に対する磁場計測方式の課題）を第1.1表に示す。このようにもし完全な定常運転を考えた場合には、絶対磁場計測が必須であり、同時にプラズマの速い変化を高精度で計測するために、磁場変動信号の時間積分方式との併用が不可欠となる。絶対磁場センサーの耐放射線性や保守性を考えれば、プラズマ近くに絶対磁場センサーを設置することは難しい。従って、プラズマ近くに変動磁場センサー、遠く

第1.1表 磁場計測方式の課題

Requirements \ Methods	Time-integral of voltage from a sensor	Direct measurements of absolute magnetic field
A sensor must work in an environment of 14-MeV intense neutron field without particular action of maintenance.	○	▲
The system must always output precise magnetic field/flux values during plasma operation of 1000 s or longer.	✕	○

Compatibility problems of semiconductors or moving devices in a neutron field

A problem of drift

Poor time-response

く絶対磁場センサーを設置するという構成が考えられる。現時点で核融合実験炉として想定しているのはITERであり、そこでは定常では無く約2000秒程度の長パルス運転である。その程度の運転時間を考えると、時間積分方式の誤差を最小限に出来れば、絶対磁場センサーを用いた計測方式は必ずしも必要では無くなる。この意味で約2000秒程度の長パルス運転に適用可能な精度を持つ時間積分器の開発は、ITERの計装系をより簡素化させ延いては製作費を軽減させる効果が期待出来る。そこで次にその時間積分器の現状の問題点を検討する。

1.2 時間積分方式の分類と問題

信号を時間積分する方法として、これまで実施或いは提案されている方法は主に3種類である。即ち、(a) アナログ積分—アナログ・デジタル変換方式、(b) 高速アナログ・デジタル変換—数値積分方式、(c) 電圧・周波数変換—昇降計数方式である。これら3方式の行う処理範囲は同一で、センサーで発生した電圧信号をアナログ信号のまま入力し、時間積分した後、デジタル計算機制御で利用し易いデジタル信号に変換するまでを想定している。

(a) アナログ積分(AI: Analog Integral)—アナログ・デジタル (AD: Analog to Digital) 変換方式 (AI-ADC)

発生電圧を用いてコンデンサーに電荷を蓄積する方法であり、積分結果はコンデンサーの総電荷量（両端の電圧）となって計測される。この積分結果の電圧をAD変換すればデジタル信号が取り出せることは言うまでもない。この方法は積分結果もまずアナログ信号で出力されることから、デジタル計算機が発達する以前アナログ回路だけでロジックを構成する頃から使用されている。問題点は、①電荷が蓄積されることに従い、コンデンサー両端の電位差が大きくなり電荷の漏れが積分誤差（ドリフト）を発生させる点が挙げられる。また②積分結果の動作範囲（ダイナミックレンジ）がコンデンサーの容量で規定されてしまうため、積分結果の絶対値に応じて十分入力電圧を下げておくと対回路ノイズとの関係で誤差が相対的に大きくなり、一方容量を上げると積分量の小さい場合の誤差を大きくしてしまう。

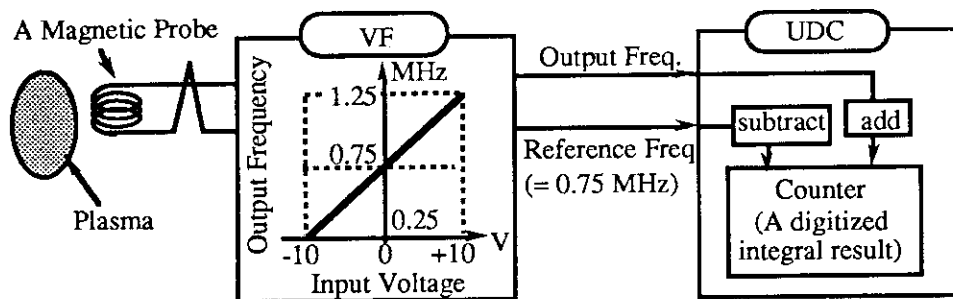
(b) 高速アナログ・デジタル(Fast AD)変換—数値積分(NI: Numerical Integral)方式 (FADC-NI)

高速AD変換器を用いて電圧信号をその変化の時定数に比べ十分短いサンプル周期でデジタル

化する。その後高速デジタル処理装置に於いて適切な内挿関数を用いてサンプル値間の信号補間を行って数値的に時間積分を実施する。問題点は、①AD変換器のオフセット誤差が蓄積する結果として信号ドリフトを生じさせてしまう点。さらに②この方法はAD変換器のサンプル周期より速く変化する現象の積分が出来ないため、トカマクプラズマのような極めて高速の変動に対し十分短いAD変換周期を設定せざるを得ない。そのようなAD変換器が製作可能かどうかの議論はここでの目的ではない。しかし、ITERへの適用を目的として、2台のAD変換器を並列動作させ、1台は計測に残りの1台はドリフト量の計測に使用し、2台のドリフトが同じであることを仮定して補正を加える方法の提案が報告されている[3]。

(c) 電圧・周波数 (VF: Voltage to Frequency) 変換—昇降計数 (UDC: Up-down Counter) 方式 (VF-UDC)

入力電圧(例えば $\pm 10$  V)の時間積分値を、それとオフセットリニアの関係にある周波数(例えば0.25-1.25 MHz)の矩形波に変換し出力する(VF変換)部分と、この出力と入力信号0 V時の基準周波数(上の周波数範囲の場合、1 MHz)とのパルス個数の差を、昇降計数して積算する部分とを組み合わせる信号積分を行う方式である(第1.1図参照)。



第1.1図 電圧・周波数変換—昇降計数(VF-UDC)方式の概念図

より具体的なVF変換の仕方は、入力電圧に比例した電荷を、微小コンデンサーでアナログ積分し、次にコンデンサーの充放電回数に等しいパルス列を基準周波数に重畳させて出力させるという方法である。この出力パルス個数をアップカウント(加算)し、基準周波数パルスをダウンカウント(減算)することで正味の積分値のデジタル値がカウンター内のレジスター中に得られる。基準周波数を測りたい現象の特性周波数に比べ高く設定し、良好な応答特性が確保出来、またレジスターの語長を増加させるだけでダイナミックレンジを大きく設定すること(24bit長で約100万カウント、32bit長で約10億カウント)が出来る(付録参照)。しかし、アナログ回路内の基準電圧発生器等から発生する長周期の電圧変動やセンサーや接地系から回り込むノイズ等が原因で積分結果にドリフトが生じるという問題点がある。このVF-UDC法は、JT-60において当初から採用している方法である。これまでの使用実績から、積分時間約20秒程度までの範囲ではディスラプション時を除いて精度に大きな問題は無い。しかし、20秒を越えた以降急激にドリフト量が増大し使用不可能と判断される。

このように見た時、(a) AI-ADC法では長時間特性と広いダイナミックレンジに、(b) FADC-NI法では応答特性に、それぞれ問題点を有しており、AI-ADC法の持つ応答特性の利点とFADC-NI法の広いダイナミックレンジの利点を兼ね備えた(c) VF-UDC法がこの中では最適のように見える。一方ドリフトの問題については3者に共通であるが、特にVF-UDC法では、量的に著しく改善を図

ることが求められる。

以上の検討を踏まえて、開発する時間積分の方式をVF-UDC法とした。最高到達性能が他の方法より上であることが期待出来るからである。しかしドリフトの問題を改善しなければならない点については、JT-60での経験やその分析結果が生かせることが予想されるからである。

そこでまず2章では、JT-60に於いて使用しているVF変換器の積分誤差要因の分析を行う。3章では、対策を講じた試作器開発を時系列的に特性、実測結果等を詳述する。4章では、開発全体の考察を行い当初の問題点の克服に至った方法論に言及し、ITERへの適用シナリオ及びさらなる改善のための提案を行い、5章でまとめを行う。

## 2. 電圧・周波数(VF)変換器の精度劣化要因

本章では、時間積分方式の共通問題であり、同時に長時間積分での最大の精度劣化要因である信号ドリフトの問題について、開発対象の電圧・周波数(VF)変換方式の場合に、どのような原因で発生するのかを調べる。まず、入力信号の特徴を述べた後、現在JT-60で使用しているVF変換器(1980-83年JT-60用に開発後改良)に関して、ドリフト要因の推定分析を行う。

### 2.1 計測信号の特徴

プラズマ周辺の電磁気計測として通常用いるセンサーは、先にも述べたログスキーコイル、磁束ループ、磁気プローブである。これらの出力電圧を時間積分することになる訳であるが、前2種類は空間的に広い領域の磁場変化の空間平均を計測するセンサーであることから、磁気プローブに比べ平滑した信号になる。そこで信号処理系としては、より厳しい信号と考えられる磁気プローブを想定しておけば他の場合についても問題が生じないと考えられる。

これまでのJT-60の設計・建設・実験運転に於いて磁気プローブからの信号の仕様は次を考えていた。即ち、 $\pm 10$  V以下、周波数20 kHz以下である。周波数に関しては、磁気プローブ自身の金属被覆の磁場浸透特性が、約20 kHz以上で悪くなることから凡そこの程度の値となる。電圧については、通常時のプラズマの電流変化率から想定されるセンサーの出力電圧を、この「 $\pm 10$  V以下」という値になるように、センサーの設計が行われる訳である。しかし、後で述べるように、プラズマの不安定性が発生した場合、積分結果に異常(値が飛ぶ、磁場が無くなっても0に戻らない、等)を示す現象が観測されており、その瞬間には許容最大電流値を越えていることが判っている。この点の実測データと対策については、トカマク装置の電磁気計測で極めて重要な事項であり第3章で述べることになる。

プラズマ放電中の磁気プローブからの出力波形を第2.1図左に、また1 msフィルターを通過後の波形を同図右に示す。様々なノイズ信号(センサー出力約 $\pm 1$  V-20 kHz)に埋もれた中に、約1 kHzのサイリスタ電源のリップルがフィルター後の波形で観測され、これにプラズマ位置形状の変化が重畳されているものと推測される。さらに接地の取り方によって、接地系からのノイズの回り込みが起り、それがドリフトの原因となる可能性もある。従って、接地系の取り方に細心の注意を払うことが要求される。また、信号として或は接地系の変動として現われてくるの

ることが求められる。

以上の検討を踏まえて、開発する時間積分の方式をVF-UDC法とした。最高到達性能が他の方法より上であることが期待出来るからである。しかしドリフトの問題を改善しなければならない点については、JT-60での経験やその分析結果が生かせることが予想されるからである。

そこでまず2章では、JT-60に於いて使用しているVF変換器の積分誤差要因の分析を行う。3章では、対策を講じた試作器開発を時系列的に特性、実測結果等を詳述する。4章では、開発全体の考察を行い当初の問題点の克服に至った方法論に言及し、ITERへの適用シナリオ及びさらなる改善のための提案を行い、5章でまとめを行う。

## 2. 電圧・周波数(VF)変換器の精度劣化要因

本章では、時間積分方式の共通問題であり、同時に長時間積分での最大の精度劣化要因である信号ドリフトの問題について、開発対象の電圧・周波数(VF)変換方式の場合に、どのような原因で発生するのかを調べる。まず、入力信号の特徴を述べた後、現在JT-60で使用しているVF変換器(1980-83年JT-60用に開発後改良)に関して、ドリフト要因の推定分析を行う。

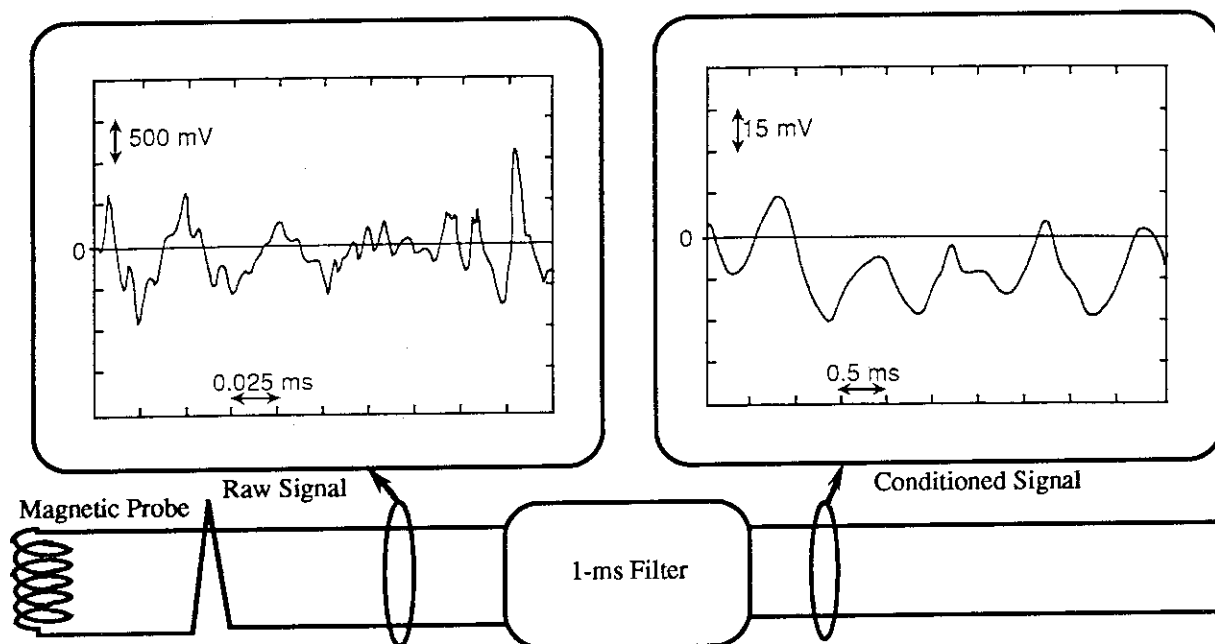
### 2.1 計測信号の特徴

プラズマ周辺の電磁気計測として通常用いるセンサーは、先にも述べたロゴスキーコイル、磁束ループ、磁気プローブである。これらの出力電圧を時間積分することになる訳であるが、前2種類は空間的に広い領域の磁場変化の空間平均を計測するセンサーであることから、磁気プローブに比べ平滑した信号になる。そこで信号処理系としては、より厳しい信号と考えられる磁気プローブを想定しておけば他の場合についても問題が生じないと考えられる。

これまでのJT-60の設計・建設・実験運転に於いて磁気プローブからの信号の仕様は次を考えていた。即ち、 $\pm 10$  V以下、周波数20 kHz以下である。周波数に関しては、磁気プローブ自身の金属被覆の磁場浸透特性が、約20 kHz以上で悪くなることから凡そこの程度の値となる。電圧については、通常時のプラズマの電流変化率から想定されるセンサーの出力電圧を、この「 $\pm 10$  V以下」という値になるように、センサーの設計が行われる訳である。しかし、後で述べるように、プラズマの不安定性が発生した場合、積分結果に異常(値が飛ぶ、磁場が無くなっても0に戻らない、等)を示す現象が観測されており、その瞬間には許容最大電流値を越えていることが判っている。この点の実測データと対策については、トカマク装置の電磁気計測で極めて重要な事項であり第3章で述べることになる。

プラズマ放電中の磁気プローブからの出力波形を第2.1図左に、また1 msフィルターを通過後の波形を同図右に示す。様々なノイズ信号(センサー出力約 $\pm 1$  V-20 kHz)に埋もれた中に、約1 kHzのサイリスタ電源のリップルがフィルター後の波形で観測され、これにプラズマ位置形状の変化が重畳されているものと推測される。さらに接地の取り方によって、接地系からのノイズの回り込みが起り、それがドリフトの原因となる可能性もある。従って、接地系の取り方に細心の注意を払うことが要求される。また、信号として或は接地系の変動として現われてくるの

がNBI加熱装置のブレークダウンで誘起される電圧変動である。数10 kVから約400 kVもの大電圧からのごく短時間での短絡であるため接地の取り方とも関係して十分注意する必要がある。

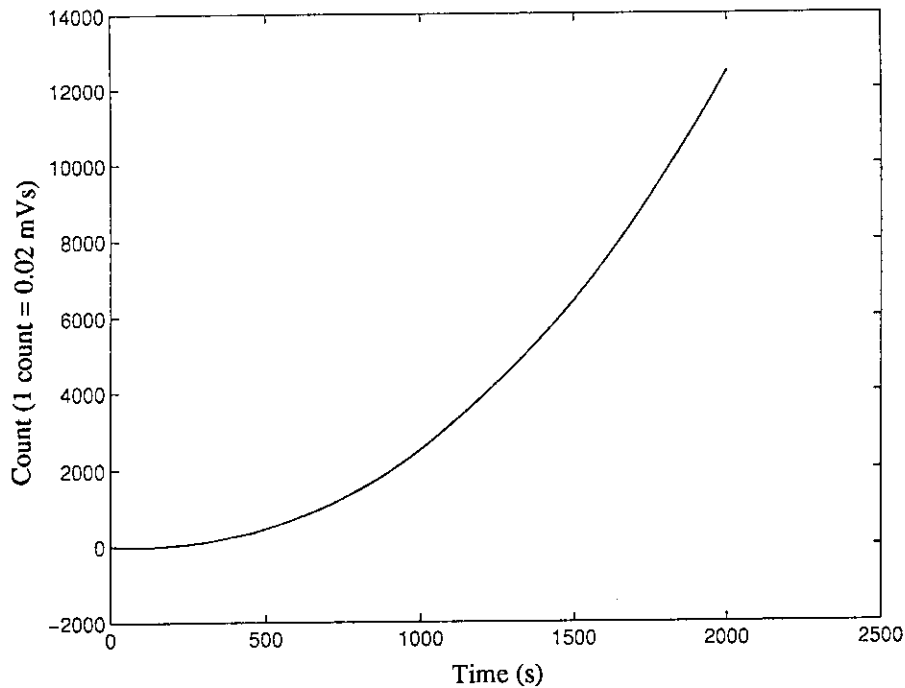


第2.1図 プラズマ放電中の磁気プローブからの出力波形、1 msフィルターを通過後の波形

## 2.2 ドリフト原因の推定

JT-60では当初から電磁気計測検出器の積分方式としてVF-UDC方式を採用してきた。原理的にセンサーが磁場の時間微分量である電圧を入力し回路的に時間積分を行う以上、時間の経過と共に現実の絶対場との間にズレが生じてしまうことは回避出来ない。従って完全な定常場を計測するためには、絶対磁場センサーを使用することが必要であるのは前にも述べたことであるが、一方追従性の良い高精度のセンサーはプラズマの挙動を把握し制御するために不可欠であり、その場合ピックアップコイル電圧の時間積分方式となる。この意味で時間積分方式の開発も避けて行くことは出来ない。これまでの経験から、ドリフトが最も大きな精度劣化要因であった。特に入力信号が0V即ち信号両端を短絡した場合であっても、時間経過と共に積分結果が2次曲線的にずれて行き最終的には発散的に拡大しドリフト量が信号変化を上回る状況となる。ここで典型的なドリフトの様子を第2.2図に示す。このずれ方は、一定速度で入力電圧がずれて行くと仮定した場合の波形とは一致せず、ずれた量がさらなるずれを呼ぶような正のフィードバックが回路内部に存在するようにも見える。

この量をどのようにしたら低減することが出来るのかを調べる第1歩として、既存のVF変換器（池上通信機(株)製、高精度VF変換器MA-610、以降、VF#0と呼ぶ）に於ける信号処理上のドリフト要因を調べる。前述したように信号自体に特殊性が存在し、マイナーディスラプションの場合や接地系の変動等でも精度良く積分するには何らかの対策を必要とすることは後で検討する。しかし、如何なる場合でも出力電圧を適正に積分すればドリフトは発生しない筈であるので、信号処理側の対策によりドリフトを抑制出来る可能性は充分ある。



第2.2図 典型的なドリフト波形（縦軸のカウント値は積分量と比例関係である）

VF#0の回路を調べてみるとドリフトの原因、即ち回路内の電圧変動や周波数変換特性の変動をもたらす可能性のある点は以下のとおりであることが判明した。

- ①ゲイン切り換え用にリレー回路を使用しており、そのリレー内接触抵抗の変動が存在する。
- ②比較的低い入力インピーダンス $1M\Omega$ を選択しており、電流が回路内を流れてしまう。
- ③抵抗分圧方式の減衰器(アッテネータ、attenuator)を使用しているが、その抵抗変動が存在する。
- ④積分(VF変換)素子の選択。
- ⑤VF変換特性の直線性が0V付近では良いが、入力電圧の増加に従い急激に悪くなる。
- ⑥0V近辺にmVオーダーの不感帯が存在する。

少なくともこれらに対する対策を行った結果としてどのくらいドリフトが低減或いは著しく抑制されるのかを調べて行かなければならない。机上の検討だけではこの点を示すことは不可能であるので、試作開発を行った。現在までの3段階の試作開発の過程を経て、ITERでも使用可能な性能を持つ積分器の開発に成功した。次章ではその試作開発の詳細を報告する。

### 3. 試作研究開発のステップ

積分器のドリフトはどこまで小さく出来るのか？この疑問に答えることが、試作開発の目標である。勿論、経済性を無視して大規模な道具立てを用いることによって、ドリフトを抑えることは可能であるかもしれない。しかしこれでは、もう一つの我々の目標である実験装置への応用が不可能となってしまう。従って、経済性が十分合理的な範囲で成立し得る装置でなければならない。これは、通常容易に入手可能な材料や電子素子等を用いて実現出来ることが前提になることを意味し、同時に試行錯誤を伴う試作研究開発のステップを踏むことを可能にするものでもある。本章では、現在まで実施した3段階の試作開発について、各段階で発生した問題点とその対策過程を明らかにし、ITERに適用可能な性能を持つ積分器製作に至った技術開発を記述する。

#### 3.1 第1試作器の特性—同期積分方式の場合の試験結果と問題点[4]

最初の試作器は、前章で示したVF#0のドリフト要因の分析から抽出された問題点の主要な項目を改善することを考えた。ここでVF#0のドリフト要因各点を要約すると、①ゲイン切り換え用リレー内接触抵抗変動、②低い入力インピーダンス1M $\Omega$ 選択、③抵抗分圧方式のアッテネータの抵抗変動、④積分(VF変換)素子選択、⑤VF変換特性の直線性、⑥0V付近のmV不感帯、であった。第1試作器(以降、VF#1と呼ぶ)では、以下に述べる各対策を講じて製作することとした[4]。

##### (1) ゲイン切り替え回路のトランジスター化

VF#0のリレー回路は、ゲインの値を切り替える際のスイッチの役割を持っていた。基本的には、リレーが閉の時の抵抗は極めて小さいことが想定されるが、実験放電毎に開閉されることから、接触面の状態がその都度わずかずつ変化しているようであった。また、第2点の低入力インピーダンスとも関係している可能性もあるが、放電中のディスラプション等による誘起電圧変動によって接点表面が酸化し接触抵抗が変動することも可能性として考えられる。その理由として、リレーの動作限界の数万回に比べかなり少ない動作回数で、故障(リレー閉状態でも電氣的に非接触、等)に至るといった状況が挙げられる。従って、ゲイン切り替え回路にリレーを用いずにトランジスター切り替えで行うように変更することとした。但し、VF#1では、試作回路の単純化のためにゲインは1.0固定とした。

##### (2) 1M $\Omega$ から100M $\Omega$ への高入力インピーダンス化

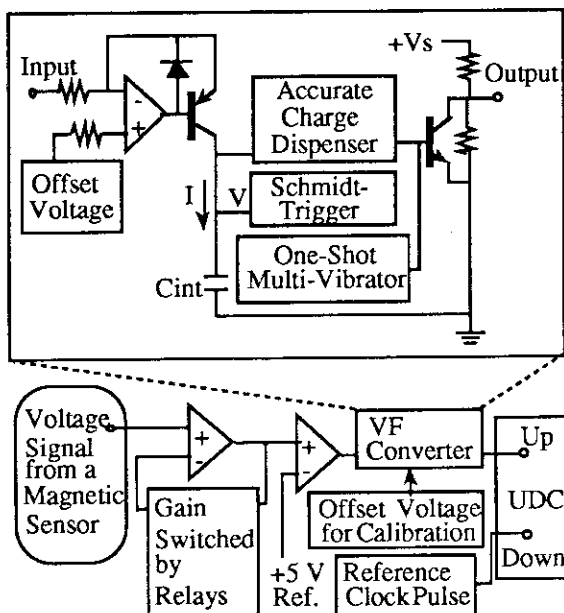
入力インピーダンスをどの位に設定するかは、多分に回路設計者の設計思想に基づくといっ  
て良い。従って、VF#0がなぜ1M $\Omega$ でしたのかは電流を少し流して雑音外乱にロバストにすることを考えたのではと想像出来るが、回路内に電流が流れれば抵抗の発熱による温度変化でドリフトを発生させることが考えられる。この点の対策として、殆ど電流を流さず電圧を検出し処理する回路にすることとした。この場合、小振幅で高い周波数の電圧変動であっても回路的には処理することになり、各種雑音外乱に対して適正な積分を行うのかどうかという新たな課題が発生する。

(3) アッテネータの扱い

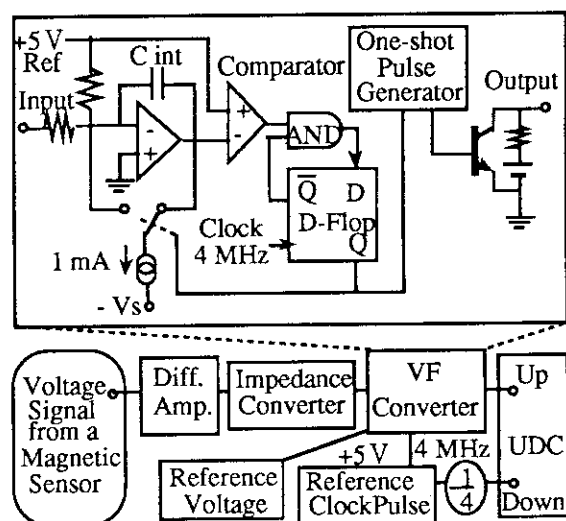
プラズマが内部不安定性を起こした時、着火・消滅時、或いはディスラプション時に、異常な磁束変化がプラズマ周辺部に発生し、磁場センサーには過大な電圧が数十マイクロ秒という短時間の間発生する。この現象により回路内電子素子に電圧が印加され素子の健全性が損なわれる可能性が生じ、同時に内部入力段に装着されているオペアンプが飽和し、その後復帰するまでのミリ秒程度の間は積分動作が実行出来なくなる。アッテネータは、このような現象を回避するために準備された機能である。しかし、通常行う電圧減衰の方法は抵抗分圧であるため、回路内に元々存在する誤差電圧が分圧比の逆数倍され積分誤差を発生させる。また、発熱による抵抗変動でドリフト量を増大させてしまう。従って、低い頻度で発生する異常に高い電圧入力に対応するために、他の殆どの時間に亘る積分精度を犠牲にすることは問題である。この異常電圧発生時の信号処理法を別途検討することとする。また、回路内素子の保護に関しては、ツェナーダイオード機能を持ったFET(電界効果トランジスタ)を回路入力段に挿入し、回路を保護することが想起される。但し、VF#1では回路単純化のため考慮しない。

(4) VF変換素子として積分器と積分器制御部を一体IC化した同期積分方式の素子を採用

VF#0で用いた素子とVF変換方法の異なる素子に変更して対応することとした。まず第3.1図にVF#0の回路全体構成を示す。このVF変換部として、Teledyne Philbrick社製、Type-4735 Hybrid VF Converter [5]を採用している。拡大図に示されたように、入力電圧はオフセット電圧が加算された後、積分用のコンデンサーに電荷が蓄積され、ある一定の電圧レベルに達するとシュミット・トリガー回路により放電回路に電荷を流し、外部にパルスを出力するという構成である。図から明らかなように、放電経路で1回当たり正確に電荷一定量だけを放電すれば正確に積分値がパルスに変換される訳である。



第3.1図 VF#0に於けるVF変換部の回路構成



第3.2図 VF#1に於けるVF変換部の回路構成

一方、VF#1での大きな変更点は第3.2図に示すように、回路全体が基本クロックに同期するよ



うになっている点である。Analog Devices 社製、Monolithic VF Converter AD652BQ [6] を使用して構成したVF#1は、4MHzのクロックに同期して積分パルス (0 Hz - 2 MHz) を出力する。特にType-4735とAD652BQとの積分精度に関する違いは、充放電をコンデンサー容量の中ほどで繰り返すように回路定数を決めてあれば、大きな違いは無いように見られるが、AD652BQの方が、放電スイッチが充放電時に対称に動作する点やクロックに同期している点が積分の誤差を少なく出来るように思われた。

#### (5) VF変換特性の直線性

直線性とは入力電圧に対する出力周波数の関係が直線的であるかどうかの指標であり、通常フルスケールの周波数に対する直線からのズレの割合で表わし、小さい程性能が良い。Type-4735について製品仕様として0.005%FSという極めて小さい値である。しかし、3.3節で詳しく述べるように実測してみると0Vから離れるに従って直線性は急激に悪くなり、9V付近で0.03%FSという値まで大きくなる。AD652BQについては、基本クロックが2 MHzの場合、0.002%FS(typ.), 0.005%FS(max.), 4 MHzの場合、0.01%FS(typ.), 0.02%FS(max.)と悪くなる。もし直線性が核融合プラズマの電磁気計測に効くとすれば後者の周波数で使用した結果、積分値が大きな誤差を示すことで確認出来る。

#### (6) 0V付近のmV不感帯

不感帯とは入力電圧をある値から少し変化させた場合に、出力周波数が変化し始めるまでの電圧領域のことであり、出来るだけ小さい値であることが積分上重要である。この不感帯が大きい場合にもドリフトが小さく、見かけ上積分性能が良くなることを想定しなければならない点は注意を要する。VF#0は最大約4 mVの不感帯を持っていることが判っている。その点の改善がVF#1でどの位図れるかを試作器製作後実測することになる。なお後で述べるように、この不感帯は大きく積分結果に影響を与えるため、不感帯を小さくする方策に言及する。

以上の各対策以外に、入力前段に差動型の増幅器を挿入し、中性粒子入射加熱装置のブレードダウンノイズ等を含むコモンモードノイズの低減を図った。以上の対策を施し試作したVF変換器の性能を以下に示すことにする。

### VF#1の試験結果

#### (1) 単体ドリフト特性

単体ドリフト特性のうち第3.1表に長時間0V入力時ドリフト特性を示す。表に示すように、単体としては極めて低いドリフト量であるが、これは不感帯の大きさと関係があるので、一概に好ましい結果とは言えない。また、温度特性試験では、約30分間で25℃→45℃または25℃→5℃への変化時のドリフトは観測されなかったが、この点でも不感帯の議論は必要である。

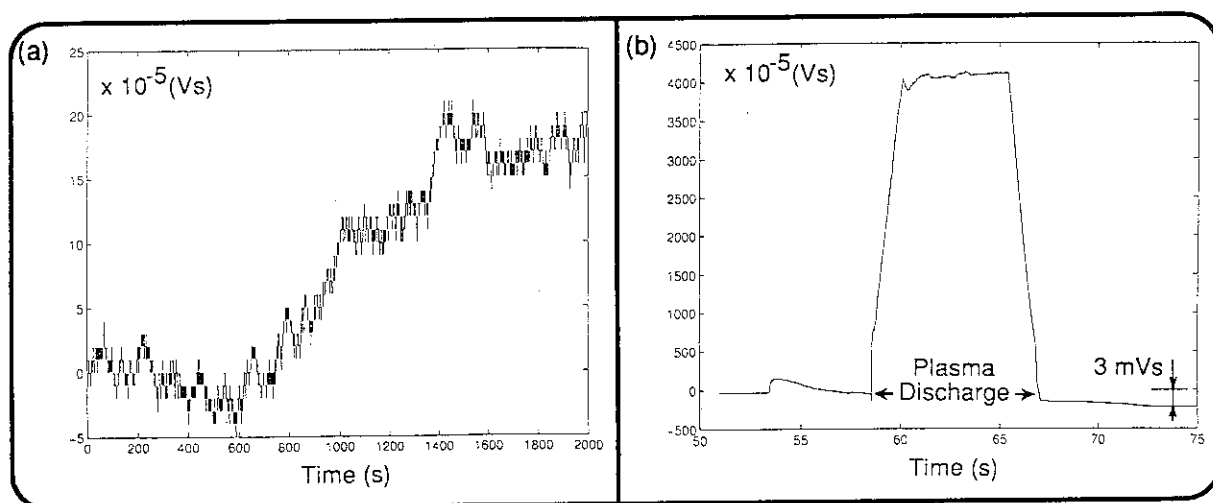
第3.1表 VF#1(同期積分方式)の単体長時間0V入力時ドリフト特性

項目	対象	VF#1	VF#0	カウントとの換算
入力短絡時		0.003 mVs/2000 s	240 mVs/2000 s	VF#0: 1 count=0.02 mVs
抵抗100kΩ接続時		0.005 mVs/2000 s	-----	VF#1: 1 count=0.01 mVs

## (2) JT-60放電での試験

JT-60での試験結果は、対策後のVF変換器にJT-60の接線方向ポロイダル磁場測定用プローブを接続し、プラズマ放電の有無に対応したドリフト特性を調べた。まず、プラズマ放電休止中のバックグラウンド(BG)特性試験では、第3.3図(a)に示すように2000 sの積分の結果は、測定タイミングにより0.05 mVsから0.25 mVsと大きく変動した。

プラズマ放電時の計測結果は、第3.3図(b)に示す波形が得られた。BGでドリフトしないよう調整後データを取得している。ドリフト特性は、放電前後の零点比較で判断すると、ドリフト約3 mVsとなり、VF#0の場合約1 mVsと比較して少し悪くなっている。また波形から微細な変化を計測していないことが観察され、またトロイダル磁場コイルの作るポロイダル磁場成分も計測されていないので、不感帯が大きい可能性があるとの判断に至った。

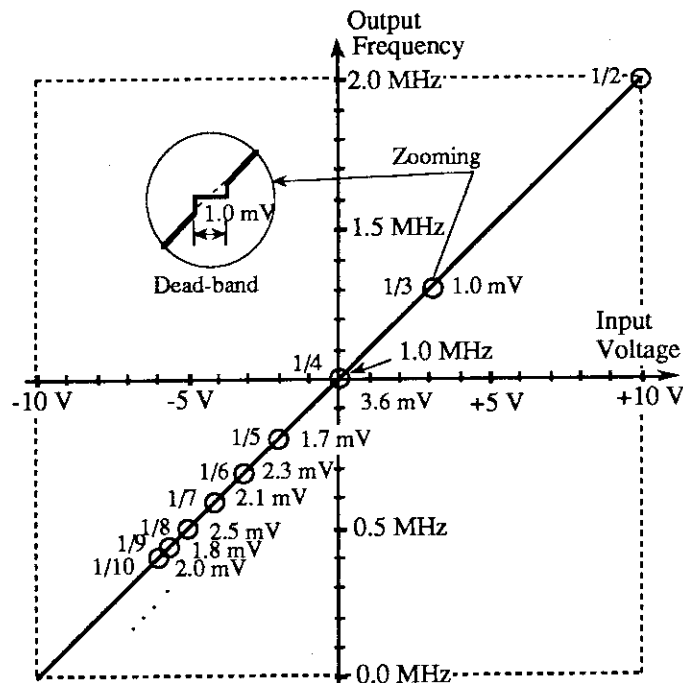


第3.3図 VF#1のJT-60放電適用例

(a)はプラズマ放電休止中のバックグラウンド測定、(b)はプラズマ放電時測定)

## VF#1の問題点---不感帯の存在

第3.3図の放電波形から、プラズマの作る磁場の立ち上がりの前にポロイダル磁場コイルの初期励磁が計測されている。しかし、さらにその前にトロイダル磁場コイルの励磁があり、その時磁気プローブは、トロイダル磁場と鎖交するごくわずか磁場成分を計測する筈である。この時の電圧は約0.2 mVと見積もられ、この入力電圧をVF#1は検出出来ていないことが判明した。このことから、不感帯が0.2 mVよりも大きいことが推定され、測定の結果、0 V入力(1 MHz出力)に対して、約3.6 mVもの極めて広い不感帯を持つことが判明した。直線性も0.01-0.05%FSと良いとは言えない数値を示した。さらに詳細に調査した結果、同期積分方式固有の問題点であるPhase Locked Loop(PLL)現象が発生していることが判明した。このPLL現象は、高い周波数に同期して動作する回路に発生し、基本クロック周波数の「整数分の一」の周波数動作時に回路全体が電氣的に共鳴し、その共鳴周波数に回路全体が停留する(釘付けになる)現象である。具体的には、4 MHzを整数で除算した周波数の点に不感帯が発生することになる。実際に調べた不感帯の測定結果を各共鳴点での不感帯幅と共に第3.4図に示す。



第3.4図 PLL現象が発生する入力電圧(出力周波数)とその不感帯幅  
(入力電圧が低くなるにつれて無限個の不感帯が現われる。)

この無限個存在するPLLによる不感帯の問題を解決する方法は、PLLの発生する周波数の隙間を利用することが考えられる。同期積分方式では、基本クロックの1/2以下の周波数が利用可能領域であるため[6]、PLLの存在しない最も広い周波数領域は、当然基本クロックの1/2と1/3の間である。その間で少なくとも1 MHzまたは2 MHzの周波数が確保出来なければならない。従って、基本クロックは6 MHzまたは12 MHzと極めて高い周波数が必要となる。ここで問題となるのは、このような高い周波数で充放電を可能にするスイッチが現時点で市販品では存在しないということである。また仮に存在したとしても、直線性は周波数の増加とともに悪化する傾向にあるため積分誤差も広がり、使用に耐え得るか疑問となる。このように同期積分方式は、一見徹底したデジタル電子技術を用いた魅力的な概念と当初映ったが、トカマク型核融合用の電磁気計測信号という数十  $\mu\text{V}$  以下の微小信号の積分誤差もドリフトに影響する言わば「微小電圧計測」への適用においては、存在する不感帯の数とその幅の大きさから難しいとの判断に至った。

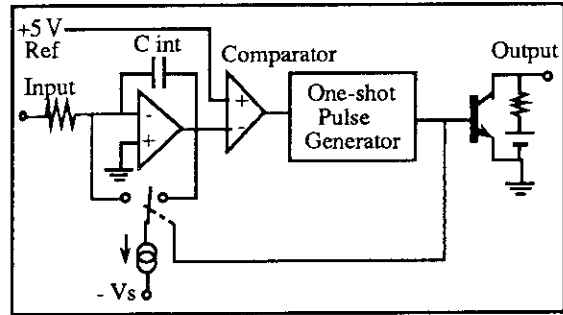
### 3.2 第2試作器の特性—非同期積分方式の場合の試験結果と問題点

同期積分方式の問題点であるPLL現象は、積分パルスの位相を揃えることでかえって電子回路の共鳴を生じさせてしまうことが原因であることを教えてくれた。このようなアナログ処理とデジタル処理との共存する回路の留意点を認識し、VF変換方法としてVF#0と同様な非同期積分方式を再度採用することとした。この新たな第2試作器（以降、VF#2と呼ぶ）の製作に際して、VF#1で実施されたVF#0の問題点の対策、即ち①リレー不使用、及び②高入力インピーダンス化は、その方針を維持する。VF#1で行った対策が不十分と考えられる④積分(VF変換)方法の選択、⑤VF変換特性の直線性改善、⑥0 V近辺のmV不感帯の極小化、について新たな対策を講ずることが、積分誤差を縮小するために要求される。残る③アッテネータの抵抗変動の対策は、最後の第3試作器（VF#3）で検討することとした。

VF#2では、先の未解決の3点について以下に述べる各対策を講じて製作することとした。

#### (1) 積分（VF変換）素子の選択

非同期積分方式の採用については、PLLの回避のためには議論の余地は無い。VF素子としては市販品として入手可能な、Burr-Brown社製High Frequency VF Converter VFC110BG [7]を選択した。VFC110BG素子の内部構成は、AD652BQとほぼ同様であるが、放電タイミングは、コンデンサの充電電圧が規定の値になった段階で積分パルスが出力されるので非同期型となる。VFC110BGは4 MHzフルスケールまで対応可能な回路となっている。



第3.5図 VF#2に於けるVF変換部の回路構成

#### (2) VF変換特性の直線性改善

VF#1ではAD652BQの直線性の悪さも積分誤差に影響している可能性があり、VF#2で使用するVFC110BGの直線性はより良い素子を使用することが望ましい。しかし、VFC110BGの仕様値は0.02%FS (2 MHzFS)となっており、Type-4735の仕様値の0.005%FSより悪く、さらにAD652BQの0.01%FS (4 MHzFS)よりも悪い。直線性と積分誤差との定量的関係を明確にすることは難しいが、第2.1図に示した入力波形から見れば、0 Vを挟む領域で振動している信号を積分することから、0 V入力に対して正負両側の対称性が良いことが重要になると考えられる。また、プラズマの着火・消滅・不安定時を除いて、比較的低い入力電圧で推移することから低電圧での直線性が良いことが要求される。その意味で単体仕様では、VFC110BGの直線性はあまり良いとは言えないが、回路を構成した後実測して判断することとした。また一般に、使用周波数領域を下げることは改善に繋がるので、1 MHz $\pm$ 1 MHz (VF#1)から0.75 MHz $\pm$ 0.5 MHz (VF#2)へ変更することとした。

#### (3) 0 V近辺のmV不感帯の極小化

VF#1の無数の不感帯を生じさせたPLL現象は、非同期積分の場合の唯一存在する0 V入力に対する不感帯の発生も説明出来る。第2.1図にあるようにVFからは、2種類の周波数がUDCに対して出力されており、入力電圧信号に対応した周波数と0 Vに対応した基準周波数である。この基準周波数がPLLを起こし、0 Vの入力からのごく小さい電圧変化に対し出力周波数を変化させないのではないかと予想ができる。

#### (4) プリント基板

以上に加えて行った改善点について触れておく。VF#1では特性確認を主目的にしたこともあって、その電子回路製作ではプリント基板と呼ばれるパターンを製作することなく、市販の回路構成用板に素子や導線を半田付けで配線取り付けを行った。これに対し、外部ノイズ、例えばほんのわずかの磁束変化が回路内に生じて、電圧変動が発生しそれが積分誤差に繋がっていくことは十分考えられた。実際、配線を人間が触れるだけで積分パルスが変動することもあった。従って、VF#2では専用プリント基板を製作し、再現性を確実にし実機製作への重要段階と位置付けた。また、PLLの影響がアナログ回路に及ぶことを最小限にするために、基準周波数を

発生している電子回路とアナログ信号の積分を行っている電子回路とをプリント基板の単位で分離した。全体の回路構成は、VF変換素子の部分(第3.5図)を除いてVF#1と同じ(第3.2図)である。

### VF#2の試験結果

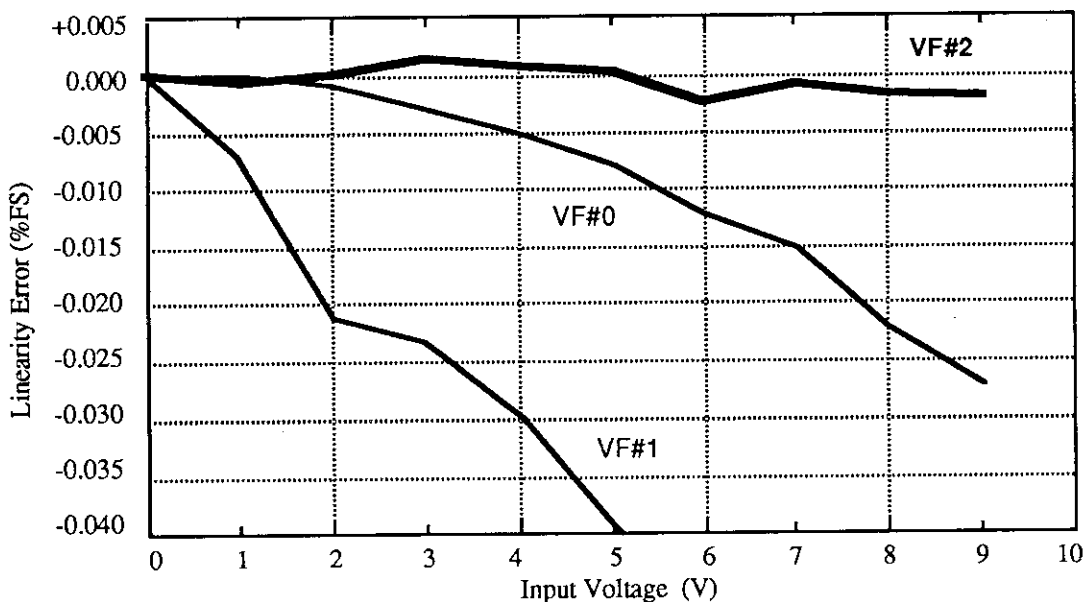
以上の対策を講じたVF#2を製作した。JT-60放電での積分試験に先だって、単体試験において直線性の改善と不感帯の縮小を目的に回路に以下の工夫を施した。まずVF変換素子の温度を低温で安定させるために、①ヒートシンク（放熱板）をVF変換素子の上にシリコンを用いて張り付けた。また、冷却を効率良く行うために、②ファンでヒートシンクを冷却した。さらに、PLL現象を回避するために、③アナログ回路と周波数発生回路とを2段重ね(上下差7cm)にしてその間に鉄板を挿入した。

このような工夫を施した上に、スパン調整を最も入力電圧信号として頻度の多い電圧を含む $\pm 2$ Vで行った。その結果、直線性、不感帯、0V入力時長時間ドリフトの全ての性能で著しい改善が確認された。

#### (1) 直線性の改善

まず、VF#2の直線性を第3.6図に、VF#1とVF#0の場合と共に示す。なお、VF#2は、VF110BGの直線性の良い部分である  $0.75 \text{ MHz} \pm 0.5 \text{ MHz}$  の周波数領域を $\pm 10$ Vで使用している。ここで、第3.6図の縦軸を説明しておく。電磁気センサーに誘起される信号は、通常0Vを中心に振動する場合が多く、その時誤差は非対称性の分だけ発生することから、図は誤差の生データではなく次式 (XX (V)に対する値の定義) で加工したデータを表示している。

$$\text{直線性誤差} = \left[ \left\{ (+XX \text{ (V)入力時の計測周波数}) - (+XX \text{ (V)入力時の真周波数}) \right\} - \left\{ (-XX \text{ (V)入力時の計測周波数}) - (-XX \text{ (V)入力時の真周波数}) \right\} \right] / 1 \text{ MHz}$$



第3.6図 VF#2の直線性誤差 (VF変換誤差) 及びVF#0, VF#1との比較

この図から明らかなように、VF#2は他の2種類と比べて極めて良好な直線性を持っていることが判る。しかも、製品の仕様値に比べて1桁も小さい値になっている点は驚愕に値する。この要因はVF#2に施した対策の効果と考えられる。また同時に、VF#0が0V-1V付近低電圧での直

線性が非常に良く、最も高頻度で入力される電圧信号がこの範囲であることから、これまで経験的にVF#0は比較的精度の良い積分結果を出力しているとの感覚が裏付けられた。VF#1は全体的に直線性は悪く積分誤差の大きい点も理解出来る。

## (2) 不感帯幅の縮小

不感帯については、0V入力近傍の信号が殆どと考えられるプラズマの磁場変動信号の場合、積分精度に大きく影響を与えていることはVF#1の試験結果から判った。この不感帯が、VF#2における対策でどのように改善されたかを調べた結果を第3.2表に示す。ここでは、試験条件を3種類用意した。ヒートシンクの装着とファン強制冷却の有無、VF素子とクロックの基板の分離の有無である。表から明らかなように、対策を講じない場合(VF#1の基板にVFC110BGを装着)には、極めて大きな不感帯を持っているが、クロック基板とアナログ系の基板を分離することにより、1桁以上も縮小することが判る。これはPLL現象が、不感帯の生成に最も大きく関与していることを示唆している。さらに、ヒートシンクの装着とファン強制冷却を実施することにより、不感帯は一層縮小し、0.1 mV以下即ち殆ど測定では確認出来ないレベルまで縮小した。

第3.2表 VF#2の0V入力近傍の不感帯幅と試験条件との関係

(HS: with heat-sink attached, F: with a cooling fan, P: with separating the analog board from digital one)

Test Cases	HS+F+P	P	VFC110BG+VF#1*	reference values
Dead-band	< 0.1 mV	~2.0 mV	~35 mV	VF#0: 0.1-2.0 mV, VF#1: 3.6-9.0 mV

\*: This test was performed on the VF#1 board with VFC110BG instead of AD562BQ.

## (3) 長時間ドリフト試験

VF#0では、入力を短絡した場合の長時間ドリフトが極めて大きく、そのため長時間使用が制限されていた。一方、VF#1では長時間ドリフトは極めて小さかったが、これは不感帯の幅が大きく入力段で電圧変化があっても、反応しなかったことによると考えられる。VF#2に関して、前記の最も不感帯が小さい条件で調べてみても、第3.3表に示すように長時間ドリフトはかなり小さな値であることが判った。カウント値に置き換えれば、2000秒間で1カウントという最小の値である。これから、理想的な状況での回路内ドリフトはほぼ完全に除去されたと考えられる。

第3.3表 入力短絡時 長時間ドリフト

Trial boards	VF#2	VF#1	VF#0
Drift speed	0.02 mVs /2000 s	0.003 mVs /2000 s	240 mVs /2000 s

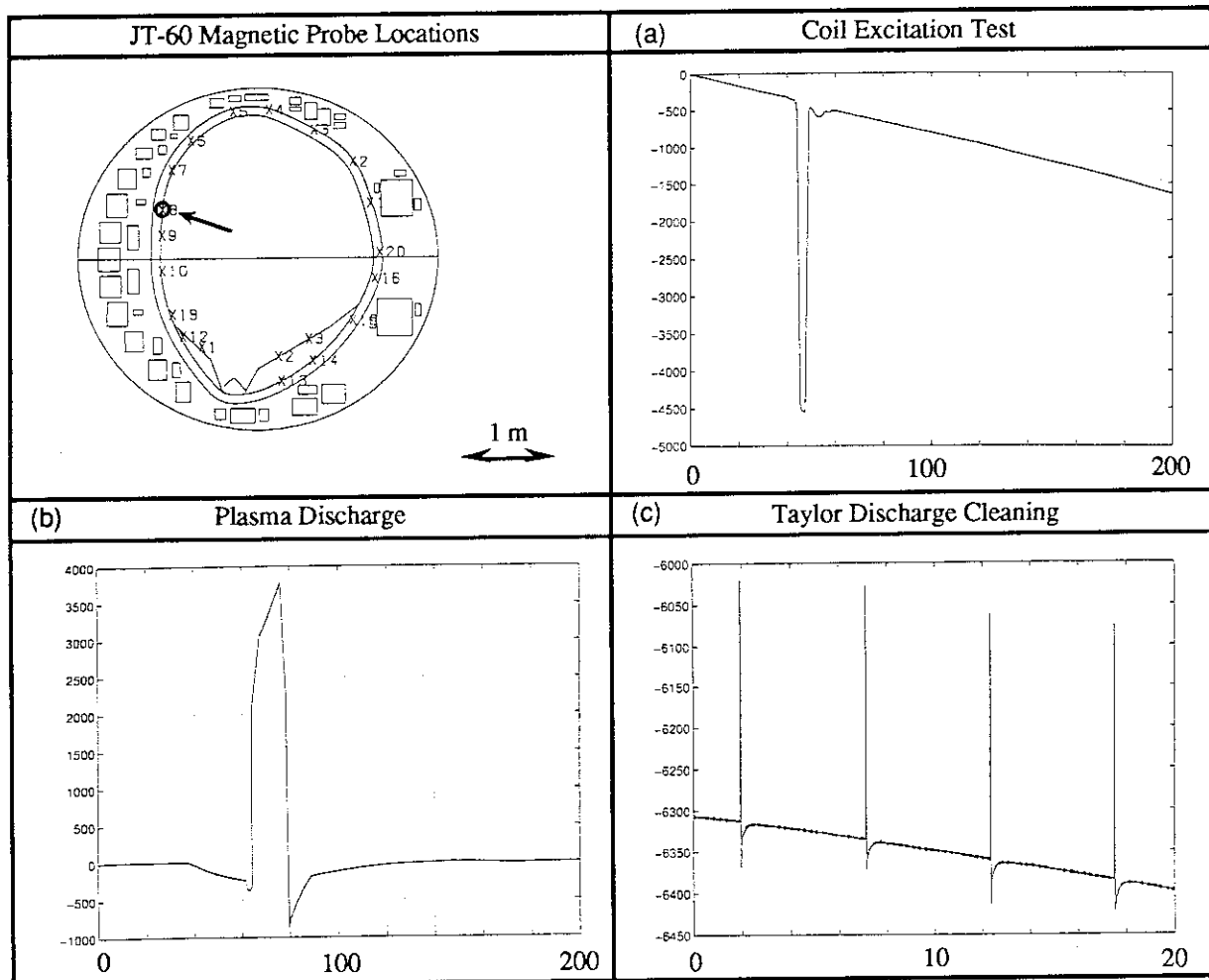
## (4) JT-60放電での試験

JT-60の電磁気計測器にVF#2を接続して、プラズマ無しのコイル通電試験、プラズマ実験の積分動作試験を実施した。

通電試験は、積分性能を確認するためには最適である。コイル電流値の波形に比例した磁場変化をしているかどうかで積分誤差は明確だからである。その結果を第3.7図(a)に示す。この波形はコイル電流の通電波形と同じであると共に、コイル消磁後の値は励磁前のドリフト直線の延長線上の値に戻っていることが示され、積分結果は良好であることが判る。

第3.7図(b)に示すとおり通常の実験放電時の積分については、通電試験時と同様にコイル通電前後とで元のドリフト直線に戻っており、ほぼ正しく積分していることが確認された。VF#1では観測出来なかった、トロイダル磁場コイルと同期して観測される鎖交磁束の変化も立ち上げ、立ち下げの両方の時期で正しく検出された。また、放電洗浄の一種である TDC (Taylor Discharge Cleaning)の放電時にも、殆ど積分誤差無く動作していることが、第3.7図(c)から判る。

一方、VF#2を用いた測定では、プラズマが放電しているに依らず、波形がうねっていることが観測されている。これは後で再度触れる不可解なドリフトである。誤差評価の指標としてS/N比の代わりにS(signal)/D(drift)比をとるが、ここで観測されたドリフトを前提にすれば、Sを大きくとるように磁気プローブの総鎖交面積や増幅率を決めることが必要である。



第3.7図 VF#2のJT-60放電適用例 (横軸は秒、縦軸は積分値に比例した値)

### VF#2の問題点

このようにJT-60の電磁気信号を入力して行った試験の結果、基本的な積分性能についてはほぼ問題無いことが判ったが、なお積分誤差を生じさせながら、未だ解明されていない現象及び対策法の未開発の現象の存在を確認した。即ち、長時間積分時に見られるドリフト速度の緩やかな変化現象とディスラプション時等プラズマ不安定時に見られる積分値の飛び現象である。この2点は、単体性能が十分良好なVF#2になお発生する問題であり、しかもトカマク型核融合装

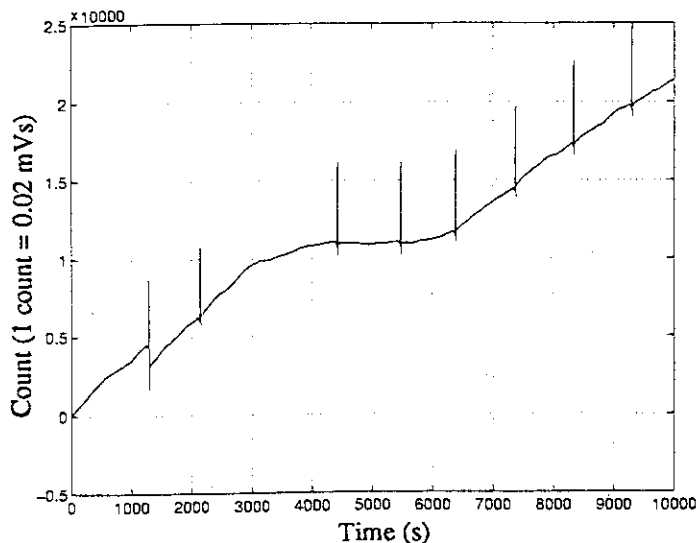
置固有の問題である可能性が高いので、以下に現象を確認しておく。

#### (1) 長時間積分時のドリフト速度の緩慢な変化現象

VF#2にJT-60の電磁気センサーを接続して通常の積分動作を行った結果、得られる波形は凡そ第3.8図に示すような傾向を示している。この図では10000秒間積分している中に8回の実験放電が行われており、そのうち最初の1放電はディスラプションである。この図から、各放電の積分は一応良好のようで、「うねった」基準波形から放電時の磁場変化をした後、元の基準波形には戻っていることは判るが、この基準波形がうねるのは何故であろうか。

信号としてこのような長い時定数を持つ磁場変化は全く考えられない。また積分自体は精度良く行われていることが確認出来ているので積分誤差の積算という可能性も無いし、温度変化による回路内抵抗値の変化によるドリフトも、設置されている環境と強制冷却を行っていることから有り得ない。以上から、回路内に何らかの原因で緩慢な電圧変動が起きているいることが残る可能性である。外部との接続は信号線と接地線であるので、このどちらかからの影響で不可解なドリフトが発生していると考えることが妥当であろう。この2つの接続線のうち、接地線と繋ぎ方には色々な選択枝が考え得るので、VF#3で試験を行うこととする。

信号線については、センサーを繋がない場合は殆どドリフトしないことから、何らかの原因を作っている可能性は高い。しかし、接地線との間のグラウンドループの影響も有り得るので、接地線の影響を除去した後になおドリフトが問題になった場合に検討することとする。



第3.8図 長時間積分時のドリフト速度の緩慢な変化現象

#### (2) プラズマ不安定時に見られる積分値の飛び現象

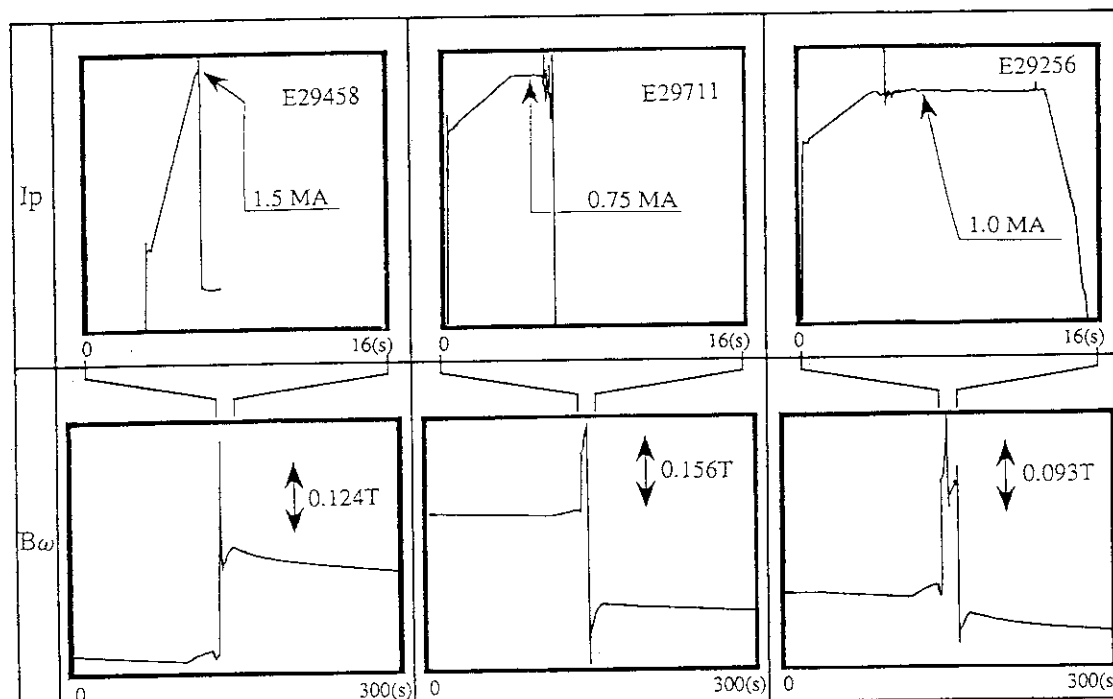
第3.8図の1番目の放電に見られるように、プラズマがディスラプションしたり、或いは内部不安定性により急激な変動がプラズマに起こった場合には、VF#0においてもVF#2と同様の積分値の飛びの現象がJT-60実験運転開始当初から見られた。この原因は、入力電圧が±10 Vを越えたために入力段のオペアンプが飽和し、その越えた分の積分値が誤差として現われることである。さらにその誤差を拡大させる要因としては、入力電圧が±10 Vの範囲に戻ってきてからも、オペアンプ自体が復帰に必要な時間(ms程度)は積分動作が停止することが考えられる。

ディスラプション時のVF#2の積分誤差は、大きい場合で60 mVsもの異常とも言える大きな値



であった。このような積分量が、極めて短い時間に発生しているのであろうか、という疑問が生ずる。しかも、第3.9図に示すように、積分誤差の飛びの方向は0点に対して正負両方があり、過大な電圧が正負の両方に発生していることを示唆している。この点は、電磁気センサーの出力電圧を直接観察することにより確認することにする。

この±10 Vを越える現象に対応する方法は、フィルター或いはアッテネータを電圧入力段に装着することであった。しかし、フィルター装着後もこの現象の発生が認められたり、一方のアッテネータは、むしろ過大な信号ドリフトを発生させてしまうことが判っている。このことは、もはや1 chの信号に対して1台のVFでは対処出来ないことを示唆していると考えられる。後に行う考察において、これに対処するための具体的なシステム設計を実施する。



上段はJT-60の3放電におけるプラズマ電流波形、下段は上段と同一放電を含む300秒間の磁気プローブ信号の積分波形。左、中央はディスラプションにより積分結果が元に戻らず大きく飛んでいる。右は放電途中の不安定性により積分結果の飛びが起こり、その後予定通り放電を実行しているが飛びの分が放電前後の差になっている。

第3.9図 プラズマの不安定性により積分結果に「飛び」が発生する例

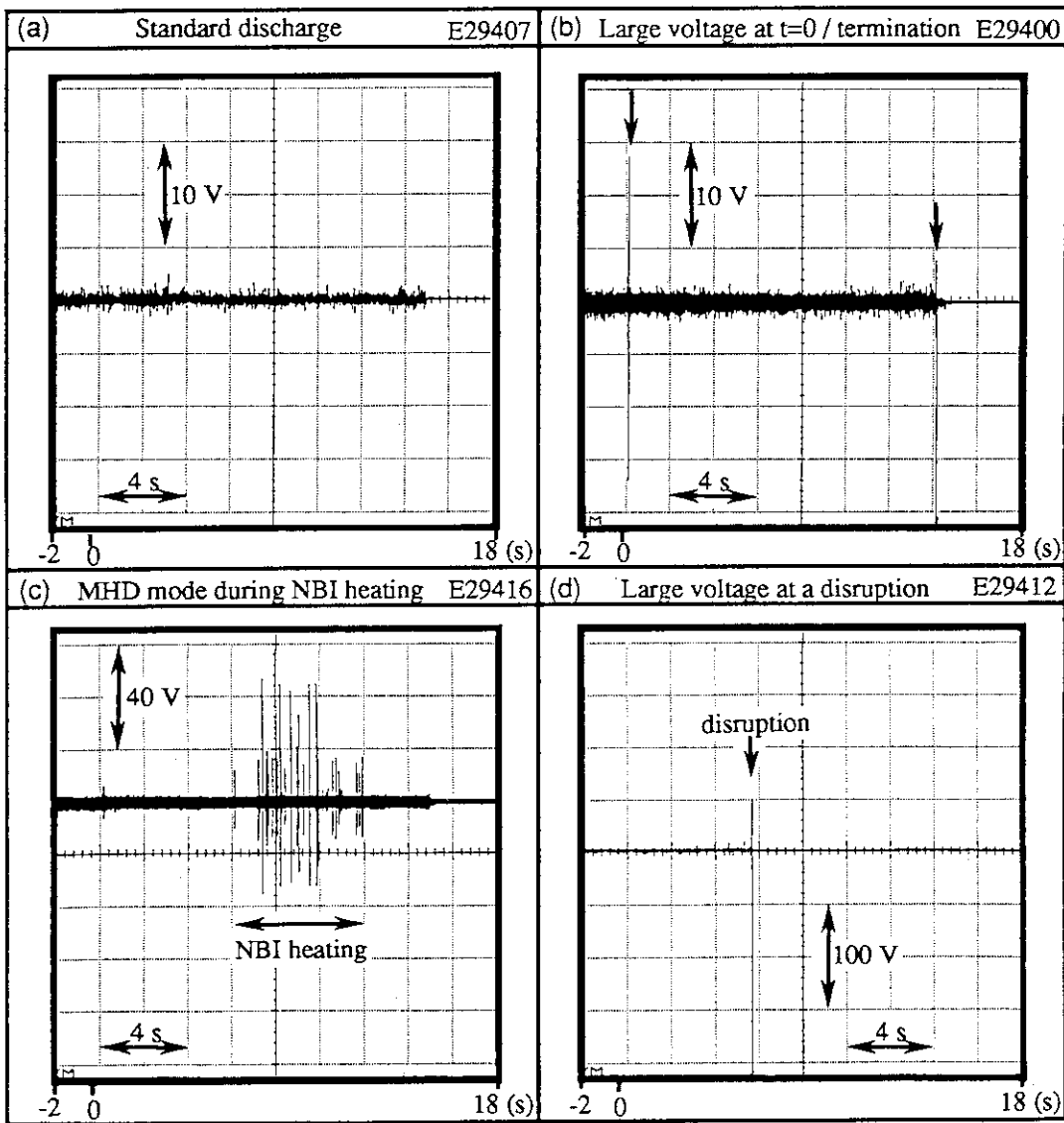
これまで述べてきたように、試作器VF#2により長時間の積分処理そのものの問題点はほぼ解決したと考えられる。これによりITERの2000秒程度の積分に適用出来る見通しが得られた。しかし、なおも不可解なドリフトとプラズマからの過大な電圧という2つの大きな問題を抱えている。そこで、まず電磁気センサーからの出力電圧を観察した結果を示した後、第3試作器VF#3の結果を報告する。

### 3.3 電磁気センサーの出力電圧の観察

JT-60実験放電での電磁気センサーはどのような電圧を出力しているのであろうか。電磁気計測用積分器の設計製作時には、この質問に対して予想に基づく数値或いは仮定、例えば発生電圧最大値他を用意して作業が進められた。一旦完成してしまふと実験運転上の支障が無いこと

で、その予想や仮定が適正であったと見做してきた。前述したように、かなり大きい積分誤差を説明出来るだけの磁場変化は本当に起こっているのか疑問の点も多い。そこでその点を確認するために、デジタルオシロスコープを用いてJT-60の電磁気センサーからの実波形を観察した。

使用したセンサーとして、真空容器内側に設置されたプラズマ電流が作る磁場に対して接線方向の磁場を計測する磁気プローブを選んだ(第3.7図参照)。第3.10図に幾つかの生の電圧波形を示す。プラズマ放電2秒前のポロイダル磁場コイルの励磁時点から計測を開始している。



第3.10図 磁気プローブの出力電圧の生データ (第3.7図の#12位置の接線方向磁気プローブ使用)

(a)は通常の放電の電圧波形であり、±1V前後の高い周波数 (kHzオーダー) の振動が放電最初から最後まで続いている。特に注意が必要であるのは、この放電の間プラズマ電流が変化しているにも関わらず、振幅が殆ど変化していない点である。プラズマ電流がマクロ的に移動することで発生する磁場変動であれば、プラズマ電流に比例した振幅にならなければならないがそうではないので、ここでは移動がこの電磁気信号の主成分でないことを示している。この振動は、サイリスタ電源が発生するリップルである可能性が高い。

さて、(a)以外の波形は、(a)と同一日に行った色々な放電での出力電圧である。一応 $\pm 10\text{V}$ という許容入力範囲を越えている特徴的なものを選んだが、これ以外の放電でも比較的普通に $\pm 10\text{V}$ を越えるパルスが発生していた。

(b)は通常の放電であるが、プラズマの着火、消滅時に $\pm 10\text{V}$ を越えている。

(c)は中性粒子入射加熱装置NBIの入射によって、プラズマのMHD揺動現象が断続的に発生しているようで、それによる磁場変動が観測されている。マイナーディスラプション等が発生した場合等にもこの異常電圧の発生が観測される。

(d)はディスラプション時の波形である。オシロスコープのレンジ設定の関係で $200\text{V}$ までしか捉えられていないが、実際はこれ以上もの高い電圧となっているという驚くべき事実が判った。サンプル周期が $100\mu\text{s}$ であることから、時間幅も $100\mu\text{s}$ 程度はある。

以上の観察から、電磁気計測器の出力電圧に関する重要な事項を以下に箇条書きする。

- ・プラズマ放電の着火・消滅時には、プラズマの具合と関係すると思われるが、パルスの着火時 $\pm 10\text{-}20\text{V}$ 、消滅時 $20\text{V}$ 以上の電圧が観測された。またプラズマ内部の不安定性発生時にも同様のパルス信号が発生する。
- ・プラズマのNBIによる加熱時には、パルスの $\pm 50\text{V}$ 前後の電圧変動が加熱期間中断続的に多数発生する。
- ・ディスラプション発生時には、通常時の200倍以上にあたる $200\text{V}$ 以上もの電圧が発生する。

先の観測で約 $60\text{mVs}$ もの積分誤差の原因が過電圧にあるかどうかを調査の動機であった。例えば電圧 $600\text{V}$ でパルス幅 $100\mu\text{s}$ であれば、この積分誤差は説明出来る訳であるが、本節の観測でこの程度の信号発生は十分有り得るという証拠が得られた。

また、 $\pm 10\text{V}$ を越える電圧は特殊な放電ではなく、ごく普通の放電でも、プラズマ着火、消滅、加熱中などにパルスの見られることが確認された。即ち、殆ど常に過電圧による積分誤差は発生している筈である。しかし、これらの積分誤差量は、殆ど波形では確認出来ない位であることを考えると1放電当たり $200\text{-}300\mu\text{Vs}$ (10数カウント)程度以下であることが判る。

これにより、大きな積分誤差を生む最大の原因は、ディスラプション時に代表されるプラズマの内部不安定性に起因する異常な磁場変動が、センサーに高電圧を誘起した結果であることが明確となった。実際に高電圧の発生が確認されたので、対策としては入力電圧を降下させるアッテネータを入力前段へ挿入することである。しかし、電圧減衰は抵抗分圧方式であるため、抵抗値の変動が長時間では積分誤差となったり、また入力電圧が下がりVF変換器内でのS/N比が下がる結果、JT-60の場合では20秒放電中ほぼ直線的なドリフトが観測されている。そこで、ごく短時間の電圧異常時にのみアッテネータ通過後の信号を使用し、そのパルスの変動時を除く残りの殆どの時間ではアッテネータを経由しない信号を使用する、という対策がITER等での長時間運転時には必要となる。この新しい方法については、考察で提案することとする。

### 3.4 第3試作器の特性—第2試作器の改良版の試験結果

第2試作器VF#2では、積分動作そのものについての健全性はJT-60放電での各種試験を通じて確認出来た。残る問題は、①ドリフト量を最小化することと②ディスラプション時の積分値の飛びであることは既に述べた。問題の②は、VF単体では対処が出来ず、複数台でシステムを構築することで対応可能であるので考察で触れる。そこで第3試作器VF#3では、問題の①のドリ

フト量の最小化についての試みをさらに進め、幾つかの対策を実施した結果について述べる。

VF#3で実施した対策等は以下の通りである。

#### (1) アナログ電圧出力による入力段ドリフト補正処理

ドリフト量を一定時間測定し、その平均ドリフト速度をキャンセルするだけのアナログ電圧を入力信号に加えたり減じたりして、積分値のドリフトを補正する処理である。

VF#0においては、回路内の変動で発生するドリフトだけの補正を対象として、入力信号を短絡してドリフト速度を計測して補正を行う機能が準備されていた。既に述べたように、ドリフトを発生させる原因は回路内だけではない。むしろ実センサーと接続することだけで、プラズマ放電中以外でも色々な電圧揺動（センサー近傍のモーターの作るノイズ等）がVF変換器回路内に持ち込まれる結果、ドリフトを発生させている。VF#3ではこの分も合わせて補正をする目的でセンサーを接続して積分器を動作させた後、そのドリフト速度を打ち消す補正電圧を入力段にかける回路を組み込んだ。後で述べる長時間に亘る一定ドリフトを周波数パルスの段階で補正する「デジタル・ドリフト補正」と区別する意味で「アナログ・ドリフト補正」と呼ぶ。

補正出来るドリフト速度は、ドリフト量を測るために積分を実行する時間に関係しており、10秒間であればその逆数の10秒間に1カウントの割合のドリフト（即ち $20\mu\text{V}$ ）程度までは理想的状況では補正可能である。変動信号を取り扱うことから数回のフィードバック制御をかけることが必要となるため、100秒程度の補正時間を設定した。

#### (2) ペルティエ素子の利用とヒートシンク（放熱材）の追加

VF#2において、積分性能を上げる重要な要素は、温度の低下と安定であった。そこで、これをさらに進めたら、性能の一層の向上やドリフト特性の改善まで測れないかとの目論見で、温度安定化のためのヒートシンクをドリフト補正用のデジタルアナログ変換器のICにも装着した。また冷却温度を下げるためにペルティエ素子をVF変換器にヒートシンク上に装着した。

#### (3) オペアンプの飽和を防ぎ同時に保護する回路の追加

前節で観察したように入力段のオペアンプには、 $\pm 10\text{V}$ を越える電圧が過渡的ながらも印加される。この時オペアンプの飽和により、msオーダー程度の時間は機能を停止してしまい積分誤差を生ずる。また同時にオペアンプに耐圧以上の電圧を印加し、動作不良の原因をもたらしことになる。これらを防ぐために、入力段にツェナーダイオード的に動作するFET (Field Effect Transistor) を正負両側に挿入した（最終的な製作用VF回路構成図 第3.18図参照）。

このFETを挿入して飽和を防ぐことは、以下の予想通りなら積分誤差の減少或は実質的な回避までの効果が期待出来る。即ち、高電圧を発生させている時間はディスラプション時などごく限られた場合を除けば極めて短時間であるが、もしその積分値が小さいのであれば、飽和による不感現象を回避するだけで積分誤差を相当減らせるのではないかと、ということである。

### VF#3の試験結果

#### (1) VF#3単体での接地方法の試験

VF#3での目的はドリフトの抑制である。そこでまず、VF#2の試験時にドリフト要因として考えられた接地線の接続方法を検討することとする。JT-60実験放電での試験に先だって、ノイズ

等の少ない環境でVF#3の単体試験を実施した。ここでは、信号線の電子基板への入力方法を2種類（シングルエンド入力とディファレンシャル入力）準備し、それぞれ接地の取り方を変えて不感帯幅、直線性の変化を観察した。第3.11図に接地の取り方のパターンとその結果を示す。

この図中で、直線性の欄に書かれた上下2つの値は、それぞれ括弧内の入力電圧の範囲の直線性誤差の最大値を意味する。

Grounding Patterns		Linearity (%FS)	Dead-band Width (mV)
differential input type		Maximum Values 0.0020 (±5 V) 0.0007 (±1 V)	< 0.02
		Maximum Values 0.0026 (±5 V) 0.0007 (±1 V)	< 0.02
		Maximum Values 0.0024 (±5 V) 0.0011 (±1 V)	0.8
		Maximum Values 0.0025 (±5 V) 0.0008 (±1 V)	0.3
single-ended input type		Maximum Values 0.0025 (±5 V) 0.0008 (±1 V)	< 0.02
		Maximum Values 0.0033 (±5 V) 0.0014 (±1 V)	0.6

Note: PGA= Operational Amplifier with a Programmable Gain  
A voltage source is used in place of a magnetic sensor.

第3.11図 VF#3の信号入力方法と接地方法の違いと不感帯幅、直線性への影響

この結果から、どちらの入力方式でも、電子基板のグランドを建家のグランドに接地すると、基準クロック信号が接地系を介してアナログ系に回り込みが起り幅の広い不感帯を作る。この回り込みが何故発生するかについて少し定性的説明を試みる。

デジタル系の電子基板とアナログ系の電子基板を分離独立にした話は、3.2節で述べた。そこで分離したのは、基板、接地及び電源である。基本クロックの電圧振動は自らの基板のグランドを変動させ、その振動はトランス電源の2次側から1次側へ伝わる。1次側は建家のコンセントに接続されているので、デジタル基板用電源の1次側へも伝わり、それがさらにトランスを経由して2次側のデジタル基板に伝播し得る。しかし、2個のトランス電源を通過する間にほぼその振動成分のエネルギーは問題にならない程小さくなっていると思われる。現にこの場合に不感帯の問題は観測されていない。ここで図にあるようにアナログボードのグランドを建家のグランドに接続すると、基本クロックの電圧振動は1個のトランス電源を通過した後の変動をアナログ系にもたす。これによるPLL現象のために、不感帯が発生するものと推定される。最終的に選択した接地方式は、後で図示する（第3.14図参照）。

直線性については、やはり接地による影響が多少見られるが、入力方式が、シングルエンド方式かディファレンシャル方式かで大きな差は見られない。

結局、入力方式に係わらず、電子基板の接地線は外部共通(建家)接地系と接続しない方が単体性能が良いことが判明した（入力方式の違いは次のJT-60での試験で現われることになる）。

## (2) アナログ・ドリフト補正、ペルティエ素子、ヒートシンクの効果

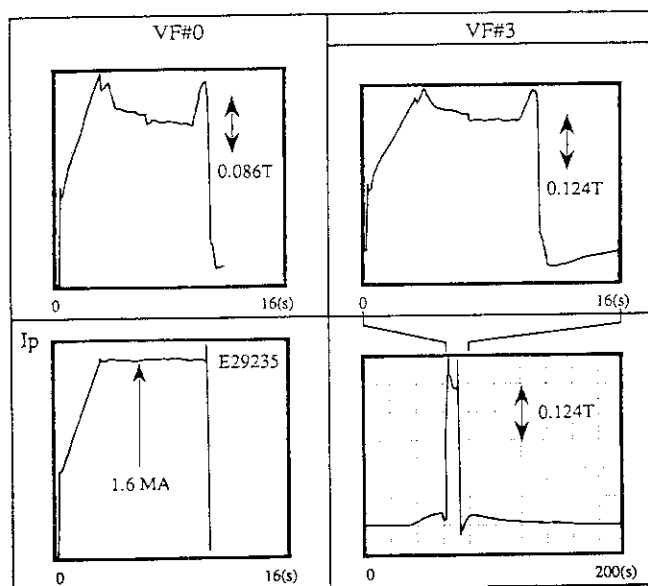
さて次にJT-60実験放電で、各種対策の効果と接地方式の最適化を図り、ドリフト速度の変動をどの位まで抑えられるかを測定した。まず、アナログ・ドリフト補正については、5秒間積分を行い補正を行う一連のフィードバックループを20回（合計100秒間）動作させる方法で行った。一定速度でドリフト量が変化する場合であれば、0.2 Hz程度までに抑えることが可能であったが、フィードバックゲインの最適化を進めて、ドリフト補正効果をさらに高めることは可能であろう。また、補正すべきオフセット電圧が小さい場合に、十分補正出来ないことが観測された。原因は、補正回路の接続により不感帯が発生し見かけのドリフトが消失してしまうため、オフセット電圧無しと認識してしまうためであることが判った。何故不感帯が発生するのは今後の検討となるが、不感帯を外れていれば正しく補正するので、初め意図的に補正電圧発生器で不感帯外の電圧を入力しておき、その状態で補正をかける対策を採った。

ペルティエ素子の利用とヒートシンク（放熱材）の追加については、VF素子にペルティエ素子をシリコンで接着して、ペルティエ素子に一定電流を流してVF素子を冷却した。しかし、大きい不感帯が出現してしまい、逆に積分性能を下げってしまった。ペルティエ素子に通電する電源線に、基準クロック周波数のノイズ変動が回り込み、不感帯を作った可能性もある。ペルティエ素子の電源にも絶縁トランスを介す等ノイズ対策を施して電源供給する必要があるが未実施である。ドリフト補正用のDACに、ヒートシンクを載せたことによる性能変化はなかった。

## (3) オペアンプ飽和対策の効果

オペアンプの飽和を防ぎ同時に保護する回路の追加を行った結果は、第3.12図に示すように効果が明確な場合があることが判った。しかし、異常に過大な電圧変動を伴うディスラプション

の場合には、予想されたとおり許容入力電圧範囲を越えた分の積分量が大きく、対策後も大きな積分誤差を生じている（第3.9図参照）。また、回路保護の観点では、追加したFETの耐圧が50V程度であり、短時間とは言え数100Vもの入力電圧にどの位の回数耐えられるのか明確ではない。従って、より耐圧の高いFETを探るか、単機性能を確認する試験を実施する必要があるだろう。



JT-60放電でディスラプションが発生し、下段左に示すようにプラズマ電流が急速に0に立ち下がる。この時接線方向磁気プローブ積分波形を、オペアンプの飽和対策をしていないVF#0を用いて計測した場合（上段左）と飽和対策を施したVF#2を用いて計測した場合（上段右）に示す。VF#0では十分立ち下がっていないのに対して、VF#2では追従しており200秒間の波形（下段右）で見ても放電前後で元の値に戻っており、飽和対策が有効であることが判る。

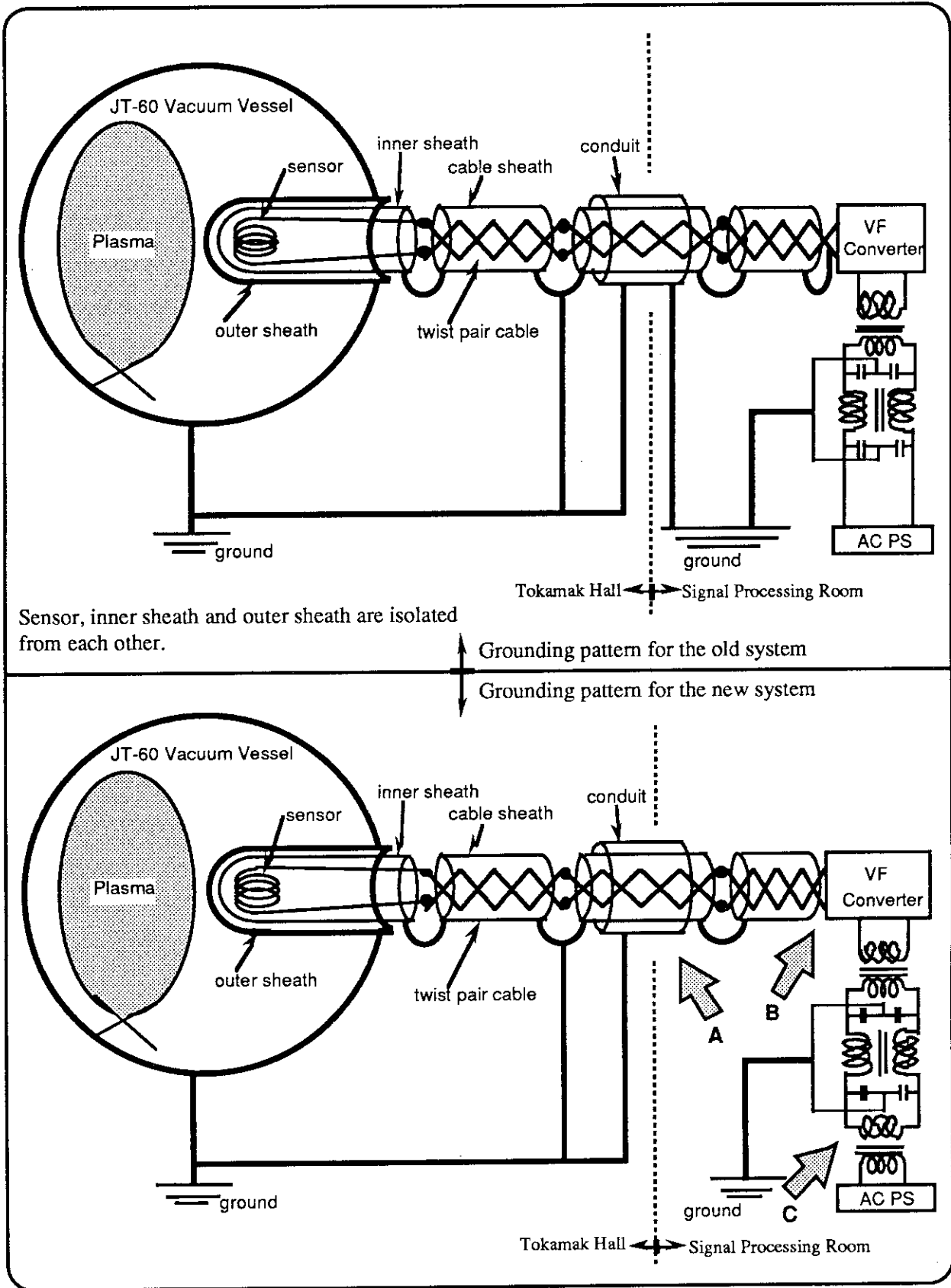
第3.12図 オペアンプ飽和対策の効果例

#### (4) JT-60環境での接地方法

核融合装置環境下でどのように接地をすることが良いのか、JT-60での試験で試行錯誤的に調査した。まず、プラズマ放電時ではない時間帯に信号線に載るノイズを様々な接地の仕方で調査した。その結果、ツイストペアケーブルの信号線の片方を信号処理系の直前でそのケーブルシールド線と接続し、そのケーブルシールドをJT-60本体のグランドに接続する、という方式が最もノイズの振幅が小さいことが判った。ノイズ信号を電源を絶縁したオシロスコープで観察したところ、ピーク間電圧20 mVの白色ノイズに近い信号であった。JT-60実験開始からこれまで、VF#0の使用の際には、その接続方式、即ち、第3.13図の上側に示す方式で計測してきた。

VF#3（シングルエンド入力方式タイプ）を用いて同様の接続でJT-60放電中の試験をしてみると、トロイダル磁場コイルの通電前後で、積分結果のドリフト速度が大きく変化する現象が発生した。この変化後のドリフト速度が一定であることから、トロイダル磁場の鎖交磁束の検出ではないことは明確である。この現象の仮説として次を考えている。即ち、(i) まずクロック信号が接地系を回ってアナログ処理系に入り不感帯を作る（第3.13図参照）。(ii) 同時に、JT-60の大電力電源から接地系に流れ込む電流とそれに伴う電圧変動が接地電位の揺動を作り出す。(iii) 既に不感帯を持ってしまっているVF変換器が、その揺動を接地→シールド→信号線経由で入力処理し誤差の大きい積分結果となり、ドリフト速度が変化する。以上の3段階である。

そこで信号線を含むアナログ処理系全体を接地系と絶縁する対策（第3.13図矢印B）を講じた。



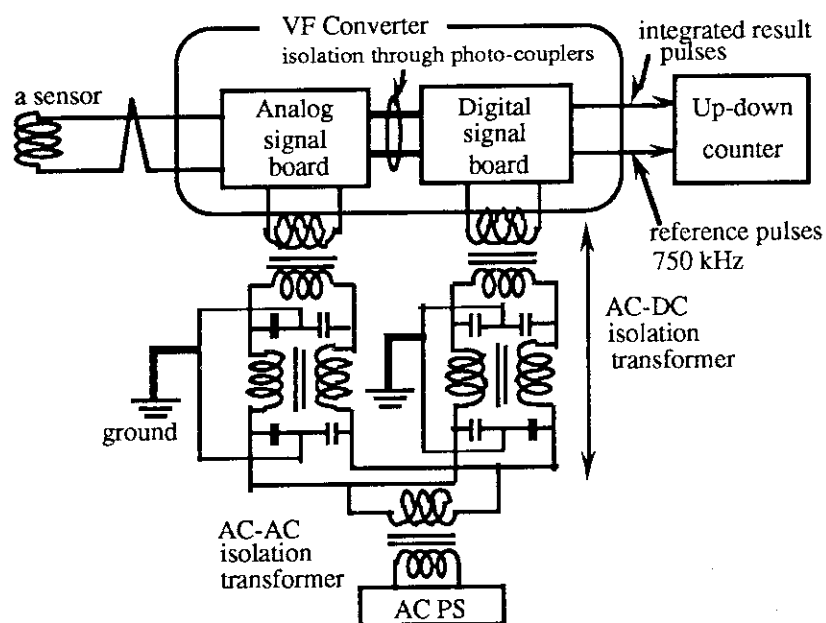
第3.13図 JT-60での接地方法の選択

(上が改善前、下が改善後。矢印が変更箇所：Aは2点接地対策、B及びCは本文参照。)



この時点で信号処理系は完全に接地系から浮いている。この状態で試験を行ったところ、良好な積分結果が得られた。しかし、常に50 Hzの振動（通称ハムノイズ）が積分結果に載っていることが判明した。これは接地をとらないことによる「電位のふらつき」と考えられるため、アナログ処理系用のトランス電源の1次側を建家の接地系に接続し、絶縁トランスを介して一般電源系統と接続した（第3.13図矢印C）。これにより、最小の変動幅である1デジット（=約0.02 mVs）まで下げることが出来た。

以上の試験の結果。最適と考えられる接地系、信号線、処理系の接続方式は、第3.13図の下側に示す方式である。また、プリント基板と電源との接続や接地を第3.14図に示す。この方式の利点は次の点である。これまではセンサーがJT-60真空容器と短絡すると真空容器が2点接地になるのでセンサーを切り離すことで対処していたが、新しい接地方式では、短絡していたとしても耐圧は数100 Vもの耐電圧値を持つトランス電源が受け持つので、そのセンサーをそのまま使い続けることが可能となる。



第3.14図 プリント基板と電源の接地方法

##### (5) デイファレンシャル入力方式の試験

第3.11図の単体試験では、シングルエンド方式と変わらない成績を示したデイファレンシャル入力方式タイプの基板について、この最適化した接地接続で試験した。結果は、第3.13図の上側に示したシングルエンド方式のVF#0の部分をVF#3に置き換えた場合と同様に、トロイダル磁場コイル励磁とともにドリフト速度が変化する現象が見られた。この推定原因として考えられることは次のとおりである。信号線に載ってきたコモンモードノイズを除去することが特徴のデイファレンシャル入力方式ではあるが、微小電圧を計測する観点では、デイファレンシャル回路内に厳密に等しい抵抗素子やコンデンサーが存在する訳ではないので、信号線に載ってきた接地系変動ノイズを受けて、むしろ不平衡な変動を信号線に導入してしまうのではないかとのことである。

以上の理由から、入力はデイファレンシャル方式ではなく、シングルエンド方式を採用することとした。

### VF#3の問題点と改善結果

#### (1) 不規則ドリフトの改善

JT-60実験放電時やプラズマ無しの状態での、VF#3の試験において、なお第3.8図に見られるような積分結果のドリフト（うねり）が観測された。信号線をセンサーから切り離し、短絡状態にすると、第3.3表で示した程度（約0.02 mVs/2000s）と全くドリフトが発生しない。

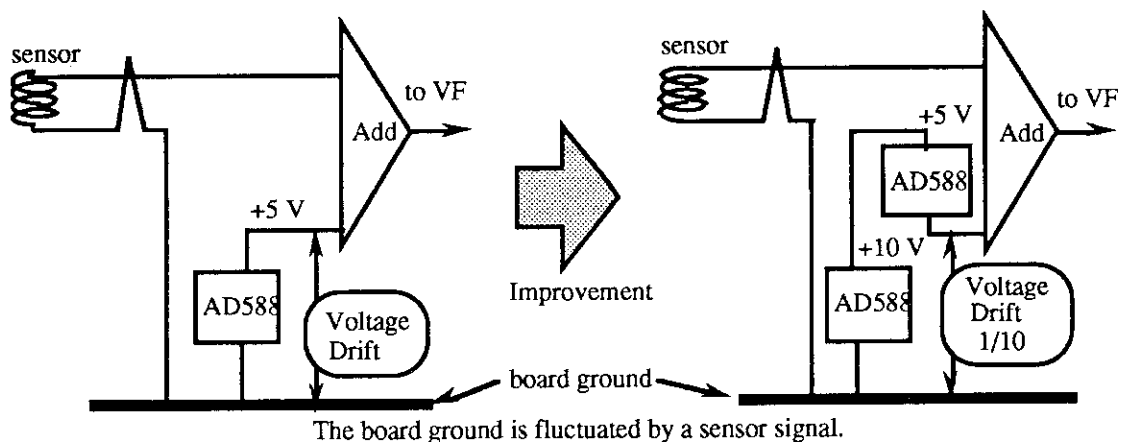
これは、未だドリフトを発生させる原因が残っていることを意味していることは勿論であるが、その原因がセンサーからの信号入力に関係する点は厄介である。VF#2の問題点の項で触れたが、グラウンドループとは無関係に本質的なドリフト要因としてセンサーからの信号が関係した何らかの現象が基板内で発生している訳である。

センサーからの信号をフィルター等で加工する対策は、全く考慮しなかった。それは本質的解決に繋がりにくく、そもそも信号を純粋に積分することが大前提であるからである。

また、関連した奇妙な現象として、ドリフト補正を行わず連続して積分試験を行っているとき約1-3日程で数Hzから20数Hz位まで積分結果の周波数が変化していることが観測された。これは、積分誤差以前に入力信号にオフセット電圧が最大1 mVも発生したことを意味している。センサーの電圧がオフセット分を持つことは帯電をしない限り考えられないが、そのような静電容量をセンサーは持っていない。

そこで、電子回路内の何処がオフセット電圧を発生しているのか、回路内の色々な点の電位観測を実施した。その結果、VF素子入力前に10 Vの加算を行っている基準電圧発生器の電位において、緩慢な動きをする問題の変動量を説明出来る電位変動が観測された。

この基準電圧発生器（Analog Devices社製AD588）は、電圧を一定に保つように内部の抵抗に流す電流をフィードバック制御をしている素子である。センサーとの接続により基板の接地側にノイズ電圧が載ると、接地線からの電位を制御している電圧発生器は自らの電位の変化として認識し、そのノイズの持つランダムな変動の平均的な電位変化に追従するように制御してしまおうと推定される。このためうねるようなドリフトが観測されたと考えられる（第3.15図左参照）。



第3.15図 基準電圧発生器の電圧ドリフトの改善策

より安定した基準電圧発生器を選ぶことも可能性としては有るかもしれないが、経済性も重要な観点であることは既に述べた。そこでこのような推定原因を基に考えると、接地側の変動であれば、接地線に対して並列に基準電圧発生器を新たに挿入しても、その発生器にも同様の

ドリフトが発生することが予想される。今回使用したAD588は、同じICで異なる電圧を発生出来ることから、対策としてAD588を2台用いてその差電圧を使用することとした（第3.15図右参照）。

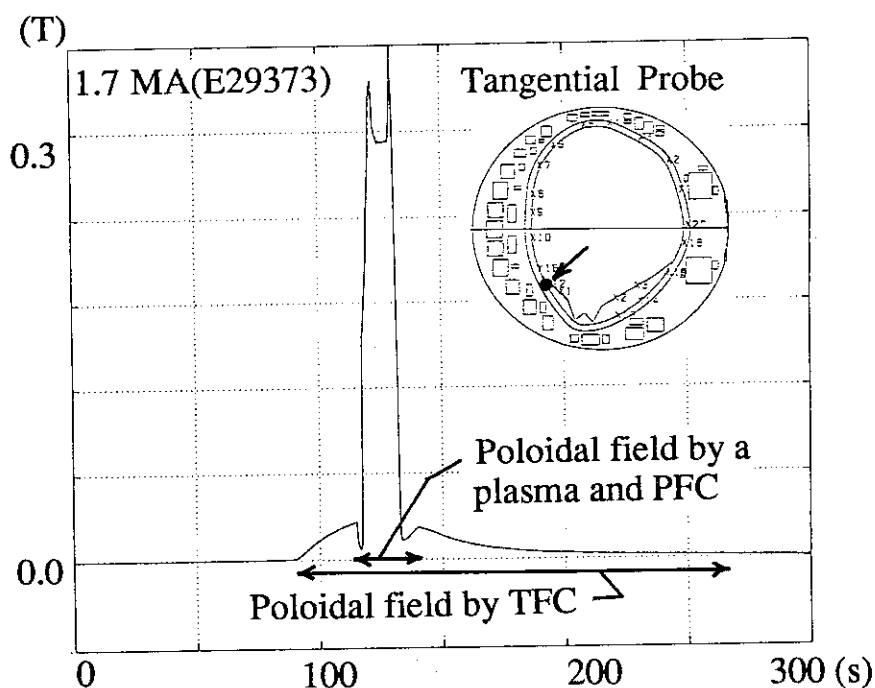
改造を施して試験を行った結果、電位測定では変動は1/10にまで縮小することが確認された。これにより先の問題となったドリフトを実質上問題の無いレベルまで完全に抑制するまでに改善された。

## (2) 積分結果波形

各種問題点の対策を講じたVF#3を用いて、JT-60の真空容器接線方向のポロイダル磁場成分を測定するプローブの出力電圧を積分した結果を第3.16図に示す。VF#3の積分結果は良好であり、ドリフトは非常に小さく、積分開始後の2000秒で見れば、最悪1000カウント（20 mVs）となる。

一般のSN比（信号成分：ノイズ成分の比）は、VF変換器の場合ではドリフトが積分誤差の殆どであるので、S/D比（信号成分：ドリフト成分の比）と定義し直して話を進める。

付録の構成可能条件の不等式を用いて、このドリフト速度0.5 (count/s)を、付録でITERの場合仮定している1.0 (count/s)の替わりに使用すると、S/D比は500まで確保出来ることになり、検出精度は制御に使用する上で全く問題無い値になる（付録参照）。



第3.16図 VF#3を用いたJT-60放電に於ける積分試験結果

## (3) さらなる長時間ドリフト原因の究明

これまでのドリフト補正を行った後でも、約1日程度のセンサーを接続した長時間動作を行うと、計測周波数が約10 Hz (0.2 mV相当)程度、基準周波数から下回っているというドリフト現象が観測された。この現象の特徴を箇条書きする。

- ・プラズマ放電の有無に無関係にドリフトは発生する。
- ・センサーと同じ抵抗値2 kΩの単純抵抗を積分開始から接続した時にはドリフトは発生しない。

- ・ドリフトした状態でセンサーを外し入力を短絡すると、周波数ドリフト状態は解消し、計測周波数と基準周波数とは一致する。
- ・上記の後、再びセンサーまたは2 k $\Omega$ 抵抗を繋ぐと、計測周波数はドリフト状態に戻る。
- ・ドリフト状態で、アナログ・ドリフト補正を行うと計測周波数と基準周波数とは一致する。
- ・センサーの電流は、積分開始時約1 nA以下から、約1日後数nA程度まで増えているように見えるが、センサー抵抗は2 k $\Omega$ であるので、高々数 $\mu$ V程度の電圧である。従って、ドリフト量0.2 mVを説明する量ではない。

このような現象の解釈として、次が考えられる。センサーからのノイズ信号が原因で、回路内のオペアンプ特性が少しずつ変化する。これにより数 $\mu$ V程度以下の入力電圧に対し、当初1.0倍であった増幅率が、約1日後には100倍程度にもなる（或いは小さい電圧出力が出来なくなる）、という解釈である。この解釈に基づき、対策として入力段のオペアンプを2台並列にゲインを変えて動作させ、その出力の差を利用する方法が考えられる。2つのオペアンプがノイズにより同様のドリフトをすれば、この対策でドリフトは小さくなるものと期待出来る。

#### (4) デジタル・ドリフト補正方法

積分結果が一定の速度でドリフトする現象に補正をかける方法として、アナログ・ドリフト補正とデジタル・ドリフト補正の2種類を考えていることは、3.4節(1)項で述べた。ここでは、後者のデジタル・ドリフト補正方法について述べる。先のアナログ電圧発生によるドリフト補正は、100秒間積分して平均をとって補正をかけるという意味では原理的には、0.01 Hzまでのドリフトの補正が可能である。しかし、現実には0.1 Hz程度が、確実というところである。

S/D比の観点では、0.1 Hzであってもセンサーのゲインを調節して信号成分の比率を上げれば、S/D比は上昇し、実用上は問題がない。しかし、ITER等での長時間運転の場合で一層ドリフトを縮小するために、0.1 Hz、0.01 Hz、0.001 Hzの補正を目的にデジタル・ドリフト補正回路を付加することにした。このぐらいの微小周波数の補正は、アナログ回路ではなく周波数パルス信号になった段階で補正をかけることが最も確実かつデジタル系の利点の利用となる。

具体的な方法は、VF変換器の出力時に次のロジックを取る。周波数パルスに1パルスを加えることは、回路構成上不可能なので、1パルスを積分結果パルスと基準周波数パルスのどちらから減ずるかの切り換えを行う方式とした。詳細は次のとおり。Nは9までの自然数のどれか。

+ (N/1000) Hz補正 「100s毎に1パルスを基準周波数から減ずる」動作を1000秒間にN回行う

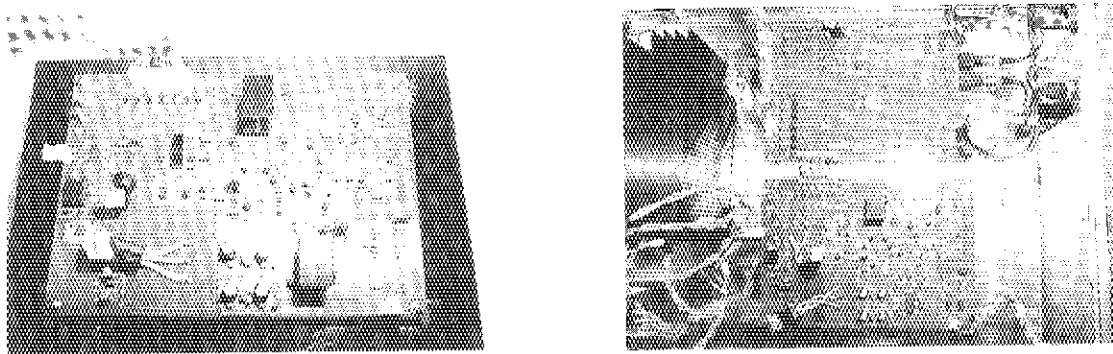
- (N/1000) Hz補正 「100s毎に1パルスを積分結果から減ずる」動作を1000秒間にN回行う

以降、 $\pm(N/100)$  Hz補正の場合には、上の表現の「100s毎」を「10s毎」に、「1000秒間」を「100秒間」にそれぞれ読み換え、 $\pm(N/10)$  Hz補正の場合には、「100s毎」を「1s毎」に、「1000秒間」を「10秒間」にそれぞれ読み換える。この方法の採用により、一定の速度で変化する積分結果ドリフトについては、0.001 Hzの低い周波数成分までほぼ完全に補正可能となる。

ドリフト量のゲイン依存性の有無について触れておく。1倍と2倍とでドリフトのゲイン依存性を調べた限りでは、ゲイン増加によって増えてもドリフト補正が効いているようである。基準電圧変動が原因であるドリフトは、先に述べた対策により既に小さいが、ゲインが増加すれば振動の振幅も増大し影響が大きくなる方向ではある。詳細は試験を待つことになる。

(5) VF#3の電子基板外観

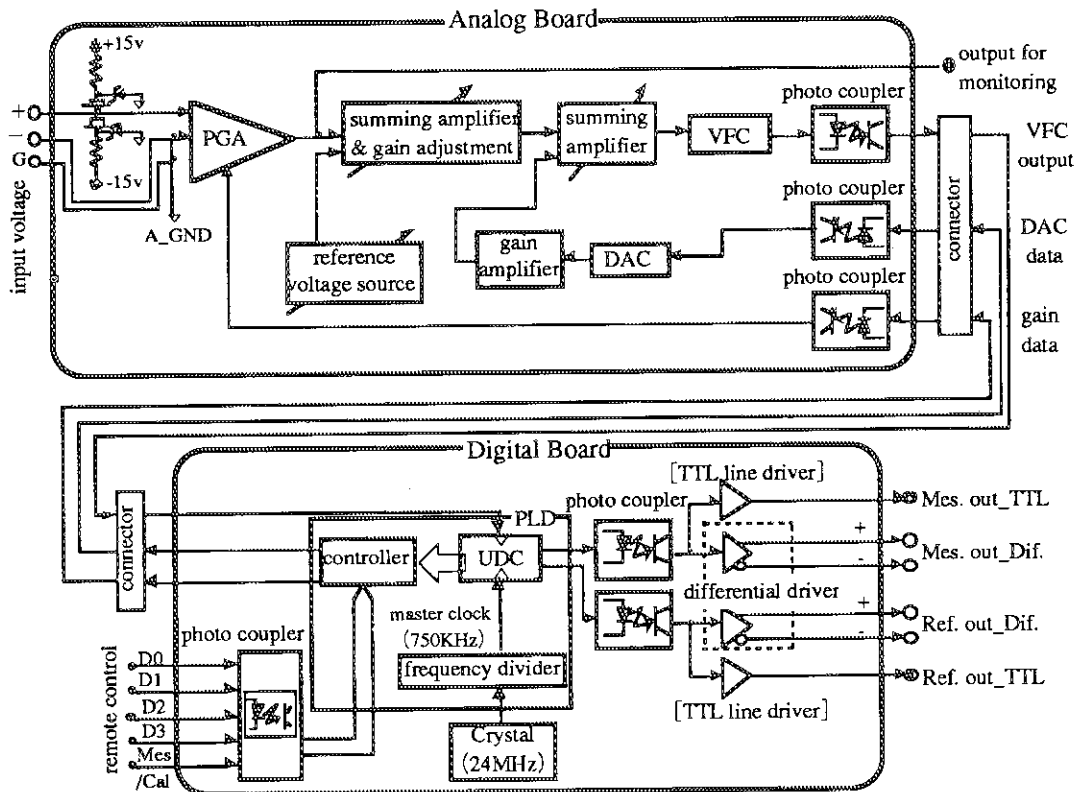
ここで用いたVF#3の外観の写真を第3.17図に示す。左側がアナログ処理用電子基板である。中央上の黒い放熱材の下にVF変換素子がある。また右手前にも放熱材が見えるが、これはアナログ・ドリフト補正用のデジタル・アナログ変換器である。右の写真は、デジタル処理用電子基板とアナログ処理用電子基板とが並べて（写真上下）配置してある試験装置の内部である。デジタル処理用電子基板の中央は基準クロック発生用水晶発振器、右上は信号出力部である。



第3.17図 VF#3の電子基板外観写真（左：アナログ処理用基板、右：VF変換器全体平面写真）

(6) 製作用の回路構成図

一連の試作開発の結果として、製作に移行するVF変換器の回路構成図を第3.18図に示す。



PGA : Programmable Gain Amplifier    VFC : Voltage Frequency Converter    DAC : 16-bit Digital Analog Converter  
 UDC : 16-bit Up-Down Counter    PLD : Programable Logic Device    A\_GND: Analog Grand

第3.18図 製作するVF変換器の回路構成図

## 4. 考察

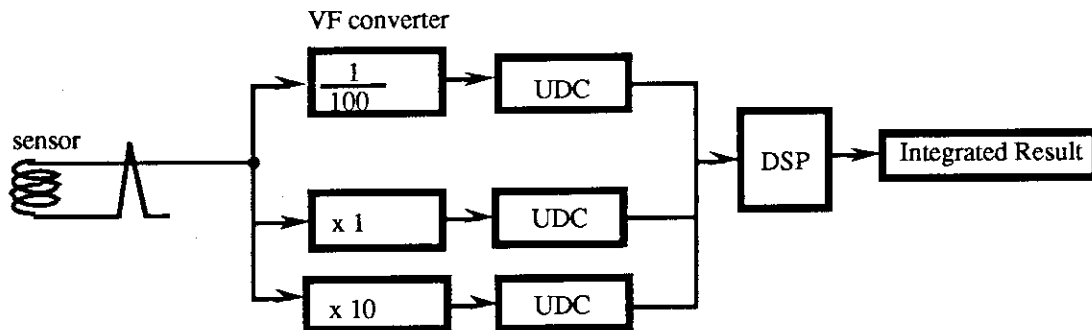
これまでの開発に於いて、残る課題となっていた積分値の飛びの問題、積分精度劣化要因の総括、さらに超長時間運転へ適用するためのシナリオについて検討を加える。

### 4.1 積分値の飛びの対策方法 — ITERへの適用方法

VF#3の各種対策を講じた積分器をITER等に適用することは、ゲインの調整等を実施することにより可能と思われるが、しかし、頻度は多くはないがプラズマが不安定になった場合に発生する積分値の飛びが発生すると積分誤差は異常に大きくなる。この原因は、過電圧であることは既に述べた。従って、アッテネータの装着が対策ではあるが、通常数V以下の信号を例えば1/100に減少させて常時計測することは極めて不合理である。しかもアッテネータは抵抗分圧であり、回路内の微小な誤差電圧が分圧比の逆数倍されたり、温度変化による抵抗値変動を考えると、積分誤差を広げることに繋がる。従って、複数の積分器の使用が必要であることが判る。

そこで、センサー1個当たり2種類のゲインと1種類のアッテネータを持った3台の積分器を並列動作させることを考える。勿論ゲインを持った積分器は1台で良いかもしれない。3台の積分器のアップダウンカウンター(UDC)は、1台の高速デジタル信号処理装置(DSP)により、積分結果データの読み出しが可能な構造とする。アッテネータの装着した系のUDCの時間変化から発生電圧をDSPは計算し、それが別の系のVF変換器を飽和させている場合には、その時間幅のデータは、アッテネータの装着した系のUDCを使用する。UDCのカウンターの更新周期は例えば0.1 ms程度を考えておけば、DSPは0.1 ms周期で3 UDCを読み、データに補正をかけた最終的な積分値を、さらなる上位の制御用計算機に伝送する。

このようなシステムの構成図を第4.1図に示す。



第4.1図 VF変換器の並列動作により積分値の飛びを回避するシステム

### 4.2 積分器のドリフト発生の原因と対策方法の総括

これまでの試作開発の結果から、VF-UDC方式の積分器の精度劣化の直接要因についてまとめを行う。VF-UDC方式の精度劣化の直接要因は、①VF変換直線性、②0V入力時不感帯幅、③ドリフト、④信号過電圧、の4種であることが判明した。これら原因と対策の要点は、以下のとおりである。

- ・ VF変換直線性及び0V入力時不感帯幅の改善には、基準クロック発生器の載ったデジタル系の電子基板とアナログ系の電子基板とを別にし、且つVF変換素子に放熱材を装着し、強制冷却を行い温度を下げ変動を抑える。

- ・信号線、接地線に乗ったノイズをアナログ処理用電子基板内に引き込まないようにするため、信号の入力の仕方は、ディファレンシャル方式ではなくシングルエンド方式で入力し、同時に電子基板の接地線を建家側の基準接地極と絶縁する。即ちVF変換器を完全に外部から電位的に浮かせる。交流-直流(AC-DC)電源部もAC側の中点を基準接地線に接続した。これにより不感帯の発生を防ぎ、積分誤差を下げドリフト速度の変動も抑えられる。これらの工夫によりITERに於ける使用に問題の無いレベルまでドリフト速度を縮小することが可能となった。
- ・長時間積分時に見られるドリフト速度の緩慢な変化現象については、接地線に載ったノイズにより基準電圧発生器の電圧変動が原因であることが判明した。接地線に並列に電圧発生器を配置し、その差で必要電圧を作るようにして、実質的に問題の無いレベルまでドリフト速度を抑えることが出来た。
- ・さらに、オペアンプのノイズによる特性変化と思われるドリフト現象が存在するが、オペアンプの並列動作で対策出来れば一層ドリフトを抑えることが可能となる。
- ・ディスラプション時等プラズマ不安定時に見られる積分値の飛び現象は、前述のとおり複数のVF変換器の並列動作により回避する方法を示した。

このように、一連の試作開発は、ノイズの多い環境下で微小電圧の時間積分という、特殊な状況下での問題点の摘出と対策ではあるが、より一般的にアナログ信号とデジタル信号とが共存するシステムでのアナログ信号処理の困難の克服と見做すことが可能である。不可解な現象の発生→詳細なデータ取得と調査検討→現象を説明する仮説の構築→対策の実施→試験、という流れを問題解決まで繰り返すという作業手順を採用したが、今回遭遇した困難な問題の解決のためには最も確実な手順であったことを付記する。

#### 4.3 超長時間運転への応用シナリオ

超長時間運転(2000秒を越える運転)にVF-UDC方式はどれだけ対応出来るであろうか。この質問に答えるだけのデータを今持っていない。しかし、基準電圧発生器のドリフトが全てを決めているという粗っぽい仮定を行い、さらに積分結果のドリフト速度が0.02 mVs/s即ち0.02 mV相当のオフセット電圧が基準電圧発生器内に発生するまでを利用可能時間とした場合、JT-60のノイズ環境下で最大2-3時間(約7000秒から9000秒)程度までは可能ではないかと思われる。また、基準電圧発生器のドリフトではなく、もし前記のオペアンプのノイズによる特性変化と思われる現象がドリフトの主成分で、且つオペアンプの並列動作で対策出来れば一層ドリフトを抑えることが出来、一層の長時間運転への対応が可能となる。

将来のトカマクに於いて計画されている超伝導コイルの場合、ノイズ環境は厳しくなるのが楽になるのかは全く不明である。しかし電源の電圧変動によって発生する超伝導コイルの交流損失を最小限にしなければならない、という要請が満たされたとすると、電圧変動は減ることになることも考えられる。もし、ノイズ環境が楽になれば、使用可能時間はさらに延ばせるかもしれない。

定常トカマク型核融合炉が実現に至っても、ピックアップコイル電磁気計測センサーは不可欠であり、同時に時間積分方式も必要であることは既に述べた。しかし、原理的にドリフトは

回避不可能であるので、単独使用は有り得ない。この時絶対磁場計測とのハイブリッド使用となるが、絶対磁場センサーは耐放射線性の点で弱く、炉心から遠く離して設置されることになる。この場合、その離れた定常磁場センサーから炉心近くのピックアップコイル設置箇所での磁場を同定するアルゴリズムが必要となるであろう。適切な種類と数のセンサーがあれば、所定の場所の磁場の可同定性は保証されている[8]。しかし、プラズマ以外に計測不能な渦電流が存在している場合などは、可同定かどうかは議論を要する。この点は数理解析的な問題として解決しておかねばならない。

## 5. 結 論

トカマク型核融合装置の電磁気計測に電圧周波数変換器・昇降計数器を用いた長時間高精度積分器の製作が可能であるかどうか明確にすることを目的に一連の試作研究開発を行った。

これらの研究開発によって、VF-UDC方式の精度劣化要因は、①VF変換直線性、②0V入力時不感帯幅、③ドリフト、④積分値の飛び（信号過電圧）、の4種であることを明らかにした。特に、最初の3点について本文3章に述べた各種対策を実施した結果、ドリフトについては、ITERに於ける使用にも問題の無いレベルまで縮小することが出来た。

また、積分値の飛び（過電圧）対策については考察に述べたように、センサー1個当たり2個の積分器と1個の高速信号処理装置を組み合わせる方法を採用することにより、積分誤差を補正することが可能であることを示した。

これにより、長時間運転を行うトカマク型核融合装置（例えばITERの2000秒放電）における電磁気計測信号を高精度で時間積分する部分に、今回開発した電圧周波数変換器・昇降計数器を適用することが可能であることを実証した（一部は具体的設計法を提示）。これは長時間運転時もピックアップコイル方式の電磁気プローブが使用可能であること、延いては高速多様なプラズマの変化を検出し制御出来ることを意味し、さらに耐放射線性や保守性の問題のため炉心から離れて置かれるであろう定常磁場センサーと共に用いれば、定常運転時にも高速のプラズマ制御が可能となり、発電炉の安全運転のための必須要素が提供出来ることになる。

## 謝 辞

本開発に際し有益な助言を賜った日本原子力研究所JT-60第1試験室長 木村豊秋博士、機器の設置、調整、ノイズ試験の様々な場面で協力をお願いした日本アドバンステクノロジー(株) 帷子朝彦氏、及び同室制御グループの諸氏、試作開発作業に精力的に取り組んだエム・ティー・ティー(株) 坂本慎一郎氏、萩原雄三氏、に心から感謝の意を表します。また、研究開発の支援を賜った日本原子力研究所核融合装置試験部長船橋昭昌博士、同次長 清水正亜博士にお礼申し上げます。



回避不可能であるので、単独使用は有り得ない。この時絶対磁場計測とのハイブリッド使用となるが、絶対磁場センサーは耐放射線性の点で弱く、炉心から遠く離して設置されることになる。この場合、その離れた定常磁場センサーから炉心近くのピックアップコイル設置箇所での磁場を同定するアルゴリズムが必要となるであろう。適切な種類と数のセンサーがあれば、所定の場所の磁場の可同定性は保証されている[8]。しかし、プラズマ以外に計測不能な渦電流が存在している場合などは、可同定かどうかは議論を要する。この点は数理解析的な問題として解決しておかねばならない。

## 5. 結 論

トカマク型核融合装置の電磁気計測に電圧周波数変換器・昇降計数器を用いた長時間高精度積分器の製作が可能であるかどうか明確にすることを目的に一連の試作研究開発を行った。

これらの研究開発によって、VF-UDC方式の精度劣化要因は、①VF変換直線性、②0V入力時不感帯幅、③ドリフト、④積分値の飛び（信号過電圧）、の4種であることを明らかにした。特に、最初の3点について本文3章に述べた各種対策を実施した結果、ドリフトについては、ITERに於ける使用にも問題の無いレベルまで縮小することが出来た。

また、積分値の飛び（過電圧）対策については考察に述べたように、センサー1個当たり2個の積分器と1個の高速信号処理装置を組み合わせる方法を採用することにより、積分誤差を補正することが可能であることを示した。

これにより、長時間運転を行うトカマク型核融合装置（例えばITERの2000秒放電）における電磁気計測信号を高精度で時間積分する部分に、今回開発した電圧周波数変換器・昇降計数器を適用することが可能であることを実証した（一部は具体的設計法を提示）。これは長時間運転時もピックアップコイル方式の電磁気プローブが使用可能であること、延いては高速多様なプラズマの変化を検出し制御出来ることを意味し、さらに耐放射線性や保守性の問題のため炉心から離れて置かれるであろう定常磁場センサーと共に用いれば、定常運転時にも高速のプラズマ制御が可能となり、発電炉の安全運転のための必須要素が提供出来ることになる。

## 謝 辞

本開発に際し有益な助言を賜った日本原子力研究所JT-60第1試験室長 木村豊秋博士、機器の設置、調整、ノイズ試験の様々な場面で協力をお願いした日本アドバンステクノロジー(株) 帷子朝彦氏、及び同室制御グループの諸氏、試作開発作業に精力的に取り組んだエム・ティー・ティー(株) 坂本慎一郎氏、萩原雄三氏、に心から感謝の意を表します。また、研究開発の支援を賜った日本原子力研究所核融合装置試験部長船橋昭昌博士、同次長 清水正亜博士にお礼申し上げます。

回避不可能であるので、単独使用は有り得ない。この時絶対磁場計測とのハイブリッド使用となるが、絶対磁場センサーは耐放射線性の点で弱く、炉心から遠く離して設置されることになる。この場合、その離れた定常磁場センサーから炉心近くのピックアップコイル設置箇所での磁場を同定するアルゴリズムが必要となるであろう。適切な種類と数のセンサーがあれば、所定の場所の磁場の可同定性は保証されている[8]。しかし、プラズマ以外に計測不能な渦電流が存在している場合などは、可同定かどうかは議論を要する。この点は数理解析的な問題として解決しておかねばならない。

## 5. 結 論

トカマク型核融合装置の電磁気計測に電圧周波数変換器・昇降計数器を用いた長時間高精度積分器の製作が可能であるかどうか明確にすることを目的に一連の試作研究開発を行った。

これらの研究開発によって、VF-UDC方式の精度劣化要因は、①VF変換直線性、②0V入力時不感帯幅、③ドリフト、④積分値の飛び（信号過電圧）、の4種であることを明らかにした。特に、最初の3点について本文3章に述べた各種対策を実施した結果、ドリフトについては、ITERに於ける使用にも問題の無いレベルまで縮小することが出来た。

また、積分値の飛び（過電圧）対策については考察に述べたように、センサー1個当たり2個の積分器と1個の高速信号処理装置を組み合わせる方法を採用することにより、積分誤差を補正することが可能であることを示した。

これにより、長時間運転を行うトカマク型核融合装置（例えばITERの2000秒放電）における電磁気計測信号を高精度で時間積分する部分に、今回開発した電圧周波数変換器・昇降計数器を適用することが可能であることを実証した（一部は具体的設計法を提示）。これは長時間運転時もピックアップコイル方式の電磁気プローブが使用可能であること、延いては高速多様なプラズマの変化を検出し制御出来ることを意味し、さらに耐放射線性や保守性の問題のため炉心から離れて置かれるであろう定常磁場センサーと共に用いれば、定常運転時にも高速のプラズマ制御が可能となり、発電炉の安全運転のための必須要素が提供出来ることになる。

## 謝 辞

本開発に際し有益な助言を賜った日本原子力研究所JT-60第1試験室長 木村豊秋博士、機器の設置、調整、ノイズ試験の様々な場面で協力をお願いした日本アドバンステクノロジー(株) 帷子朝彦氏、及び同室制御グループの諸氏、試作開発作業に精力的に取り組んだエム・ティー・ティー(株) 坂本慎一郎氏、萩原雄三氏、に心から感謝の意を表します。また、研究開発の支援を賜った日本原子力研究所核融合装置試験部長船橋昭昌博士、同次長 清水正亜博士にお礼申し上げます。

## 参考文献

- [1] ITER-EDA "Technical Basis for the ITER Interim Design Report, Cost Review and Safety Analysis," ITER EDA Documentation Series No.7, IAEA (1996)
- [2] R. D. Woolley, "Tokamak Poloidal Magnetic Field Measurements Accurate for Unlimited Time Durations," Proceedings of 16th Symposium on Fusion Engineering, pp. 1530-1533 (1995, Illinois)
- [3] J. D. Broesch, E.J. Strait, et al., "A Digital Long Pulse Integrator," *ibid*, pp. 365-368
- [4] K. Kurihara and Y. Kawamata, "Development of a Long-time Digital Integrator for Magnetic Measurements in a Tokamak," Proceedings of 19th Symposium on Fusion Technology, pp. 1530-1533 (1996, Lisbon)
- [5] "Type-4735 IC Manual," Teledyne Philbrick Co. Ltd.
- [6] "Type-AD652 IC Manual," Analog Devices Co. Ltd.
- [7] "Type-VFC110 IC Manual," Burr-Brown Co. Ltd.
- [8] K. Kurihara, "Tokamak Plasma Shape Identification on the Basis of Boundary Integral Equations," Nuclear Fusion, Vol.33, No.3, pp.399-412 (1993)  
栗原研一、木村豊秋、「境界積分方程式の解法に基づくトカマク・プラズマの位置形状同定法」、  
JAERI-M 92-075 (1992)

## 付 録

### 電圧周波数変換器・昇降計数器方式の構成可能条件

VF-UDC方式で時間積分を行うシステムを構成する際、システムの制約条件が存在する。ここでは構成が可能となるための不等式条件を明確にしておく。

定義：

①センサー側の変数	ピックアップコイルターン数：	N	(turn)
	鎖交面積：	S	(m <sup>2</sup> )
②プラズマからの磁場	最大計測磁場変動：	dB/dt	(Wb/m <sup>2</sup> /s)
	最大磁場：	Bmax	(Wb/m <sup>2</sup> )
③計測とデジタル化	変換計数：	C	(count/V/s)
	計数可能最大値：	Mmax	(count)
	許容最大電圧：	Vmax	(V)
	許容S/D比最小値	Rmin	
	積分時間：	T	(s)
	ドリフト速度：	k	(count/s)
	増幅率(ゲイン)：	G	
④従属変数	最大カウント：	M=Bmax·N·S·C·G	
	最大発生電圧：	V=N·S·dB/dt·G	
	S/D比：	R= M/(T·k)	

構成可能条件：

①電圧許容範囲	$V_{max} > V$
②カウント許容範囲	$M_{max} > M$
③S/D比確保条件	$R > R_{min}$

今、条件を細かく見ると、 $V_{max} > N \cdot S \cdot dB/dt \cdot G$ 、 $M_{max} > B_{max} \cdot N \cdot S \cdot C \cdot G$ 、 $M/(T \cdot k) > R_{min}$ 。

以上から、  

$$T \cdot k \cdot R_{min} < B_{max} \cdot N \cdot S \cdot C \cdot G < M_{max}$$

$$N \cdot S \cdot dB/dt \cdot G < V_{max}$$

これを具体例に適用してみる。設計の自由度の無いか少ないパラメータに数値を代入し、自由度の大きいパラメータの範囲を規定するという使用例で示す。

・JT-60の例：T=20 s, k=1 (count/s), C=50000 (c/V), N·S=0.3 (m<sup>2</sup>), I<sub>p</sub>=1 MA 時にB<sub>max</sub>=0.2 (T), V<sub>max</sub>=10 (V)  
 dB/dt= 10 (T/s), M<sub>max</sub>=32767, G=1 が代表値である。上式に代入すると、

$$20 \cdot R_{min} < 3000 < 32767, \quad 3 < 10$$

となり、S/D比の最大値として、150が確保出来る。

・ITERの例：T=2000 s, C=50000 (c/V), I<sub>p</sub>=20 MA 時にB<sub>max</sub>=2 (T), V<sub>max</sub>=10 (V)  
 100 sで立ち上げdB/dt=0.02 (T/s), 24bitとしてM<sub>max</sub>=3000000 の場合

$$2000 \cdot R_{min} < 100\,000 \cdot N \cdot S \cdot G < 3\,000\,000, \quad N \cdot S \cdot 0.02 \cdot G < 10 \quad \text{となり、}$$

結局、 $N \cdot S \cdot G < 30$ ,  $k \cdot R_{min} < 50 \cdot N \cdot S \cdot G$ 。

さらに、N·S=1 (m<sup>2</sup>), G=5, k=1 (count/s)が取ればS/D比の最大値として、250が確保出来る。