

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-182044

(P2018-182044A)

(43) 公開日 平成30年11月15日(2018.11.15)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A	4M118
HO 4 N 5/361 (2011.01)	HO 4 N 5/361	5C024
HO 4 N 5/374 (2011.01)	HO 4 N 5/374	5F048
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1O2A	5F849
HO 1 L 27/06 (2006.01)	HO 1 L 27/088 C	

審査請求 未請求 請求項の数 13 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願2017-78851 (P2017-78851)
 (22) 出願日 平成29年4月12日 (2017.4.12)

(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成28年度経済産業省「発電用原子炉等安全対策高度化技術基盤整備事業 (特殊環境下で使用可能な監視システム高度化)」委託研究、及び委託研究の一部「耐放射線性カメラ及び水中無線伝送に関する要素技術開発」、産業技術力強化法第19条の適用を受ける特許出願)

(71) 出願人 508261493
 株式会社ブルックマンテクノロジー
 静岡県浜松市中区大工町125番地
 (71) 出願人 000209751
 池上通信機株式会社
 東京都大田区池上5丁目6番16号
 (71) 出願人 505374783
 国立研究開発法人日本原子力研究開発機構
 茨城県那珂郡東海村大字舟石川765番地1
 (74) 代理人 100108914
 弁理士 鈴木 壯兵衛
 (72) 発明者 渡辺 恭志
 静岡県浜松市中区大工町125番地 株式会社ブルックマンテクノロジー内
 最終頁に続く

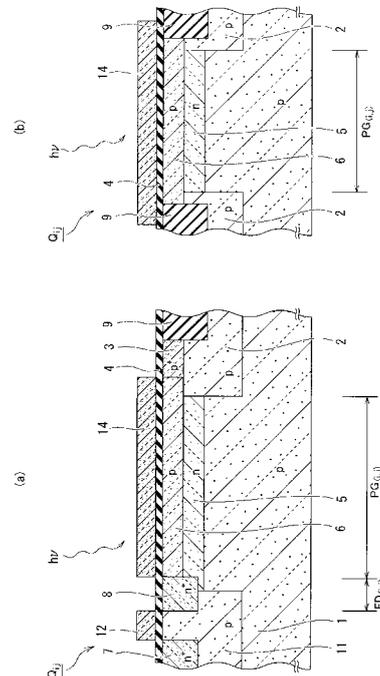
(54) 【発明の名称】 光検出素子、固体撮像装置及びその駆動方法

(57) 【要約】

【課題】 電荷読出領域における電界集中を抑えて暗電流の発生を抑制でき、放射線環境下でも高感度且つ広ダイナミックレンジな撮像が可能な光検出素子を提供する。

【解決手段】 p型の基体領域1と、基体領域1の上部に埋め込まれ、基体領域1とフォトダイオードを構成するn型の電荷生成埋込領域5と、電荷生成埋込領域5の上面に設けられたp型のシールド領域6と、シールド領域6の上面に接して設けられたゲート絶縁膜4と、ゲート絶縁膜4上に設けられた透明電極14と、基体領域1の上部に埋め込まれたp型のウェル領域11と、電荷生成埋込領域5側のウェル領域11の端部において、基体領域1の上部に埋め込まれたn⁺型の電荷読出領域8とを備え、透明電極14の電位がゲート絶縁膜4を介してシールド領域6の表面に及ぼす静電ポテンシャル効果により、シールド領域6の表面にp型の電荷をピンニングする。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 導電型の基体領域と、
前記基体領域の上部に埋め込まれ、前記基体領域とフォトダイオードを構成する第 2 導電型の電荷生成埋込領域と、

前記電荷生成埋込領域の上面に設けられた前記基体領域よりも高不純物密度の第 1 導電型のシールド領域と、

前記シールド領域の上面に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられた透明電極と、

前記基体領域の上部に埋め込まれた、前記基体領域よりも高不純物密度の第 1 導電型のウェル領域と、

前記電荷生成埋込領域側の前記ウェル領域の端部において、前記基体領域の上部に埋め込まれ、前記電荷生成埋込領域よりも高不純物密度の第 2 導電型の電荷読出領域と、

を備え、前記透明電極の電位が前記ゲート絶縁膜を介して前記シールド領域の表面に及ぼす静電ポテンシャル効果により、前記シールド領域の表面に第 1 導電型の電荷をピンニングすることを特徴とする光検出素子。

10

【請求項 2】

前記電荷読出領域から離間して前記ウェル領域の上部に埋め込まれ、前記電荷生成埋込領域よりも高不純物密度の第 2 導電型のリセットドレイン領域と、

前記電荷読出領域と前記リセットドレイン領域との間の前記ウェル領域の上方となる前記ゲート絶縁膜上に設けられたリセットゲート電極と、

を更に備えることを特徴とする請求項 1 に記載の光検出素子。

20

【請求項 3】

前記リセットゲート電極に印加する電圧により、前記電荷読出領域に蓄積された電荷を前記リセットドレイン領域へ排出し、前記電荷読出領域をリセットすることを特徴とする請求項 2 に記載の光検出素子。

【請求項 4】

前記電荷生成埋込領域及び前記シールド領域に前記電荷読出領域が接していることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光検出素子。

【請求項 5】

前記電荷生成埋込領域及び前記シールド領域から前記電荷読出領域が離間し、

前記電荷生成埋込領域及び前記シールド領域と前記電荷読出領域との間の前記基体領域の上方となる前記ゲート絶縁膜上に設けられた転送ゲート電極を更に備え、

前記転送ゲート電極に印加する電圧により、前記電荷生成埋込領域から前記電荷読出領域へ信号電荷を転送することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光検出素子。

30

【請求項 6】

第 1 導電型の基体領域と、

前記基体領域の上部に埋め込まれ、前記基体領域とフォトダイオードを構成する第 2 導電型の電荷生成埋込領域と、

前記電荷生成埋込領域の上面に設けられた前記基体領域よりも高不純物密度の第 1 導電型のシールド領域と、

前記シールド領域の上面に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられた透明電極と、

前記基体領域の上部に埋め込まれた、前記基体領域よりも高不純物密度の第 1 導電型のウェル領域と、

前記電荷生成埋込領域側の前記ウェル領域の端部において、前記基体領域の上部に埋め込まれ、前記電荷生成埋込領域よりも高不純物密度の第 2 導電型の電荷読出領域と、

を備える画素を複数配列し、

前記画素のそれぞれにおいて、前記透明電極の電位が前記ゲート絶縁膜を介して前記シ

40

50

ールド領域の表面に及ぼす静電ポテンシャル効果により、前記シールド領域の表面に第1導電型の電荷をピンニングすることを特徴とする固体撮像装置。

【請求項7】

前記画素のそれぞれにおいて、

前記電荷読出領域から離間して前記ウェル領域の上部に埋め込まれ、前記電荷生成埋込領域よりも高不純物密度の第2導電型のリセットドレイン領域と、

前記電荷読出領域と前記リセットドレイン領域との間の前記ウェル領域の上方となる前記ゲート絶縁膜上に設けられたリセットゲート電極と、

を更に備えることを特徴とする請求項6に記載の固体撮像装置。

【請求項8】

前記画素のそれぞれにおいて、前記リセットゲート電極に印加する電圧により、前記電荷読出領域に蓄積された電荷を対応する前記リセットドレイン領域へ排出し、前記電荷読出領域をリセットすることを特徴とする請求項7に記載の固体撮像装置。

【請求項9】

前記画素のそれぞれにおいて、前記電荷生成埋込領域及び前記シールド領域に前記電荷読出領域が接していることを特徴とする請求項6～8のいずれか1項に記載の固体撮像装置。

【請求項10】

前記画素のそれぞれにおいて、前記電荷生成埋込領域及び前記シールド領域から前記電荷読出領域が離間し、

前記画素のそれぞれが、前記電荷生成埋込領域及び前記シールド領域と前記電荷読出領域との間の前記基体領域の上方となる前記ゲート絶縁膜上に設けられた転送ゲート電極を更に備え、

前記画素のそれぞれにおいて、前記転送ゲート電極に印加する電圧により、前記電荷生成埋込領域から前記電荷読出領域へ信号電荷が転送されることを特徴とする請求項6～8のいずれか1項に記載の固体撮像装置。

【請求項11】

前記画素を複数配列した画素領域の周辺に設けられ、前記透明電極のそれぞれに対し、前記シールド領域と前記ゲート絶縁膜の界面の表面電位を、前記第1導電型の電荷でピンニングさせる第1電圧と、該第1電圧より前記電荷生成埋込領域のチャンネルポテンシャルが深くなる方向にシフトした第2電圧とを、1フレーム内を時分割したタイミングで印加するフォトゲート走査駆動回路を更に備えることを特徴とする請求項6～10のいずれか1項に記載の固体撮像装置。

【請求項12】

前記画素領域の周辺に設けられ、前記リセットゲート電極のそれぞれに対し、前記第2電圧と同一方向にシフトした極性で、前記電荷読出領域から前記リセットドレイン領域に電荷を排出して前記電荷読出領域をリセットするリセット電圧を、前記第2電圧が印加させている期間内に、前記リセットゲート電極のそれぞれに印加するリセットトランジスタ走査駆動回路を更に備えることを特徴とする請求項11に記載の固体撮像装置。

【請求項13】

フォトゲート構造を備える画素を複数配列した固体撮像装置の駆動方法であって、

前記フォトゲート構造を構成する透明電極のそれぞれに対し、信号電荷とは逆極性の電荷をピンニングする第1電圧と、該第1電圧より電荷生成埋込領域のチャンネルポテンシャルが深くなる方向にシフトした第2電圧を、1フレーム内を時分割したタイミングで印加することを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、耐放射線特性を有する光検出素子、並びにこの光検出素子を配列した固体撮像装置及びその駆動方法に関する。

10

20

30

40

50

【背景技術】

【0002】

放射線耐性を有する固体撮像装置の画素として、透明電極をゲート電極としたMOS構造を用いた光電変換部（この光電変換部を以下において、「フォトゲート部」と称する。）が提案されている（特許文献1参照。）。フォトゲート部は、p型の基体領域の上部に設けられたn型の電荷生成埋込領域を備え、透明電極は、電荷生成埋込領域の表面上に絶縁膜を介して設けられる。そして、電荷生成埋込領域にチャンネル部が形成される。

【0003】

特許文献1に記載されたフォトゲート部を有する固体撮像装置（フォトゲート型固体撮像装置）の場合、フォトゲート部で行われた光電変換によって発生した電荷は、電荷生成埋込領域に隣接して設けられるn型の電荷読出領域（電荷検出部）に蓄積され、電荷読出領域での電位変化が信号として読み出される。ここで信号電荷が電子である場合、フォトゲート部での暗電流の発生を抑えるために、半導体表面を少数キャリアである正孔で埋めて不活性化させるピンニング動作を実行する。特許文献1に記載された発明においては、このピンニング動作のために、フォトゲート部の透明電極に常時、一定の負電圧を印加させている。また、固体撮像装置の電荷検出動作マージンを確保するため、フォトゲート部におけるドレインをなす電荷読出領域の電位を十分高い正電圧にすることが求められる。

10

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】国際公開第2016/013227号

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者は、上記の条件で常時表面電位をピンニングした状態でフォトゲート型固体撮像装置を駆動すると、電荷読出領域のフォトゲート部に接する境界部で非常に強い電界が形成され、大きな暗電流が発生するという新たな知見を見いだした。

【0006】

上記問題に鑑み、本発明は、電荷読出領域における電界集中を抑えて暗電流の発生を抑制でき、放射線環境下でも高感度且つ広ダイナミックレンジな撮像が可能な光検出素子、及びこの光検出素子を画素とする固体撮像装置及びその駆動方法を提供することを目的とする。

30

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明の第1の態様は、(a)第1導電型の基体領域と、(b)基体領域の上部に埋め込まれ、基体領域とフォトダイオードを構成する第2導電型の電荷生成埋込領域と、(c)電荷生成埋込領域の上面に設けられた基体領域よりも高不純物密度の第1導電型のシールド領域と、(d)シールド領域の上面に接して設けられたゲート絶縁膜と、(e)ゲート絶縁膜上に設けられた透明電極と、(f)基体領域の上部に埋め込まれた、基体領域よりも高不純物密度の第1導電型のウェル領域と、(g)電荷生成埋込領域側のウェル領域の端部において、基体領域の上部に埋め込まれ、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域とを備える光検出素子であることを要旨とする。本発明の第1の態様に係る「シールド領域」は、フォトゲート型の構造以外の光検出素子では仮想電極(Virtual Phase)と呼ばれることもあり、この仮想電極の上に更に透明電極を形成する意義はないと考えられていた。電荷生成埋込領域の上面にシールド領域と透明電極を配置することは不適切であるという従来技術的な常識に反しシールド領域と透明電極を採用することにより、第1の態様に係る光検出素子においては、透明電極の電位がゲート絶縁膜を介してシールド領域の表面に及ぼす静電ポテンシャル効果により、シールド領域の表面に第1導電型の電荷をピンニングすることができる。

40

【0008】

50

本発明の第2の態様は、第1の態様に係る光検出素子を画素として採用し、この画素を複数配列した固体撮像装置である。したがって、第2の態様に係る固体撮像装置においても、画素のそれぞれにおいて、透明電極の電位がゲート絶縁膜を介してシールド領域の表面に及ぼす静電ポテンシャル効果により、シールド領域の表面に第1導電型の電荷をピンニングする。

【0009】

本発明の第3の態様は、フォトゲート構造を備える画素を複数配列した固体撮像装置の駆動方法によって、上述した技術的課題を解決せんとするものである。即ち、第3の態様に係る固体撮像装置の駆動方法においては、フォトゲート構造を構成する透明電極のそれぞれに対し、信号電荷とは逆極性の電荷をピンニングする第1電圧と、該第1電圧より電荷生成埋込領域のチャネルポテンシャルが深くなる方向にシフトした第2電圧を、1フレーム内を時分割したタイミングで印加する固体撮像装置の駆動方法によって、フォトゲート構造を備える画素の電荷読出領域における電界集中を抑えるものである。

10

【発明の効果】

【0010】

本発明によれば、電荷読出領域における電界集中を抑えて暗電流の発生を抑制でき、放射線環境下でも高感度且つ広ダイナミックレンジな撮像が可能な光検出素子、及びこの光検出素子を画素とする固体撮像装置及びその駆動方法を提供することができる。

【図面の簡単な説明】

【0011】

20

【図1】本発明の第1の実施形態に係るフォトゲート型固体撮像装置の全体構成の概略を模式的に説明する回路図である。

【図2】第1の実施形態に係るフォトゲート型固体撮像装置が備える1画素分の光検出素子の概略を模式的に説明する平面図である。

【図3】図3(a)は図2中のA-A線方向から見た断面図であり、図3(b)は図2中のB-B線方向から見た断面図である。

【図4】第1の実施形態に係る光検出素子のフォトゲート部において、深さ方向のポテンシャル分布を示す図である。

【図5】第1の実施形態に係る光検出素子の動作の例を示すポテンシャルプロファイルである。

30

【図6】第1の実施形態に係るフォトゲート型固体撮像装置の駆動タイミングを説明するチャート図である。

【図7】比較例に係るフォトゲート型固体撮像装置における暗電流の変化を、複数のフォトゲート電圧の場合のそれぞれについて、累積度数分布を用いて示す図である。

【図8】比較例に係るフォトゲート型固体撮像装置において、フォトゲート部及び電荷検出部の境界で暗電流が過剰に発生する現象を模式的に説明する図である。

【図9】本発明の第2の実施形態に係るフォトゲート型固体撮像装置の全体構成の概略を模式的に説明する回路図である。

【図10】図10(a)は、第2の実施形態に係る光検出素子の電荷蓄積時のポテンシャル分布を示す図であり、図10(b)は、第2の実施形態に係る光検出素子のリセット及び信号検出時のポテンシャル分布を示す図である。

40

【図11】第2の実施形態に係るフォトゲート型固体撮像装置の駆動タイミングを説明するチャート図である。

【図12】本発明の第3の実施形態に係るフォトゲート型固体撮像装置が備える1画素分の光検出素子の概略を模式的に説明する平面図である。

【図13】図12中のC-C線方向から見た断面図である。

【図14】本発明の第4の実施形態に係るフォトゲート型固体撮像装置の全体構成の概略を模式的に説明する回路図である。

【図15】第4の実施形態に係るフォトゲート型固体撮像装置が備える1画素分の光検出素子の概略を模式的に説明する平面図である。

50

【図16】図16(a)は図15中のD-D線方向から見た断面図であり、図16(b)は図15中のE-E線方向から見た断面図である。

【図17】第4の実施形態に係る光検出素子の動作の例を示すポテンシャルプロファイルである。

【図18】第4の実施形態に係るフォトゲート型固体撮像装置の駆動タイミングを説明するチャート図である。

【図19】図19(a)は、第4の実施形態に係る光検出素子の電荷蓄積時のポテンシャル分布を示す図であり、図19(b)は、第4の実施形態に係る光検出素子のリセット及び信号検出時のポテンシャル分布を示す図である。

【図20】本発明の第5の実施形態に係るフォトゲート型固体撮像装置が備える1画素分の光検出素子の概略を模式的に説明する平面図である。

【図21】図20中のF-F線方向から見た断面図である。

【図22】第5の実施形態に係る固体撮像装置のフォトゲート走査駆動回路の第1電圧及び第2電圧を生成するレベルシフターを説明する回路図である。

【図23】第5の実施形態に係るフォトゲート型固体撮像装置の駆動タイミングを説明するチャート図である。

【図24】図24(a)は、第5の実施形態に係る光検出素子のリセット及び信号検出時のポテンシャル分布を示す図であり、図24(b)は、第5の実施形態に係る光検出素子の電荷蓄積時のポテンシャル分布を示す図である。

【図25】第5の実施形態に係る光検出素子のフォトゲート部において、深さ方向のポテンシャル分布を示す図である。

【図26】本発明の第6の実施形態に係るフォトゲート型固体撮像装置が備える1画素分の光検出素子の概略を模式的に説明する平面図である。

【図27】図26中のG-G線方向から見た断面図である。

【図28】図28(a)は、第6の実施形態に係る光検出素子のリセット及び信号検出時のポテンシャル分布を示す図であり、図28(b)は、第6の実施形態に係る光検出素子の電荷蓄積時のポテンシャル分布を示す図である。

【発明を実施するための形態】

【0012】

次に、図面を参照して、本発明の第1～第6の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0013】

また、以下に示す第1～第6の実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものではない。本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。更に、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を90度回転すれば「左右」と「上下」とは交換して読まれ、紙面を180度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

【0014】

また、図面において、n又はpを冠した領域や層が半導体領域や半導体層等の半導体を材料とする部材や構成要素を意味することは、当業者には自明な事項である。また、図面中でnやpに付した+の上付き文字は、+が付記されていない半導体領域に比して、相対的に不純物密度が高い半導体領域であることを意味し、nやpの右上に付した-の上付き文字は、-が付記されていない半導体領域に比して、相対的に不純物密度が低い半導体領

10

20

30

40

50

域であることを意味する。

【 0 0 1 5 】

(第 1 の実施形態)

本発明の第 1 の実施形態に係るフォトゲート型固体撮像装置は、図 1 に示すように、複数のフォトゲート型の画素 (光検出素子) Q_{ij} がマトリクス状に配列された画素領域と、画素領域の周辺に配列されたリセットトランジスタ走査駆動回路 2 2、選択トランジスタ走査駆動回路 2 3 及び読出回路 2 4 を有する周辺回路部を備える。

【 0 0 1 6 】

第 1 の実施形態に係る画素 Q_{ij} は、図 2、図 3 (a) 及び図 3 (b) に示すように、第 1 導電型 (p 型) の基体領域 1 と、基体領域 1 の上部に埋め込まれ、基体領域 1 とフォトダイオードを構成する第 2 導電型 (n 型) の電荷生成埋込領域 5 と、電荷生成埋込領域 5 の上面に設けられ、基体領域 1 よりも高不純物密度の p 型のシールド領域 6 と、シールド領域 6 の上面に接して設けられたゲート絶縁膜 4 と、ゲート絶縁膜 4 上に設けられた透明電極 1 4 とを備えるフォトゲート型の構造の光検出素子である。シールド領域 6 は、フォトゲート型の構造以外の光検出素子では仮想電極とも呼ばれることもあり、仮想電極の上に透明電極 1 4 を形成する意味は、技術常識上考えられない。よって、従来フォトゲート型の構造において、電荷生成埋込領域 5 の上面に p 型のシールド領域 6 を配置することは不適切な設計であると考えられていた。

10

【 0 0 1 7 】

第 1 の実施形態に係る画素 Q_{ij} では、この従来技術常識に反するシールド領域 6 を積極的に配置したフォトゲート型の構造において、基体領域 1 の上部に埋め込まれ、基体領域 1 よりも高不純物密度の p 型のウェル領域 1 1 を更に備える。そして電荷生成埋込領域 5 側のウェル領域 1 1 の端部において、電荷生成埋込領域 5 よりも高不純物密度の n + 型の電荷読出領域 8 を電荷生成埋込領域 5 及びシールド領域 6 に接して埋め込んでいる。又、電荷生成埋込領域 5 よりも高不純物密度の n + 型のリセットドレイン領域 7 が、ウェル領域 1 1 の上部に電荷読出領域 8 から離間して埋め込まれている。更に、第 1 の実施形態に係る画素 Q_{ij} は、電荷読出領域 8 とリセットドレイン領域 7 との間のウェル領域 1 1 の上方となるゲート絶縁膜 4 上に設けられたリセットゲート電極 1 2 を備える。

20

【 0 0 1 8 】

第 1 の実施形態に係る画素 Q_{ij} のフォトゲート部 $PG_{(i,j)}$ は、電荷生成埋込領域 5 と、シールド領域 6 と、シールド領域 6 の直上の透明電極 1 4 が、その間の薄いゲート絶縁膜 4 を挟んで存在する領域で構成される。

30

【 0 0 1 9 】

透明電極 1 4 は、フォトゲート部 $PG_{(i,j)}$ へ入射する光 h の波長に対して透明な材料が選択できる。透明電極 1 4 は、燐 (P)、砒素 (As) 等の n 型の不純物をドーブした多結晶シリコン (ドープドポリシリコン) 膜で形成すれば、透明電極 1 4 と電荷読出領域 8 との境界を自己整合的に定めることが可能であり、製造プロセス上便利である。ドープドポリシリコン (DOPPOS) 膜以外にも、例えば、酸化錫 (SnO_2)、錫 (Sn) を添加した酸化インジウム (ITO)、アルミニウム (Al) を添加した酸化亜鉛 (AZO)、ガリウム (Ga) を添加した酸化亜鉛 (GZO)、インジウム (In) を添加した酸化亜鉛 (IZO) 等の酸化物薄膜 (透明導電性酸化物) を用いてもよい。

40

【 0 0 2 0 】

なお、リセットゲート電極 1 2 についても、第 2 導電型の不純物をドーブしたドープドポリシリコンを用いれば、リセットゲート電極 1 2 と電荷読出領域 8 との境界、及びリセットゲート電極 1 2 とリセットドレイン領域 7 との境界を自己整合的に定めることが可能であり、製造プロセス上便利であるが、DOPPOS 膜以外を採用しても構わない。

【 0 0 2 1 】

ゲート絶縁膜 4 としては、シリコン酸化膜を用いた単なる MOS 型のトランジスタだけに限定されるものではない。即ち、ゲート絶縁膜 4 としては、シリコン酸化膜の他、ストロンチウム酸化物 (SrO) 膜、シリコン窒化物 (Si_3N_4) 膜、アルミニウム酸化物 (

50

Al_2O_3)膜、マグネシウム酸化物(MgO)膜、イットリウム酸化物(Y_2O_3)膜、ハフニウム酸化物(HfO_2)膜、ジルコニウム酸化物(ZrO_2)膜、タンタル酸化物(Ta_2O_5)膜、ビスマス酸化物(Bi_2O_3)膜のいずれか1つの単層膜或いはこれらの複数を積層した複合膜等を使用して、MIS型のトランジスタを構成してもよい。但し、これらゲート絶縁膜材料としては、放射線に対して耐性があることが前提となる。

【0022】

図3(a)及び図3(b)では、「基体領域1」として、p型の半導体基板(Si基板)を用いる場合を例示しているが、半導体基板の代わりに、p型の半導体基板上に、半導体基板よりも低不純物密度のp型のエピタキシャル成長層を形成して、エピタキシャル成長層を基体領域1として採用してもよく、n型の半導体基板上に、p型のエピタキシャル成長層を形成して、エピタキシャル成長層を基体領域1として採用してもよく、SOI構造のp型の半導体層(SOI層)を基体領域1として採用してもよい。

10

【0023】

図2に示すように、第1の実施形態に係る画素 Q_{ij} の平面パターンは、例えば矩形状に設計可能である。図2は、ゲート絶縁膜4を除いた状態の画素 Q_{ij} の上面を示す。図2の右側から左側へ、p⁺型の接続領域3、透明電極14、n⁺型の電荷読出領域8、リセットゲート電極12及びn⁺型のリセットドレイン領域7が左右方向に並んで配置されてフォトゲート型の構造を実現している。なお、図2には図1に示した増幅トランジスタ $SF_{(i,j)}$ 及び選択トランジスタ $SL_{(i,j)}$ は図示していない。

20

【0024】

図3(a)及び図3(b)に示すように、画素 Q_{ij} の周辺部において、基体領域1の上部にp型の画素分離用埋込領域2が画素 Q_{ij} を囲むように埋め込まれている。画素分離用埋込領域2の上部には、画素 Q_{ij} のそれぞれを互いに分離する画素分離用絶縁膜9が埋め込まれている。電荷生成埋込領域5と画素分離用絶縁膜9の間には画素分離用埋込領域2が位置している。シールド領域6と画素分離用絶縁膜9の間の画素分離用埋込領域2の上部の一部には、ゲート絶縁膜4に接して、画素分離用埋込領域2よりも高不純物密度のp⁺型の接続領域3が埋め込まれて、p型の画素分離用埋込領域2と電氣的に接続されている。即ち、シールド領域6の右側の端部はp⁺型の接続領域3を介してp型の画素分離用埋込領域2に電氣的に接続される。この結果、p型のシールド領域6の端部はp⁺型の接続領域3を介してp型の基体領域1に電氣的に短絡されて接地電位となる。

30

【0025】

図2及び図3(a)のいずれも左側に示したように、画素 Q_{ij} の基体領域1の上部にはp型のウェル領域11がp型の画素分離用埋込領域2と同一の深さ、同一不純物密度で埋め込まれている。ウェル領域11の上部の一部には、ゲート絶縁膜4に接して、電荷生成埋込領域5よりも高不純物密度でn型のリセットドレイン領域7が埋め込まれている。p型のウェル領域11とp型の画素分離用埋込領域2は共通した領域として同一工程で形成することが可能である。共通した領域として一体化したp型のウェル領域11とp型の画素分離用埋込領域2は「画素分離領域」として機能することができる。なお、p型の画素分離用埋込領域2とp型のウェル領域11とは必ずしも同一の深さ、同一不純物密度である必要はないが、製造工程が複雑化する。

40

【0026】

図3(a)に示すように、ウェル領域11と電荷生成埋込領域5との界面となる領域には、ゲート絶縁膜4に接して、電荷生成埋込領域5よりも高不純物密度でn⁺型の電荷読出領域8が埋め込まれている。リセットドレイン領域7及び電荷読出領域8の間のウェル領域11の上方となるゲート絶縁膜4上には、リセットゲート電極12が設けられて、nMOSトランジスタと等価な構造でリセットトランジスタ $RT_{(i,j)}$ が実現されている。リセットトランジスタ $RT_{(i,j)}$ はリセットゲート電極12に高位電圧を印加して電荷読出領域8の電荷をリセットドレイン領域7に排出する。

【0027】

図1の等価回路表示においては、第1の実施形態に係る画素 Q_{ij} は、図1中のマトリク

50

スの一部として i 行、 j 列に点線囲み中に示されている。画素 Q_{ij} は、フォトゲート部 $PG_{(i,j)}$ と、このフォトゲート部 $PG_{(i,j)}$ に隣接して設けられた電荷検出部 $FD_{(i,j)}$ と、電荷検出部 $FD_{(i,j)}$ の電位をリセットするリセットトランジスタ $RT_{(i,j)}$ と、電荷検出部 $FD_{(i,j)}$ の電位変化を増幅する増幅トランジスタ $SF_{(i,j)}$ と、増幅トランジスタ $SF_{(i,j)}$ の出力を選択する選択トランジスタ $SL_{(i,j)}$ を備える構造として表現される ($i = 1 \sim m$; $j = 1 \sim n$; m, n は 2 以上の正の整数。)。図 1 中には、説明の都合上、4 個の画素 Q_{ij} が簡略化して例示されているが、2 行 \times 2 列のパターンに限定されるものではない。例えば、 $m = 300 \sim 10000$ 程度、 $n = 200 \sim 8000$ 程度等の種々の m 行 \times n 列の 2 次元マトリクスが、設計仕様に応じて任意の数が配列されることは勿論である。

10

【0028】

リセットトランジスタ走査駆動回路 22 からは、マトリクスの行数 m に応じた m 本のリセット駆動線が出力している。例えばマトリクスの i 行及び $(i+1)$ 行に属する画素 $Q_{ij}, Q_{i+1,j}$ のそれぞれのリセットトランジスタ $RT_{(i,j)}, RT_{(i+1,j)}$ のゲートに、リセット駆動線 $DRT_{(i)}, DRT_{(i+1)}$ が接続されている。リセットトランジスタ走査駆動回路 22 は、 i 行及び $(i+1)$ 行のリセット駆動線 $DRT_{(i)}, DRT_{(i+1)}$ を介して、 i 行及び $(i+1)$ 行に属する画素 $Q_{ij}, Q_{i+1,j}$ のリセットトランジスタ $RT_{(i,j)}, RT_{(i+1,j)}$ に印加する電圧を、行単位で制御する。図示を省略しているが、マトリクスの $(i-1)$ 行や $(i+2)$ 行等の他の行に属するリセットトランジスタも同様に、行単位で制御される。リセットトランジスタ走査駆動回路 22 の高位側電圧 $V(H)$ としては、例えば一般的な電源電圧を採用できる。リセットトランジスタ走査駆動回路 22 の低位側電圧としては、接地電圧等を採用できる。

20

【0029】

選択トランジスタ走査駆動回路 23 からは、マトリクスの行数 m に応じた m 本の選択駆動線が出力している。例えばマトリクスの i 行及び $(i+1)$ 行に属する画素 $Q_{ij}, Q_{i+1,j}$ のそれぞれの選択トランジスタ $SL_{(i,j)}, SL_{(i+1,j)}$ のゲートに、選択駆動線 $DSL_{(i)}, DSL_{(i+1)}$ が接続されている。選択トランジスタ走査駆動回路 23 は、選択駆動線 $DSL_{(i)}, DSL_{(i+1)}$ を介して、マトリクスの i 行及び $(i+1)$ 行に属する画素 $Q_{ij}, Q_{i+1,j}$ の選択トランジスタ $SL_{(i,j)}, SL_{(i+1,j)}$ に印加する電圧を、行単位で制御する。図示を省略しているが、マトリクスの $(i-1)$ 行や $(i+2)$ 行等の他の行に属する選択トランジスタも同様に、行単位で制御される。選択トランジスタ走査駆動回路 23 の高位側電圧 $V(H)$ としては、リセットトランジスタ走査駆動回路 22 と同様に、例えば一般的な電源電圧を採用できる。選択トランジスタ走査駆動回路の低位側電圧としては、接地電圧等を採用できる。

30

【0030】

リセットトランジスタ $RT_{(i,j)}$ のドレイン側には電圧線が接続され、DC 電圧であるリセットドレイン電圧 VRD が印加されている。増幅トランジスタ $SF_{(i,j)}$ のドレイン側には電圧線が接続され、DC 電圧である増幅ドレイン電圧 VDD が印加されている。フォトゲート部 $PG_{(i,j)}$ のソース側、リセットトランジスタ $RT_{(i,j)}$ のソース側、増幅トランジスタ $SF_{(i,j)}$ のゲート側は接続され、この接続点に、等価回路としてダイオード表示した電荷検出部 $FD_{(i,j)}$ のカソード側が接続されている。電荷検出部 $FD_{(i,j)}$ を構成しているダイオードのアノード側は接地されている。なお、フォトゲート部 $PG_{(i,j)}$ のドレイン側は存在しない。

40

【0031】

増幅トランジスタ $SF_{(i,j)}$ のソース側は選択トランジスタ $SL_{(i,j)}$ のドレイン側に接続されている。選択トランジスタ $SL_{(i,j)}, SL_{(i+1,j)}$ ソース側には、読出回路 24 に接続された出力信号線 $V_{sig(j)}$ が設けられ、この出力信号線 $V_{sig(j)}$ を介して、選択された画素 $Q_{ij}, Q_{i+1,j}$ の出力信号が読出回路 24 に伝達される。同様に、選択トランジスタ $SL_{(i,j+1)}, SL_{(i+1,j+1)}$ ソース側には、読出回路 24 に接続された出力信号線 $V_{sig(j+1)}$ が設けられ、この出力信号線 $V_{sig(j+1)}$ を介して、選択された画素 $Q_{ij+1}, Q_{i+1,j+1}$

50

$j+1$ の出力信号が読出回路24に伝達される。読出回路24では、伝達された出力信号に対して所定の処理が実行され、処理後の出力信号は、最終的に半導体チップの外部へ出力される。

【0032】

第1の実施形態に係る画素 Q_{ij} においては、蓄積期間にフォトゲート部 $PG_{(i,j)}$ における光電変換により発生した信号電荷が、読出期間に電荷読出領域8から読み出される。第1の実施形態に係る画素 Q_{ij} においては、透明電極14に0V近傍の一定値(DC)であるフォトゲート電圧 V_{PG} を印加することにより、ゲート絶縁膜4の直下のシールド領域6の多数キャリアである正孔(ホール)でシールド領域6の表面電位が図4に示すようにピンニングされる。即ち、シールド領域6がp型であれば、透明電極14の直下のシールド領域6の多数キャリアである正孔でシールド領域6の表面電位がピンニングされることにより、ゲート絶縁膜4とシールド領域6との界面の界面準位が不活性化される。

10

【0033】

ここで、「0V近傍」とは、p型のシールド領域6表面まで正孔で埋められる条件はほぼフラットバンド条件となり、フラットバンド条件となるゲート電圧はシールド領域6の不純物密度や透明電極14の材料、ゲート絶縁膜4中の電荷等に依存し、0Vから負方向又は正方向に多少シフトした値を含む意味である。これにより、電荷読出領域8の電位を高い値としても電荷検出部 $FD_{(i,j)}$ とフォトゲート部 $PG_{(i,j)}$ 間の電界集中が抑制され、暗電流が抑制されて耐放射線性能が確保されると共に、十分な信号検出マージンを確保することが可能となる。

20

【0034】

図4に破線の曲線で示すように、透明電極14に印加するフォトゲート電圧 V_{PG} が正($V_{PG} > 0V$)の場合には、シールド領域6が空乏化している。一方、図4に実線の曲線で示すように、透明電極14に印加するフォトゲート電圧 V_{PG} が0V($V_{PG} = 0V$)の場合には、透明電極14の電位がゲート絶縁膜4を介して電荷生成埋込領域5及びシールド領域6の表面に及ぼす静電ポテンシャル効果によって、p型のシールド領域6表面に多数キャリア(正孔)をピンニングする。電荷生成埋込領域5のチャネルポテンシャルはフォトゲート電圧 V_{PG} が正の場合よりも浅くなるが、図4に示すように電荷を保持できる程度の深さを有する。ガンマ線照射により半導体表面の準位が大幅に増大するが、フォトゲート電圧 V_{PG} が0Vの場合には表面が多量の正孔で埋められるため不活性化され、暗電流の増大は阻止される。

30

【0035】

また、半導体素子にガンマ線が照射されると、半導体表面の酸化膜中に多量の電子正孔対が発生し、動きの遅い正孔が取り残されて酸化膜の半導体表面側に正電荷が集まる。これが半導体表面を空乏化させて大きな暗電流となる。ここで、半導体界面の準位が多いと一層大きな暗電流となる。しかし、フォトゲート構造では、図3(a)及び図3(b)に示すように、半導体表面に厚い酸化膜が形成された通常のpn接合型光電変換部に比べ、電荷生成埋込領域5の上には厚さ4nm~10nm程度の薄いゲート絶縁膜4しか存在せず、ゲート絶縁膜4中に生成される正孔の絶対量は僅かである。更に上記界面準位の不活性化と合わせて、耐放射線特性は大幅に改善される。

40

【0036】

図5は、第1の実施形態に係る画素 Q_{ij} の動作の例を示すポテンシャルプロファイルである。透明電極14には、p型のシールド領域6の表面に多数キャリア(正孔)をピンニングするように、0V近傍の一定値(DC)であるフォトゲート電圧 V_{PG} を印加する。リセットドレイン電圧 V_{RD} がピンニング時のチャネルポテンシャルより十分深い場合には、フォトゲート部 $PG_{(i,j)}$ で光電変換された信号電荷(電子)は定常的に電荷読出領域8に転送可能であるため、フォトゲート部 $PG_{(i,j)}$ には蓄積しない。したがって、電荷読出し時の電荷検出部 $FD_{(i,j)}$ の容量は小さく、電荷電圧変換ゲインを高くすることができ、高い電圧感度が達成される。

【0037】

50

図6は、図1中で水平方向に延びるそれぞれの駆動線のうち、 i 行及び $(i+1)$ 行のリセット駆動線 $DR T_{(i)}$ 、 $DR T_{(i+1)}$ ；選択駆動線 $DSL_{(i)}$ 、 $DSL_{(i+1)}$ に着目したタイミング図である。ここで、行順次で読み出すことを前提として、「1H」は行読出し周期であり、「1V」はフレーム読出し周期である。

【0038】

i 行目の画素 Q_{ij} の動作に着目した場合、蓄積期間 $Storage(i)$ では光電変換蓄積動作を行う。図6では図示しないが、蓄積期間 $Storage(i)$ において、各画素 Q_{ij} のそれぞれの透明電極14には、半導体表面をピンニングさせるように0V近傍の一定値(DC)であるフォトゲート電圧VPGが印加される。

【0039】

次に、 i 行目の画素 Q_{ij} における読出期間 $Read(i)$ では、図6では図示しないが、蓄積期間 $Storage(i)$ から継続して、各画素 Q_{ij} のそれぞれの透明電極14には、半導体表面をピンニングさせるように0V近傍の一定値(DC)であるフォトゲート電圧VPGが印加されている。選択トランジスタ走査駆動回路23の選択駆動線 $DSL_{(i)}$ が、読出期間に高位電圧レベルになって画素信号を出力線に読み出す。読み出しの途中でリセットトランジスタ走査駆動回路22のリセット駆動線 $DR T_{(i)}$ が高位電圧レベルとなることで、電荷読出領域8がリセットされる。

【0040】

リセット動作の直前には、リセット動作までの間に電荷検出部 $FD_{(i,j)}$ に蓄積された信号電荷の信号 $Sig_{(i)}$ が電荷読出領域8から読み出される。リセット動作の直後には、電荷検出部 $FD_{(i,j)}$ の信号電荷が排出されたリセットレベルの信号 $Res_{(i)}$ が電荷読出領域8から読み出される。そして読出回路24で、蓄積された信号電荷の信号 $Sig_{(i)}$ 及びリセットレベルの信号 $Res_{(i)}$ の差をとる相関2重サンプリング(CDS)動作が実行されることにより、増幅トランジスタ $SF_{(i,j)}$ の閾値ばらつきなどを除去した正味の信号を得る。

【0041】

続けて、 $(i+1)$ 行目、 $(i+2)$ 行目、 $(i+3)$ 行目、...と、それぞれの行において、時間方向に1水平走査期間単位でシフトしながら i 行目の場合と同様の動作が繰り返され、フォトゲート型固体撮像装置の画素領域全体の読み出しが実行される。いずれの行においても、電荷読出領域8とフォトゲート部 $PG_{(i,j)}$ 間の電位差は小さい値のままの状態が維持され、電界集中が防止される。

【0042】

<比較例>

次に、フォトゲート電圧VPGを常時一定に保って、図1～図3(b)で示したフォトゲート型固体撮像装置の画素 Q_{ij} のシールド領域6が無い構造を「比較例」として、図7及び図8を参照して説明する。図7中の横軸は、比較例に係る画素の暗時出力レベルを示し、縦軸は暗電流の発生頻度を累積度数で示す。リセットドレイン電圧VRDの値は2V程度である。常時一定値で印加されるフォトゲート電圧VPGをパラメータとして、0V～-2Vの間で変化させた。

【0043】

比較例に係るフォトゲート型固体撮像装置の場合、図7に示すように、常時一定値で印加されるフォトゲート電圧VPGを負方向へ変化させるに従い、暗電流が急激に大きくなることが分かる。この理由としては、電荷検出部 $FD_{(i,j)}$ の電圧が正の高い値で保持されているのに対して、フォトゲート電圧VPGは負方向に大きくなるから、図8に示すように、電荷検出部 $FD_{(i,j)}$ とフォトゲート部 $PG_{(i,j)}$ 間の電界集中により、電荷検出部 $FD_{(i,j)}$ である電荷読出領域8のフォトゲート部 $PG_{(i,j)}$ との境界部で、トラップアシステッドトンネリング(TAT)やバンド間トンネリング(BTB T)現象が起り、過剰な電子が発生したと考えられる。

【0044】

この電界集中を回避するためには、電荷検出部 $FD_{(i,j)}$ の電圧即ちリセットドレイン

10

20

30

40

50

電圧 V_{RD} の値を、例えば 1V 程度の低い値にする必要があるが、その場合、電荷検出部 $FD_{(i,j)}$ における可能な信号振幅が小さくなってしまふ。即ち比較例に係るフォトゲート電圧 V_{PG} が常時一定に保たれたフォトゲート型固体撮像装置の場合、電荷検出マージンが大幅に低下することになる。即ち、ダイナミックレンジの低下を招く。

【0045】

これに対して、第1の実施形態に係るフォトゲート型固体撮像装置によれば、透明電極に印加する電圧が負電圧ではなく、 0V 近傍であっても、透明電極14がゲート絶縁膜4を介してシールド領域6に及ぼす静電ポテンシャル効果により、シールド領域6の表面に多数キャリアとなる電荷（正孔）をピンニングすることができ、暗電流の発生を抑制できる。また、電荷検出部 $FD_{(i,j)}$ の電圧即ちリセットドレイン電圧 V_{RD} の値を小さくしなくても電荷検出部 $FD_{(i,j)}$ とフォトゲート部 $PG_{(i,j)}$ 間の電界集中を回避することができるので、電荷検出マージンを確保することができる。したがって、放射線環境下でも高感度且つ広ダイナミックレンジな撮像が可能となる。

10

【0046】

（第2の実施形態）

本発明の第2の実施形態に係るフォトゲート型固体撮像装置では、フォトゲート部 $PG_{(i,j)}$ に印加するフォトゲート電圧 V_{PG} が一定値ではなく、2値の間でクロッキング動作する場合を説明する。第2の実施形態に係るフォトゲート型固体撮像装置は、図9に示すように、複数のフォトゲート型の画素 Q_{ij} がマトリクス状に配列された画素領域の周辺に配列された2値駆動用のフォトゲート走査駆動回路21を更に備える点が、図1に示した第1の実施形態に係るフォトゲート型固体撮像装置の回路構成と異なる。

20

【0047】

フォトゲート走査駆動回路21は、図2、図3(a)及び図3(b)に示した画素 Q_{ij} の透明電極14のそれぞれに対し、シールド領域6とゲート絶縁膜4の界面の表面電位を、シールド領域6の多数キャリアでピンニングさせる第1電圧と、第1電圧より電荷生成埋込領域のチャネルポテンシャルが深くなる方向にシフトした第2電圧を印加し、2値間でのクロッキング動作の駆動をする。即ち、図11に示したようなタイミングチャートに従い、1フレーム内を「蓄積期間」と「読出期間」に時分割し、蓄積期間には第1電圧を、読出期間には第2電圧を、各画素 Q_{ij} のそれぞれの透明電極14に印加してクロッキング動作をさせる。

30

【0048】

図9に示すように、フォトゲート走査駆動回路21からは、マトリクスの行数 m に応じた m 本のフォトゲート駆動線が出力している。例えば、 i 行及び $(i+1)$ 行の画素 Q_{ij} 、 $Q_{i+1,j}$ のフォトゲート部 $PG_{(i,j)}$ 、 $PG_{(i+1,j)}$ のそれぞれのゲートに、フォトゲート駆動線 $DPG_{(i)}$ 、 $DPG_{(i+1)}$ が接続されている。フォトゲート走査駆動回路21は、フォトゲート駆動線 $DPG_{(i)}$ 、 $DPG_{(i+1)}$ を介して、マトリクスの i 行及び $(i+1)$ 行に属するフォトゲート部 $PG_{(i,j)}$ 、 $PG_{(i+1,j)}$ に印加する電圧を、行単位で制御する。図示を省略しているが、マトリクスの $(i-1)$ 行や $(i+2)$ 行等の他の行に属するフォトゲート部も同様に、行単位で制御される。

40

【0049】

フォトゲート走査駆動回路21は、第1電圧印加部211及び第2電圧印加部212を有する。第1電圧印加部211は、光電変換蓄積作用によりフォトゲート部 $PG_{(i,j)}$ 内に発生した電荷を蓄積する蓄積期間用の第1電圧 $V_{(pin)}$ を印加する端子である。第1電圧 $V_{(pin)}$ の印加により、フォトゲート部 $PG_{(i,j)}$ の直下のシールド領域6に、出力信号の電荷とは逆極性の電荷が蓄積されるピンニング動作が実現する。第1電圧 $V_{(pin)}$ は、出力信号の電荷に対するポテンシャルが浅くなるように、フォトゲート部 $PG_{(i,j)}$ に印加される。

【0050】

第2電圧印加部212は、フォトゲート部 $PG_{(i,j)}$ で蓄積期間に光電変換された信号電荷を信号として検出する読出期間用の第2電圧 $V_{(rd)}$ を印加する端子である。第2電圧

50

$V_{(rd)}$ は、出力信号となる信号電荷に対するポテンシャルが深くなるように、フォトゲート部 $PG_{(i,j)}$ に印加される。読出期間となる第 2 電圧 $V_{(rd)}$ の印加中に、電荷検出部 $FD_{(i,j)}$ をなす電荷読出領域 8 をリセットドレイン電圧 VRD にリセットする。このリセット動作の前には信号電荷が蓄積した状態であり、リセット動作の後には信号電荷を排出した状態であるから、リセット動作の前後の電位差から、光電変換による正味の信号成分を読み取る。

【 0 0 5 1 】

後述するように、電荷検出部 $FD_{(i,j)}$ をなす電荷読出領域 8 の電位を高くして電荷検出マージンを確保すると共に、フォトゲート部 $PG_{(i,j)}$ の透明電極 1 4 の電圧も第 2 電圧 $V_{(rd)}$ と高くできるため、読出期間中、電荷検出部 $FD_{(i,j)}$ をなす電荷読出領域 8 とフォトゲート部 $PG_{(i,j)}$ の透明電極 1 4 間の電位差を低い値に留めることが可能となる。

10

【 0 0 5 2 】

また、蓄積期間にはフォトゲート部 $PG_{(i,j)}$ に第 1 電圧 $V_{(pin)}$ が印加されるが、電荷検出部 $FD_{(i,j)}$ をなす電荷読出領域 8 は浮遊状態のため、フォトゲート電圧 VPG が第 2 電圧 $V_{(rd)}$ から第 1 電圧 $V_{(pin)}$ へ低下するのに伴い、該フォトゲート部 $PG_{(i,j)}$ の透明電極 1 4 と電荷検出部 $FD_{(i,j)}$ をなす電荷読出領域 8 の間の容量結合により、電荷読出領域 8 の電位も低下する。このため、蓄積期間中も、電荷検出部 $FD_{(i,j)}$ をなす電荷読出領域 8 とフォトゲート部 $PG_{(i,j)}$ の透明電極 1 4 間の電位差を低い値に留めることが可能となる。

20

【 0 0 5 3 】

第 1 電圧 $V_{(pin)}$ は、第 2 電圧 $V_{(rd)}$ より低い電圧に決定される。第 2 電圧 $V_{(rd)}$ 及び第 1 電圧 $V_{(pin)}$ の決定には、リセットドレイン領域 7 に印加されるリセットドレイン電圧 VRD のリセットレベルが考慮される。第 2 の実施形態に係るフォトゲート型固体撮像装置では、1 次元計算により信号電荷に対する電荷生成埋込領域 5 のポテンシャルをシミュレーションした結果、リセットレベルは 2 ~ 3 V 程度、フォトゲート部 $PG_{(i,j)}$ に印加する第 2 電圧 $V_{(rd)}$ は 0 ~ 1 V 程度に設定できることが新たな知見として得られた。電荷検出部 $FD_{(i,j)}$ の電圧はリセットレベルからリセットフィードスルー分（一般的には 0.5 V 以下の正の値）低下した値であるから、読出期間中、下記の条件が実現されている：

30

$$(\text{電荷検出部 } FD_{(i,j)} \text{ の電圧}) - (\text{フォトゲート電圧 } VPG) \quad 2 \sim 3 \text{ V}$$

これらの電圧によるポテンシャル関係は、段落 [0 0 6 1] ~ [0 0 6 3] において説明される。

【 0 0 5 4 】

蓄積期間では、フォトゲート部 $PG_{(i,j)}$ に印加する第 1 電圧 $V_{(pin)}$ は、上述の 1 次元計算によりピンニング動作が可能な値として、0 V 近傍に設定できる。電荷検出部 $FD_{(i,j)}$ の電圧とフォトゲート電圧 VPG の電位差は、前述のように、上記読出期間の値が蓄積期間の開始時に維持され、更にその後信号電荷が蓄積するに伴い電荷検出部 $FD_{(i,j)}$ の電位は低下するから、電荷検出部 $FD_{(i,j)}$ の電圧とフォトゲート電圧 VPG の電位差は一層小さくなる。第 2 電圧 $V_{(rd)}$ 及び第 1 電圧 $V_{(pin)}$ は、例示した値以外、上述したように読出時に電荷検出マージンが確保でき、蓄積時にピンニングができる他の値の場合にも適用可能である。フォトゲート走査駆動回路 2 1 から出力される第 1 電圧 $V_{(pin)}$ 及び第 2 電圧 $V_{(rd)}$ はいずれも、公知のレベルシフター等を用いて段階的にシフトさせることにより生成できる。

40

【 0 0 5 5 】

図 9 に示した第 2 の実施形態に係るフォトゲート型固体撮像装置では、読み出し行毎にフォトゲート部 $PG_{(i,j)}$ に印加する電圧を変更するため、行単位でフォトゲート電圧 VPG を制御する駆動信号が、フォトゲート駆動線 $DPG_{(i)}$, $DPG_{(i+1)}$ に出力される。

50

それぞれのフォトゲート駆動線 $DPG_{(i)}$ 、 $DPG_{(i+1)}$ は垂直走査回路により選択され、読出期間中は高位電圧レベルになるように、また、蓄積期間中は読出期間中より低い電圧になるように、すべてのフォトゲート部 $PG_{(i,j)}$ が駆動される。

【0056】

図11は、図9中で水平方向に延びるそれぞれの駆動線のうち、 i 行及び $(i+1)$ 行のフォトゲート駆動線 $DPG_{(i)}$ 、 $DPG_{(i+1)}$ ；リセット駆動線 $DR T_{(i)}$ 、 $DR T_{(i+1)}$ ；選択駆動線 $DSL_{(i)}$ 、 $DSL_{(i+1)}$ に着目したタイミング図である。ここで、行順次で読み出すことを前提として、「1H」は行読出し周期であり、「1V」はフレーム読出し周期である。

【0057】

まず、 i 行目の画素 Q_{ij} における蓄積期間Storage(i)では、フォトゲート部 PG を第1電圧 $V_{(pin)}$ として光電変換蓄積動作を行う。次に、 i 行目の画素 Q_{ij} における読出期間Read(i)では、選択トランジスタ走査駆動回路23の選択駆動線 $DSL_{(i)}$ が、読出期間に高位電圧レベルになって画素信号を出力線に読み出す。読み出しより少し前に、フォトゲート走査駆動回路21のフォトゲート駆動線 $DPG_{(i)}$ が第2電圧 $V_{(rd)}$ となり、その途中でリセットトランジスタ走査駆動回路22のリセット駆動線 $DR T_{(i)}$ が高位電圧レベルとなることで、電荷読出領域8がリセットされる。

【0058】

リセット動作の直前には、リセット動作までの間に電荷検出部 $FD_{(i,j)}$ に蓄積された信号電荷の信号 $Sig_{(i)}$ が電荷読出領域8から読み出される。リセット動作の直後には、電荷検出部 $FD_{(i,j)}$ の信号電荷が排出されたリセットレベルの信号 $Res_{(i)}$ が電荷読出領域8から読み出される。そして読出回路24で、蓄積された信号電荷の信号 $Sig_{(i)}$ 及びリセットレベルの信号 $Res_{(i)}$ の差をとる相関2重サンプリング(CDS)動作が実行されることにより、正味の信号を得る。なお、読出期間Read(i)中はシールド領域6の表面ピンニングが出来なくなるが、この読出期間Read(i)はフレーム期間(1V)に比べ極く短時間に抑えることができるから、前述のように、この間に発生する暗電流の影響は無視できる。

【0059】

読出期間終了後、蓄積期間となり、フォトゲート走査駆動回路21のフォトゲート駆動線 $DPG_{(i)}$ は、フォトゲート部 $PG_{(i,j)}$ がピンニングする第1電圧 $V_{(pin)}$ に変化する。電荷検出部 $FD_{(i,j)}$ の電荷読出領域8は、読出期間の内リセットトランジスタ走査駆動回路22のリセット駆動線 $DR T_{(i)}$ が高位電圧レベルである期間以外では浮遊状態である。そのため、フォトゲート走査駆動回路21のフォトゲート駆動線 $DPG_{(i)}$ が、読出期間の高位電圧レベルである第2電圧 $V_{(rd)}$ から蓄積期間の低位電圧レベルである第1電圧 $V_{(pin)}$ に変化すると、電荷読出領域8のレベルも低位電圧レベルにシフトする。したがって、電荷検出部 $FD_{(i,j)}$ と電荷読出領域8の間の電位差は小さい値のままの状態が維持され、電界集中が防止され、暗電流発生が抑制される。なお、フォトゲート駆動線 $DPG_{(i)}$ が第1電圧 $V_{(pin)}$ と第2電圧 $V_{(rd)}$ との間で変化するタイミングは、当該変化が信号線へ影響するのを抑えるため、図11に示すように選択駆動線 $DSL_{(i)}$ がオフ(低位電圧レベル)の期間が望ましい。

【0060】

続けて、 $(i+1)$ 行目、 $(i+2)$ 行目、 $(i+3)$ 行目、...と、それぞれの行において、時間方向に1水平走査期間単位でシフトしながら i 行目の場合と同様の動作が繰り返され、フォトゲート型固体撮像装置の画素領域全体の読み出しが実行される。いずれの行においても、電荷読出領域8とフォトゲート部 $PG_{(i,j)}$ 間の電位差は小さい値のままの状態が維持され、電界集中が防止される。

【0061】

次に、リセット動作及び信号検出動作中の読出期間と、光電変換蓄積動作中の蓄積期間とにおける、それぞれの画素 Q_{ij} のポテンシャル状態の変化を、図10(a)及び図10(b)を参照して説明する。図10(b)に示すように、信号を検出して読み出す読出期

10

20

30

40

50

間中は、フォトゲート部 $PG_{(i,j)}$ の透明電極 14 の第 2 電圧 $V_{(rd)}$ は比較的高く、ポテンシャルは深い。そしてリセットトランジスタ $RT_{(i,j)}$ をターン・オンすることにより、電荷検出部 $FD_{(i,j)}$ 及びフォトゲート部 $PG_{(i,j)}$ の下の電荷生成埋込領域 5 のポテンシャルは、高い電位に応じて、深いポテンシャル $pd(H)$ にリセットされる。

【0062】

フォトゲート部 $PG_{(i,j)}$ の透明電極 14 の第 2 電圧 $V_{(rd)}$ 及びリセットトランジスタ $RT_{(i,j)}$ のリセットドレイン電圧 V_{RD} を適宜設定することで、フォトゲート部 $PG_{(i,j)}$ 下の電荷生成埋込領域 5 にも電荷が蓄積される。そして、リセットトランジスタ $RT_{(i,j)}$ をオフ状態にして、電荷検出部 $FD_{(i,j)}$ 及びフォトゲート部 $PG_{(i,j)}$ 下の電荷生成埋込領域 5 の電荷を浮遊状態に変化させる。なお、以下ではフォトゲート部 $PG_{(i,j)}$ 下のチャンネルにも電荷が蓄積される場合について述べるが、電荷検出部 $FD_{(i,j)}$ のみに電荷が蓄積される場合にも本発明は適用可能である。

10

【0063】

次に、蓄積期間において、画素 Q_{ij} は、光電変換蓄積動作に移行する。フォトゲート部 $PG_{(i,j)}$ の透明電極 14 に印加するフォトゲート電圧 V_{PG} を、シールド領域 6 が正孔で覆われるピンニング状態になるまで低い第 1 電圧 $V_{(pin)}$ にシフトする。図 10 (a) に示すように、信号電荷を蓄積している蓄積期間においては、電荷検出部 $FD_{(i,j)}$ 及びフォトゲート部 $PG_{(i,j)}$ 下の電荷生成埋込領域 5 に蓄積した電荷は浮遊状態であるため、フォトゲート部 $PG_{(i,j)}$ と電荷生成埋込領域 5 及び電荷検出部 $FD_{(i,j)}$ との間の容量結合により、フォトゲート部 $PG_{(i,j)}$ のゲート電圧の電位変化に伴い、電荷生成埋込領域 5 のポテンシャルは比較的浅い $pd(L)$ にシフトする。図示しないが、電荷検出部 $FD_{(i,j)}$ のみに電荷が蓄積される場合には、フォトゲート部 $PG_{(i,j)}$ と電荷検出部 $FD_{(i,j)}$ との間の容量結合により、電荷検出部 $FD_{(i,j)}$ の低い電位へのシフトが可能である。

20

【0064】

したがって、電荷検出部 $FD_{(i,j)}$ とフォトゲート部 $PG_{(i,j)}$ 間の電位差が小さい状態が維持されるので、光電変換蓄積動作において、フォトゲート部 $PG_{(i,j)}$ のシールド領域 6 はピンニング状態に起因する表面での暗電流発生が抑制されると共に、電界集中による暗電流も抑制される。信号の読み出しは、次の読出期間の始めであって、リセット動作の直前に行われる。即ち図 10 (b) の状態に戻り、信号電荷によりリセットレベル $pd(H)$ からの電位のずれ量により、正味の信号量を求めることができる。

30

【0065】

図 10 (b) に示すようにフォトゲート電圧 V_{PG} を第 2 電圧 $V_{(rd)}$ としてリセット動作すると、フォトゲート部 $PG_{(i,j)}$ のチャンネルに電荷を蓄積した状態とすることができる。フォトゲート電圧 V_{PG} が第 2 電圧 $V_{(rd)}$ の場合、シールド領域 6 の表面ピンニングが出来なくなるが、フォトゲート電圧 V_{PG} が第 2 電圧 $V_{(rd)}$ となる読出期間はフレーム期間に比べ極く短時間に抑えることができるから、この間に発生する暗電流の影響は無視できる。なお、フォトゲート部 $PG_{(i,j)}$ で光電変換された信号電荷 (電子) は、電荷読出領域 8 及びフォトゲート部 $PG_{(i,j)}$ に蓄積する。したがって、電荷読出し時の検出部容量が大きいため電荷電圧変換ゲインが低く、電圧感度は低い、蓄積可能電荷量を多くすることができる。

40

【0066】

更に、読出期間中に行われるリセット動作が終了した後の電荷読出領域 8 の電位は浮遊状態であり、読出期間終了後、図 10 (a) に示すように、フォトゲート電圧 V_{PG} を、ピンニング動作が可能な低い電圧に変更することで、電荷読出領域 8 の電位も低い電位にシフトする。即ち、読出期間終了後で光電変換蓄積動作中は、フォトゲート部 $PG_{(i,j)}$ はピンニング動作し、且つフォトゲート部 $PG_{(i,j)}$ と電荷検出部 $FD_{(i,j)}$ 間の電位差も小さい値になる。したがって、光電変換蓄積動作中の暗電流発生を大幅に低減することが可能となる。

【0067】

以上のように、第 2 の実施形態に係るフォトゲート型固体撮像装置によれば、第 1 の実

50

施形態に係るフォトゲート型固体撮像装置と同様に、蓄積期間に電荷検出マージンを確保しながらフォトゲート部 $PG_{(i,j)}$ のゲートに $0V$ 近傍の第1電圧 $V_{(pin)}$ を印加してピンニングさせても、電荷検出部 $FD_{(i,j)}$ における電界集中を抑えて暗電流の発生を抑制することができる。

【0068】

更に、第2の実施形態に係る画素 Q_{ij} においては、フォトゲート走査駆動回路21を用いてフォトゲート電圧 V_{PG} を可変とし、1フレーム内を時分割して、読出期間中はフォトゲート電圧 V_{PG} を高位電圧レベルである第2電圧 $V_{(rd)}$ とすると共に、リセットレベルの電圧を高くしてリセットすることで、電荷読出領域8の電位を高くする。これにより電荷検出マージンを確保すると共に、フォトゲート部 $PG_{(i,j)}$ と電荷検出部 $FD_{(i,j)}$ 間の電位差を小さくでき、読出期間中の電界集中を抑えることができ、読出期間中の過剰な暗電流発生が抑制される。

10

【0069】

なお、第5及び第6の実施形態として後述するが、第2の実施形態で説明したフォトゲート電圧 V_{PG} を2値の間でクロッキングする動作は、第2の実施形態に係る画素 Q_{ij} のシールド領域6を含まない構造の画素にも適用可能である。理由は、電荷読出時はフォトゲート部 $PG_{(i,j)}$ が高電圧なので電荷読出領域8との電位差は小さく抑えられ、電荷蓄積時はフォトゲート電圧 V_{PG} を低くしてもフローティング状態の電荷読出領域8の電位も引き下げられるから、フォトゲート部 $PG_{(i,j)}$ との電位差は小さいままに抑制されるからである。

20

【0070】

(第3の実施形態)

本発明の第3の実施形態に係るフォトゲート型の画素 $Q_{a_{ij}}$ は、図12に示すように、フォトゲート部 $PG_{(i,j)}$ 及び電荷検出部 $FD_{(i,j)}$ の平面パターンがいずれも環状である点が、第1の実施形態の場合と異なる。図12及び図13に示すように、中央から外側に向かって、リセットドレイン領域7a、リセットゲート電極12a、電荷読出領域8a、電荷生成埋込領域5a及びシールド領域6aと、電荷生成埋込領域5a及びシールド領域6aの上方の透明電極14aが同心円状に配列されている。

【0071】

第3の実施形態に係る画素 $Q_{a_{ij}}$ は、フォトゲート部 $PG_{(i,j)}$ を構成する透明電極14aと、このフォトゲート部 $PG_{(i,j)}$ に隣接して設けられた電荷検出部 $FD_{(i,j)}$ を構成する電荷読出領域8aと、電荷読出領域8aの電位をリセットするリセットトランジスタのリセットゲート電極12aとリセットドレイン領域7aを有する。図12及び図13には図示しないが、第3の実施形態に係る画素 $Q_{a_{ij}}$ は、電荷読出領域8aの電位変化を増幅する増幅トランジスタと、増幅トランジスタの出力を選択する選択トランジスタとを有する。

30

【0072】

第3の実施形態に係る画素 $Q_{a_{ij}}$ は、図13に示すように、p型の基体領域1aと、基体領域1aの上面に接して設けられたゲート絶縁膜4aとを備える。基体領域1aの上部の一部にはn型の電荷生成埋込領域5aが設けられている。電荷生成埋込領域5aの上部には、ゲート絶縁膜4aに接してシールド領域6aが設けられている。電荷生成埋込領域5a及びシールド領域6aの上方となるゲート絶縁膜4a上には、平面パターンで環状の透明電極14aが設けられている。

40

【0073】

図12に示すように、第3の実施形態に係る画素 $Q_{a_{ij}}$ の平面パターンは矩形であり、矩形の内部に環状のフォトゲート部 $PG_{(i,j)}$ が配置されている。図12は、ゲート絶縁膜4aを除いた状態の画素 $Q_{a_{ij}}$ の上面であるが、図13に示すように、画素 $Q_{a_{ij}}$ の基体領域1aの周縁側の上部には、p型の画素分離用埋込領域2aが設けられ、画素分離用埋込領域2aの上部の一部には、ゲート絶縁膜4aに接して、画素分離用埋込領域2aよりも高不純物密度の p^+ 型の接続領域3aが設けられ、チャンネルストップ領域として機

50

能している。画素 $Q a_{ij}$ のそれぞれは、 p 型の画素分離用埋込領域 $2 a$ 及び p^+ 型の接続領域 $3 a$ により互いに分離されるので、ガンマ線照射により劣化し易い画素分離用の酸化膜（図示せず）を電荷生成埋込領域 $5 a$ から遠ざけることができる。

【0074】

画素 $Q a_{ij}$ の基体領域 $1 a$ の中央の上部には、 p 型の画素分離用埋込領域 $2 a$ と同一の深さ、同一不純物密度で p 型のウェル領域 $11 a$ が設けられている。ウェル領域 $11 a$ の上部の中央の一部には、ゲート絶縁膜 $4 a$ に接して、電荷生成埋込領域 $5 a$ よりも高不純物密度で n^+ 型のリセットドレイン領域 $7 a$ が設けられている。ウェル領域 $11 a$ の上部の一部と、電荷生成埋込領域 $5 a$ の上部の一部とに跨った位置には、ゲート絶縁膜 $4 a$ に接して、電荷生成埋込領域 $5 a$ よりも高不純物密度で n^+ 型の電荷読出領域 $8 a$ が設けられている。 p 型のウェル領域 $11 a$ と p 型の画素分離用埋込領域 $2 a$ は共通した領域として同一工程で形成すれば製造工程が簡略化できる。なお、製造工程の複雑化を考慮しなければ、 p 型の画素分離用埋込領域 $2 a$ と p 型のウェル領域 $11 a$ とが同一の深さ、同一不純物密度である必要は、必ずしも存在しない。

10

【0075】

リセットドレイン領域 $7 a$ 及び電荷読出領域 $8 a$ の間のウェル領域 $11 a$ の上方となるゲート絶縁膜 $4 a$ 上には、平面パターンで環状のリセットゲート電極 $12 a$ が設けられている。第3の実施形態に係るフォトゲート型固体撮像装置のそれぞれ層又は領域等の構造については、第1の実施形態に係るフォトゲート型固体撮像装置における同名の層又は領域等の構造と等価であるため、重複説明を省略する。

20

【0076】

第3の実施形態に係る画素 $Q a_{ij}$ は、図1に示した第1の実施形態に係る画素 Q_{ij} を置換して適用可能であり、この場合の第3の実施形態に係るフォトゲート型固体撮像装置の動作は、図6を用いて説明した第1の実施形態に係るフォトゲート型固体撮像装置の動作と同様である。或いは、第3の実施形態に係る画素 $Q a_{ij}$ は、図1に示した第2の実施形態に係る画素 Q_{ij} を置換して適用可能であり、この場合の第3の実施形態に係るフォトゲート型固体撮像装置の動作は、図11を用いて説明した第2の実施形態に係るフォトゲート型固体撮像装置の動作と同様である。

【0077】

第3の実施形態に係るフォトゲート型固体撮像装置によれば、第1及び第2の実施形態に係るフォトゲート型固体撮像装置の場合と同様に、電荷検出マージンを確保しながらフォトゲート部 $P G_{(i,j)}$ のゲートに $0 V$ 近傍の電圧を印加してピンニングさせることができ、電荷検出部 $F D_{(i,j)}$ における電界集中を抑えて暗電流の発生を抑制することができる。

30

【0078】

（第4の実施形態）

本発明の第4の実施形態に係るフォトゲート型固体撮像装置は、図14に示すように、電荷転送部をそれぞれ有する複数のフォトゲート型の画素 $Q b_{ij}$ がマトリクス状に配列された画素領域と、画素領域の周辺に配列された転送トランジスタ走査駆動回路 31 、リセットトランジスタ走査駆動回路 32 、選択トランジスタ走査駆動回路 33 及び読出回路 34 等を有する周辺回路部を備える。

40

【0079】

第4の実施形態に係る画素 $Q b_{ij}$ は、図15、図16(a)及び図16(b)に例示したように、 p 型の基体領域 $1 b$ と、基体領域 $1 b$ の上面に設けられた基体領域 $1 b$ とフォトダイオードを構成する n 型の電荷生成埋込領域 $5 b$ と、電荷生成埋込領域 $5 b$ の上面に設けられた p 型のシールド領域 $6 b$ と、シールド領域 $6 b$ の上面に接して設けられたゲート絶縁膜 $4 b$ と、ゲート絶縁膜 $4 b$ 上に設けられた透明電極 $14 b$ を備えるフォトゲート型の構造である点で第1の実施形態に係る画素 Q_{ij} と同様である。このフォトゲート型の構造画素 $Q b_{ij}$ は、更に基体領域 $1 b$ の上部に埋め込まれ、電荷生成埋込領域 $5 b$ よりも高不純物密度の n 型の電荷読出領域 $8 b$ と、電荷読出領域 $8 b$ から離間して埋め込まれ、

50

電荷生成埋込領域 5 b よりも高不純物密度の n 型のリセットドレイン領域 7 b と、電荷読出領域 8 b とリセットドレイン領域 7 b との間の基体領域 1 b の上方となるゲート絶縁膜 4 b 上に設けられたリセットゲート電極 1 2 b とを備える点でも、第 1 の実施形態に係る画素 Q_{ij} と同様である。

【 0 0 8 0 】

しかしながら、第 4 の実施形態に係る画素 Q_{bij} は、透明電極 1 4 b と電荷読出領域 8 b との間に、基体領域 1 b 及びゲート絶縁膜 4 の上で、透明電極 1 4 b とギャップ d を空けて隣接する転送ゲート電極 1 5 b を更に備える点で第 1 の実施形態に係る画素 Q_{ij} とは異なる。後述するように、転送ゲート電極 1 5 b に印加する電圧を低電圧から高電圧に変化させることにより、電荷生成埋込領域 5 b から電荷読出領域 8 b へ信号電荷が転送される。転送ゲート電極 1 5 b と透明電極 1 4 b の間のギャップ d は加工最小スペースに設計すればよい。

10

【 0 0 8 1 】

また、n 型の電荷生成埋込領域 5 は画素分離用絶縁膜 9 b とは p 型の画素分離用埋込領域 2 b で分離され、一部は画素分離用埋込領域 2 b よりも高不純物密度の p^+ 型の接続領域 3 b が介在している。即ち、p 型のシールド領域 6 b の端部は p^+ 型の接続領域 3 b を介して画素周辺部の p 型の画素分離用埋込領域 2 b に電氣的に接続されている。この結果、p 型のシールド領域 6 b の端部は p^+ 型の接続領域 3 b を介して p 型の基体領域 1 b に電氣的に短絡されている。図 1 7 は、図 1 6 (a) に対応する断面の第 4 の実施形態に係る画素 Q_{bij} のポテンシャル分布を示す。

20

【 0 0 8 2 】

図 1 4 に示した転送トランジスタ走査駆動回路 3 1 は、画素 Q_{bij} の転送ゲート電極 1 5 b のそれぞれに対し印加する電圧を低電圧として、光電変換で発生した信号電荷を電荷生成埋込領域 5 b に蓄積させる第 1 電圧と、転送ゲート電極 1 5 b に印加する電圧を高電圧として、電荷生成埋込領域 5 b に蓄積した電荷を電荷検出部 8 b に転送する第 2 電圧を、各画素 Q_{bij} のそれぞれの、転送ゲート電極 1 5 b に印加する。また、各画素 Q_{bij} のそれぞれの透明電極 1 4 b に印加する電圧 V_{PG} としては、p 型のシールド領域 6 b 表面に多数キャリア（正孔）をピンニングするように、0 V 近傍の一定値（DC）を印加する。

【 0 0 8 3 】

図 1 8 は、図 1 4 中で水平方向に延びるそれぞれの駆動線のうち、 i 行及び $(i + 1)$ 行の転送駆動線 $DTX_{(i)}$ 、 $DTX_{(i+1)}$ ；リセット駆動線 $DRT_{(i)}$ 、 $DRT_{(i+1)}$ ；選択駆動線 $DSL_{(i)}$ 、 $DSL_{(i+1)}$ に着目したタイミング図である。ここで、行順次で読み出すことを前提として、「1H」は行読出し周期であり、「1V」はフレーム読出し周期である。

30

【 0 0 8 4 】

i 行目で見た場合、蓄積期間 $Storage(i)$ では選択ゲート信号 $DSL(i)$ を低電圧にして画素を信号線から切り離すと共に、転送ゲート信号 $DTX(i)$ を低電圧として光電変換蓄積動作を行う。なお、フォトゲート部 $PG_{(i,j)}$ に信号電荷を蓄積させる際、透明電極 1 4 b の電圧 V_{PG} は、図 1 (c) の場合と同様、p 型のシールド領域 6 b 表面に多数キャリア（正孔）をピンニングするように、0 V 近傍の電圧となる一定値（DC）を印加する。

40

【 0 0 8 5 】

読出期間 $Read(i)$ では選択ゲート信号 DSL を高電圧にして画素を信号線に読み出すと共に、読出期間 $Read(i)$ の先頭でリセットゲート信号 $DRT(i)$ を高電圧にしてリセット $Res(i)$ 読出しを行った後、読出期間 $Read(i)$ の途中で転送ゲート信号 $DTX(i)$ が高電圧となり、その直後に信号 $Sig(i)$ 読出しを行う。そして読出回路 3 4 で、リセットレベルの信号 $Res_{(i)}$ 及び蓄積された信号電荷の信号 $Sig_{(i)}$ の差をとる相関 2 重サンプリング（CD S）動作が実行されることにより、増幅トランジスタ $SF_{(i,j)}$ の閾値ばらつきだけでなく、リセットノイズも除去された正味の信号を得る。

50

【0086】

図19(a)に示すように、光電変換蓄積時には転送ゲート電極15bに印加する電圧を低電圧として、光電変換で発生した信号電荷を電荷生成埋込領域5bに蓄積する。図19(b)に示すように、電荷転送時には転送ゲート電極15bに印加する電圧を高電圧として、電荷生成埋込領域5bに蓄積した電荷を電荷検出部8bに転送する。

【0087】

第4の実施形態に係るフォトゲート型固体撮像装置によれば、第1～第3の実施形態の場合と同様に、電荷検出マージンを確保しながらフォトゲート部 $PG_{(i,j)}$ のゲートに0V近傍の電圧を印加してピンニングさせることができ、暗電流の発生を抑制することができる。

10

【0088】

なお、図15、図16(a)及び図16(b)に示した第4の実施形態に係る画素 $Q_{b_{ij}}$ のシールド領域6bの上面に透明電極14bが無い構造は、埋め込みフォトダイオード構造として知られる公知のものである。第4の実施形態に係る画素 $Q_{b_{ij}}$ のように、シールド領域6bの上面にゲート絶縁膜4bを介して透明電極14bを設けることは、電極材料として一般的に使われるポリシリコンが青色のような短波長光を吸収し、色再現性が低下するため、通常環境で使われるイメージセンサの場合には好ましくない。また、第1の実施形態で既に述べたとおり、シールド領域6b自体、仮想電極と呼ばれることもあり、その上に電極を形成する意味は通常用途では考えられない。更に、透明電極14bを形成する場合、透明電極14bと転送ゲート電極15bの間のギャップdの形成が加工上の課題となる。これに対して、特異な構造を有する第4の実施形態に係る画素 $Q_{b_{ij}}$ では、若干の短波長光感度を犠牲にしているものの、光電変換部の表面にシールド領域6bのみを有する従来構造の場合問題であった、放射線によりシールド領域6b表面が空乏化し暗電流が急増するのを、透明電極14bでシールド領域6b表面の空乏化を防止できるため、加工上の課題を克服して非常に高い耐放射線性能を得ることを目的としており、顕著な効果を奏するものである。

20

【0089】

(第5の実施形態)

既に述べたとおり、第1～第4の実施形態で説明したシールド領域6, 6a, 6bは、フォトゲート型の構造以外の光検出素子では仮想電極と呼ばれることもあり、仮想電極の上に透明電極14, 14a, 14bを形成することは技術常識上考えられないものであった。即ち、従来技術常識では、フォトゲート型の構造を構成している電荷生成埋込領域5, 5a, 5bの上にp型のシールド領域6, 6a, 6bを配置することは不適切な設計であると考えられていた。

30

【0090】

このため第1～第4の実施形態で説明した発明に至る前に、本発明者らはシールド領域6, 6a, 6bを配置しない構造において、周辺回路であるフォトゲート走査駆動回路21の工夫により、電荷読出領域8, 8a, 8bのフォトゲート部に接する境界部で非常に強い電界が形成されるという課題を解決することを模索した。本発明の第5の実施形態に係るフォトゲート型固体撮像装置は、図9に示した第2の実施形態に係るフォトゲート型固体撮像装置と同様に、複数のフォトゲート型の画素 $Q_{c_{ij}}$ がマトリクス状に配列された画素領域と、画素領域の周辺に配列されたフォトゲート走査駆動回路21、リセットトランジスタ走査駆動回路22及び選択トランジスタ走査駆動回路23等を有する周辺回路部を備える。

40

【0091】

第5の実施形態に係る画素 $Q_{c_{ij}}$ は、図20及び図21に例示したように、p型の基体領域1c、この基体領域1cの上部に埋め込まれたn型の電荷生成埋込領域5c、この電荷生成埋込領域5cに接したゲート絶縁膜4c、このゲート絶縁膜4cの上に設けられた透明電極14cを有するフォトゲート部 $PG_{(i,j)}$ と、電荷生成埋込領域5cに接続された電荷生成埋込領域5cよりも高不純物密度でn型の電荷読出領域8cとを有する画素で

50

ある。即ち、第5の実施形態に係る画素 $Q_{c_{ij}}$ は、図2、図3(a)及び図3(b)に示した電荷生成埋込領域5cの上面にゲート絶縁膜4と接して設けられたシールド領域6が無い点で、第1の実施形態で説明した画素 Q_{ij} と異なる。第5の実施形態に係る画素 $Q_{c_{ij}}$ のフォトゲート部 $PG_{(i,j)}$ は、電荷生成埋込領域5cと、電荷生成埋込領域5cの直上の透明電極14cが、その間の薄いゲート絶縁膜4cを挟んで存在する領域で構成される。

【0092】

図20及び図21に示した画素 $Q_{c_{ij}}$ の透明電極14cのそれぞれに対し、図9に示したフォトゲート走査駆動回路21は、電荷生成埋込領域5cとゲート絶縁膜4cの界面の表面電位を、電荷生成埋込領域5cの少数キャリアでピンニングさせる第1電圧と、第1電圧より電荷生成埋込領域5cのチャネルポテンシャルが深くなる方向にシフトした第2電圧を印加する。即ち、図23に示したようなタイミングチャートに従い、1フレーム内を「蓄積期間」と「読出期間」に時分割し、蓄積期間には第1電圧を、読出期間には第2電圧を、各画素 $Q_{c_{ij}}$ のそれぞれの透明電極14cに印加する。

10

【0093】

画素 $Q_{c_{ij}}$ においては、フォトゲート部 $PG_{(i,j)}$ における光電変換により、蓄積期間に発生した信号電荷が、読出期間に電荷読出領域8cから読み出される。図21に示すように、第5の実施形態に係る画素 $Q_{c_{ij}}$ においては、蓄積期間に透明電極14cに第1電圧を印加することにより、ゲート絶縁膜4cの直下に少数キャリアである正孔(ホール)が誘起されて反転層51cが形成される。

20

【0094】

既に述べたとおり、半導体素子にガンマ線が照射されると、半導体表面の酸化膜中に多量の電子正孔対が発生し酸化膜の半導体表面側に正電荷が集まる。これが半導体表面を空乏化させて大きな暗電流となる。第5の実施形態に係る画素 $Q_{c_{ij}}$ においては、電荷生成埋込領域5cがn型であるので、蓄積期間に透明電極14cの直下の電荷生成埋込領域5cの表面に多量の正孔(ホール)による反転層51cが形成される。正孔で電荷生成埋込領域5cの表面電位が蓄積期間にピンニングされることにより、ゲート絶縁膜4cと電荷生成埋込領域5cとの界面の界面準位が不活性化される。特に、第5の実施形態に係るフォトゲート構造では、図21に示すように、電荷生成埋込領域5cの上には薄いゲート絶縁膜4cしか存在せず、ゲート絶縁膜4c中に生成される正孔の絶対量は僅かである。よって、第5の実施形態に係る画素 $Q_{c_{ij}}$ によっても上記の界面準位の不活性化と合わせて、耐放射線特性は大幅に改善されることは第1～第4の実施形態に係る画素 Q_{ij} 、 $Q_{a_{ij}}$ 、 $Q_{b_{ij}}$ 、 $Q_{c_{ij}}$ と同様である。

30

【0095】

図20に示すように、第5の実施形態に係る画素 $Q_{c_{ij}}$ の平面パターンは、例えば矩形状に設計可能である。図20は、ゲート絶縁膜4cを除いた状態の画素 $Q_{c_{ij}}$ の上面を示す。なお、図20には図9に示した増幅トランジスタ $SF_{(i,j)}$ 及び選択トランジスタ $SL_{(i,j)}$ は図示していない。断面図として図21の左側に一部が露出しているが、図20に示すように、画素 $Q_{c_{ij}}$ の周辺部において、基体領域1cの上部にp型の画素分離用埋込領域2cが設けられている。画素分離用埋込領域2cの上部の一部には、ゲート絶縁膜4cに接して、画素分離用埋込領域2cよりも高不純物密度のp型の接続領域3cが画素 $Q_{c_{ij}}$ を囲むように設けられている。

40

【0096】

図20及び図21のいずれも右側に示したように、画素 $Q_{c_{ij}}$ の基体領域1cの上部には、p型のウェル領域11cが画素分離用埋込領域2cと同じ深さで設けられている。ウェル領域11cの上部の一部には、ゲート絶縁膜4cに接して、電荷生成埋込領域5cよりも高不純物密度でn型のリセットドレイン領域7cが設けられている。なお、通常、p型のウェル領域11cとp型の画素分離用埋込領域2cは共通した領域として形成される。

【0097】

50

ウェル領域 11c と電荷生成埋込領域 5c の間には、ゲート絶縁膜 4c に接して、電荷生成埋込領域 5c よりも高不純物密度で n 型の電荷読出領域 8c が設けられている。リセットドレイン領域 7c 及び電荷読出領域 8c の間のウェル領域 11c の上方となるゲート絶縁膜 4c 上には、リセットゲート電極 12c が設けられて、nMOS トランジスタと等価な構造でリセットトランジスタ $RT_{(i,j)}$ が実現されている。リセットトランジスタはリセットゲート電極 12c に高位電圧を印加して電荷読出領域 8c の電荷をリセットドレイン領域 7c に排出する。

【0098】

第 5 の実施形態に係るフォトゲート型固体撮像装置の蓄積期間では、フォトゲート部 $PG_{(i,j)}$ に印加する第 1 電圧 $V_{(pin)}$ を、第 2 の実施形態に係るフォトゲート型固体撮像装置において説明したような 1 次元計算により、 $-1V \sim -2V$ 程度に設定する。電荷検出部 $FD_{(i,j)}$ の電圧とフォトゲート電圧 V_{PG} の電位差は、前述のように、上記読出期間の値が蓄積期間の開始時に維持され、更にその後信号電荷が蓄積するに伴い電荷検出部 $FD_{(i,j)}$ の電位は低下するから、電荷検出部 $FD_{(i,j)}$ の電圧とフォトゲート電圧 V_{PG} の電位差は一層小さくなる。第 2 電圧 $V_{(rd)}$ 及び第 1 電圧 $V_{(pin)}$ は、例示した値以外、上述したように読出時に電荷検出マージンが確保でき、蓄積時にピンニングができる他の値の場合にも適用可能である。

10

【0099】

フォトゲート走査駆動回路 21 から出力される第 1 電圧 $V_{(pin)}$ 及び第 2 電圧 $V_{(rd)}$ はいずれも、公知のレベルシフター等を用いて段階的にシフトさせることにより生成できる。フォトゲート走査駆動回路 21 を構成するレベルシフターは、図 22 に示すように、nMOS トランジスタ及び pMOS トランジスタを複数組み合わせたロジック回路で実現できる。図 22 中の回路は、第 2 電圧 $V_{(rd)}$ として $0V$ 、第 1 電圧 $V_{(pin)}$ として $-2V$ の出力電圧を生成する場合を例示している。

20

【0100】

図 22 の回路の左側に示す入力側に、例えば低位電圧側が $0V$ 、高位電圧側が $1.5V$ となるパルスを入力すると、レベルシフター (1) を用いて、低位電圧側の入力電圧 $0V$ を $-2V$ へシフトして、図 22 の回路の右側に示す出力側に低位電圧側が第 1 電圧 $V_{(pin)}$ となるパルスを出力できる。この段階では高位電圧側の電圧は $1.5V$ のままであるが、次にレベルシフター (2) を用いて、高位電圧側の入力電圧 $1.5V$ を $0V$ へシフトすれば、低位電圧側は第 1 電圧 $V_{(pin)}$ のまま高位電圧側が第 2 電圧 $V_{(rd)}$ となるパルスを出力できる。

30

【0101】

尚、図 22 の回路の下半分の nMOS トランジスタ側の領域には、初段の第 1 p ウェル領域 $PW1$ と、後段の第 2 p ウェル領域 $PW2$ とが左右に並べて配置されている。第 1 p ウェル領域 $PW1$ は $0V$ であるが、第 2 p ウェル領域 $PW2$ は $-2V$ になるため、 $0V$ の設置電圧である p 型の基板との間に、ディープ n ウェル領域 DNW が設けられている。図 22 の回路の上半分の pMOS トランジスタ側の領域には、 $1.5V$ に対応する通常の n ウェル領域 NW が配置されている。

40

【0102】

図 23 は、図 9 中で水平方向に延びるそれぞれの駆動線のうち、 i 行及び $(i+1)$ 行のフォトゲート駆動線 $DPG_{(i)}$ 、 $DPG_{(i+1)}$ ；リセット駆動線 $DRT_{(i)}$ 、 $DRT_{(i+1)}$ ；選択駆動線 $DSL_{(i)}$ 、 $DSL_{(i+1)}$ に着目したタイミング図である。まず、 i 行目の画素 Qc_{ij} における読み出しでは、選択トランジスタ走査駆動回路 23 の選択駆動線 $DSL_{(i)}$ が、読出期間に高位電圧レベルになって画素信号を出力線に読み出す。読み出しより少し前に、フォトゲート走査駆動回路 21 のフォトゲート駆動線 $DPG_{(i)}$ が高位電圧レベルとなり、その途中でリセットトランジスタ走査駆動回路 22 のリセット駆動線 $DRT_{(i)}$ が高位電圧レベルとなることで、電荷読出領域 8 がリセットされる。

【0103】

リセット動作の直前には、リセット動作までの間に電荷検出部 $FD_{(i,j)}$ に蓄積された

50

信号電荷の信号 $\text{Sig}_{(i)}$ が電荷読出領域8cから読み出される。リセット動作の直後には、電荷検出部 $\text{FD}_{(i,j)}$ の信号電荷が排出されたりリセットレベルの信号 $\text{Res}_{(i)}$ が電荷読出領域8から読み出される。そして読出回路24で、蓄積された信号電荷の信号 $\text{Sig}_{(i)}$ 及びリセットレベルの信号 $\text{Res}_{(i)}$ の差をとる相関2重サンプリング(CDS)動作が実行されることにより、正味の信号を得る。

【0104】

読出期間終了後、蓄積期間となり、フォトゲート走査駆動回路21のフォトゲート駆動線 $\text{DPG}_{(i)}$ は、フォトゲート部 $\text{PG}_{(i,j)}$ がピンニングする低位電圧レベルの値に変化する。図25に、第5の実施形態に係る画素 Qc_{ij} の透明電極14cにフォトゲート電圧 VPG として蓄積期間に負電位を印加して、フォトゲート部 $\text{PG}_{(i,j)}$ の表面でピンニングを行った場合のポテンシャルを示す。フォトゲート部 $\text{PG}_{(i,j)}$ 下の反転層51cでは、蓄積期間においてピンニング状態により、表面での暗電流発生が抑制され、耐放射線特性が向上する。また、電荷生成埋込領域5cのポテンシャルで一番深い所がチャンネル52cとなる。

10

【0105】

電荷検出部 $\text{FD}_{(i,j)}$ の電荷読出領域8cは、読出期間の内リセットトランジスタ走査駆動回路22のリセット駆動線 $\text{DR T}_{(i)}$ が高位電圧レベルである期間以外では浮遊状態である。そのため、フォトゲート走査駆動回路21のフォトゲート駆動線 $\text{DPG}_{(i)}$ が、読出期間の高位電圧レベルから蓄積期間の低位電圧レベルに変化すると、電荷読出領域8cのレベルも、低位電圧レベルにシフトする。したがって、電荷検出部 $\text{FD}_{(i,j)}$ と電荷読出領域8cの間の電位差は小さい値のままの状態が維持され、電界集中が防止され、暗電流発生が抑制される。なお、フォトゲート駆動線 $\text{DPG}_{(i)}$ が第1電圧 $\text{V}_{(\text{pin})}$ と第2電圧 $\text{V}_{(\text{rd})}$ との間で変化するタイミングは、当該変化が信号線へ影響するのを抑えるため、図23に示すように選択駆動線 $\text{DSL}_{(i)}$ がオフ(低位電圧レベル)の期間が望ましい。

20

【0106】

次に、 $(i+1)$ 行目の画素 $\text{Qc}_{i+1,j}$ は、時間方向に1水平走査期間シフトして、 i 行目の場合と同様に駆動される。続けて、 $(i+2)$ 行目、 $(i+3)$ 行目、...と、それぞれの行において、時間方向に1水平走査期間単位でシフトしながら i 行目の場合と同様の動作が繰り返され、フォトゲート型固体撮像装置の画素領域全体の読み出しが実行される。いずれの行においても、電荷読出領域8とフォトゲート部 $\text{PG}_{(i,j)}$ 間の電位差は小さい値のままの状態が維持され、電界集中が防止される。

30

【0107】

リセット動作及び信号検出動作中の読出期間と、光電変換蓄積動作中の蓄積期間とにおける、それぞれの画素 Qc_{ij} のポテンシャル状態の変化を、図24を参照して説明する。図24(a)に示すように、信号を検出して読み出す読出期間中は、フォトゲート部 $\text{PG}_{(i,j)}$ の透明電極14cの電圧は比較的高く、ポテンシャルは深い。そしてリセットトランジスタ $\text{RT}_{(i,j)}$ をターン・オンすることにより、電荷検出部 $\text{FD}_{(i,j)}$ 及びフォトゲート部 $\text{PG}_{(i,j)}$ の下の電荷生成埋込領域5cに生成されるチャンネル52cのポテンシャルは、高い電位に応じて、深いポテンシャル $\text{pd}(H)$ にリセットされる。

40

【0108】

フォトゲート部 $\text{PG}_{(i,j)}$ のゲート電圧及びリセットトランジスタ $\text{RT}_{(i,j)}$ のリセットドレイン電圧 VRD を適宜設定することで、フォトゲート部 $\text{PG}_{(i,j)}$ 下のチャンネル52cにも電荷が蓄積される。そして、リセットトランジスタ $\text{RT}_{(i,j)}$ をオフ状態にして、電荷検出部 $\text{FD}_{(i,j)}$ 及びフォトゲート部 $\text{PG}_{(i,j)}$ 下のチャンネル52cの電荷を浮遊状態に変化させる。なお、以下ではフォトゲート部 $\text{PG}_{(i,j)}$ 下のチャンネル52cにも電荷が蓄積される場合について述べるが、電荷検出部 $\text{FD}_{(i,j)}$ のみに電荷が蓄積される場合にも本発明は適用可能である。

【0109】

次に、フォトゲート部 $\text{PG}_{(i,j)}$ の透明電極14cに印加するフォトゲート電圧 VPG を、蓄積期間において、電荷生成埋込領域5cの表面に生成される反転層51cが正孔で

50

覆われるピンニング状態になるまで低い電圧にシフトする。画素 $Q_{c_{ij}}$ は、光電変換蓄積動作に移行する。図 24 (b) に示すように、信号電荷を蓄積している蓄積期間においては、電荷検出部 $FD_{(i,j)}$ 及びフォトゲート部 $PG_{(i,j)}$ 下のチャネル 52c に蓄積した電荷は浮遊状態であるため、フォトゲート部 $PG_{(i,j)}$ とチャネル 52c 及び電荷検出部 $FD_{(i,j)}$ との間の容量結合により、フォトゲート部 $PG_{(i,j)}$ のゲート電圧の電位変化に伴い、チャネル 52c のポテンシャルは比較的浅い $pd(L)$ にシフトする。図示しないが、電荷検出部 $FD_{(i,j)}$ のみに電荷が蓄積される場合には、フォトゲート部 $PG_{(i,j)}$ と電荷検出部 $FD_{(i,j)}$ との間の容量結合により、電荷検出部 $FD_{(i,j)}$ の低い電位へのシフトが可能である。

【0110】

したがって、電荷検出部 $FD_{(i,j)}$ とフォトゲート部 $PG_{(i,j)}$ 間の電位差が小さい状態が維持されるので、光電変換蓄積動作において、フォトゲート部 $PG_{(i,j)}$ のチャネル 52c はピンニング状態に起因する表面での暗電流発生が抑制されると共に、電界集中による暗電流も抑制される。信号の読み出しは、次の読出期間の始めであって、リセット動作の直前に行われる。即ち図 24 (a) の状態に戻り、信号電荷によりリセットレベル $pd(H)$ からの電位のずれ量により、正味の信号量を求めることができる。

【0111】

第 5 の実施形態に係る画素 $Q_{c_{ij}}$ においては、フォトゲート電圧 V_{PG} を可変とし、読出期間中はフォトゲート電圧 V_{PG} を高位電圧レベルとすると共に、リセットレベルの電圧を高くしてリセットすることで、電荷読出領域 8c の電位を高くする。これにより、第 1 ~ 第 4 の実施形態で説明したシールド領域 6, 6a, 6b が無い構造であっても、電荷検出マージンを確保すると共に、フォトゲート部 $PG_{(i,j)}$ と電荷検出部 $FD_{(i,j)}$ 間の電位差を小さくでき、読出期間中の電界集中を抑えることができ、読出期間中の過剰な暗電流発生が抑制される。

【0112】

更に、読出期間中に行われるリセット動作が終了した後の電荷読出領域 8 の電位は浮遊状態であり、読出期間終了後、フォトゲート電圧 V_{PG} を、ピンニング動作が可能な低い電圧に変更することで、電荷読出領域 8 の電位も低い電位にシフトする。即ち、読出期間終了後で光電変換蓄積動作中は、フォトゲート部 $PG_{(i,j)}$ はピンニング動作し、且つフォトゲート部 $PG_{(i,j)}$ と電荷検出部 $FD_{(i,j)}$ 間の電位差も小さい値になる。したがって、光電変換蓄積動作中の暗電流発生を大幅に低減することが可能となる。

【0113】

よって第 5 の実施形態に係るフォトゲート型固体撮像装置によれば、第 1 ~ 第 4 の実施形態で説明したシールド領域 6, 6a, 6b が無い構造にもかかわらず、フォトゲート走査駆動回路 21 を用いることにより、1 フレーム内を時分割して、蓄積期間に電荷検出マージンを確保しながらフォトゲート部 $PG_{(i,j)}$ のゲートに負電圧を印加してピンニングさせても、電荷検出部 $FD_{(i,j)}$ における電界集中を抑えて暗電流の発生を抑制することができる。

【0114】

(第 6 の実施形態)

本発明の第 6 の実施形態に係るフォトゲート型固体撮像装置は、図 9 に示した第 2 の実施形態に係るフォトゲート型固体撮像装置と同様に、複数の画素 $Q_{d_{ij}}$ がマトリクス状に配列された画素領域と、画素領域の周辺に配列されたフォトゲート走査駆動回路 21、リセットトランジスタ走査駆動回路 22 及び選択トランジスタ走査駆動回路 23 等を有する周辺回路部を備える。第 6 の実施形態に係るフォトゲート型固体撮像装置は、図 26 及び図 27 に示すように、フォトゲート部 $PG_{(i,j)}$ 及び電荷検出部 $FD_{(i,j)}$ の平面パターンがいずれも環状である点が、第 5 の実施形態の場合と異なるが、第 1 ~ 第 4 の実施形態で説明したシールド領域 6, 6a, 6b が無い構造である点では第 5 の実施形態の場合と同様である。

【0115】

10

20

30

40

50

第6の実施形態に係る画素 $Q_{d_{ij}}$ は、フォトゲート部 $PG_{(i,j)}$ を構成する透明電極14dと、このフォトゲート部 $PG_{(i,j)}$ に隣接して設けられた電荷検出部 $FD_{(i,j)}$ を構成する電荷読出領域8dと、電荷読出領域8dの電位をリセットするリセットトランジスタのリセットゲート電極12dとリセットドレイン領域7dを有する。また、第6の実施形態に係る画素 $Q_{d_{ij}}$ は、図26及び図27では図示を省略するが、電荷読出領域8dの電位変化を増幅する増幅トランジスタと、増幅トランジスタの出力を選択する選択トランジスタとを有する。

【0116】

第6の実施形態に係る画素 $Q_{d_{ij}}$ は、図27に示すように、p型の基体領域1dと、この基体領域1dの上面に接して設けられたゲート絶縁膜4dとを備える。基体領域1dの上部の一部には、ゲート絶縁膜4dに接して、n型の電荷生成埋込領域5dが設けられている。電荷生成埋込領域5dの上部には、反転層51dが形成される。電荷生成埋込領域5dの上方となるゲート絶縁膜4d上には、平面パターンで環状の透明電極14dが設けられている。

10

【0117】

図26に示すように、第6の実施形態に係る画素 $Q_{d_{ij}}$ は平面パターンで矩形状であり、矩形の中央に環状のフォトゲート部 $PG_{(i,j)}$ が配置されている。図26は、ゲート絶縁膜4dを除いた状態の画素 $Q_{d_{ij}}$ の上面を示すが、図27に示すように、画素 $Q_{d_{ij}}$ の基体領域1dの周縁側の上部には、p型の画素分離用埋込領域2dが設けられている。画素分離用埋込領域2dの上部の一部には、ゲート絶縁膜4dに接して、画素分離用埋込領域2dよりも高不純物密度のp型の接続領域3dが設けられ、チャンネルストップ領域として機能している。

20

【0118】

画素 $Q_{d_{ij}}$ の基体領域1dの中央の上部にはp型のウェル領域11dがp型の画素分離用埋込領域2dと同じ深さで設けられている。ウェル領域11dの上部の中央の一部には、ゲート絶縁膜4dに接して、電荷生成埋込領域5dよりも高不純物密度でn型のリセットドレイン領域7dが設けられている。ウェル領域11dの上部の一部と、電荷生成埋込領域5dの上部の一部とに跨った位置には、ゲート絶縁膜4dに接して、電荷生成埋込領域5dよりも高不純物密度でn型の電荷読出領域8dが設けられている。p型のウェル領域11dとp型の画素分離用埋込領域2dは共通した領域として形成することが可能である。

30

【0119】

リセットドレイン領域7d及び電荷読出領域8dの間のウェル領域11dの上方となるゲート絶縁膜4d上には、平面パターンで環状のリセットゲート電極12dが設けられている。第6の実施形態に係るフォトゲート型固体撮像装置のそれぞれ層又は領域等の構造については、第5の実施形態に係るフォトゲート型固体撮像装置における同名の層又は領域等の構造と等価であるため、重複説明を省略する。

【0120】

第6の実施形態に係るフォトゲート型固体撮像装置の動作は、図23を用いて説明した第5の実施形態に係るフォトゲート型固体撮像装置の動作と同様である。第6の実施形態に係る画素 $Q_{d_{ij}}$ は、図28(a)に示すように、信号を検出して読み出す読出期間中は、フォトゲート部 $PG_{(i,j)}$ の透明電極14dの電圧は比較的高く、ポテンシャルは深い。また、リセットトランジスタをターン・オンすることにより、電荷検出部 $FD_{(i,j)}$ 及びフォトゲート部 $PG_{(i,j)}$ の下のチャンネル52dのポテンシャルは、第5の実施形態に係る画素 $Q_{c_{ij}}$ の場合と同様に、深いポテンシャル $pd(H)$ にリセットされる。

40

【0121】

そしてリセットトランジスタをオフ状態にして、電荷検出部 $FD_{(i,j)}$ 及びフォトゲート部 $PG_{(i,j)}$ 下のチャンネル52dの電荷を浮遊状態に変化させる。次に、蓄積期間においては、フォトゲート部 $PG_{(i,j)}$ の透明電極14dに印加するフォトゲート電圧 V_{PG} を、電荷生成埋込領域5dの表面に生成される反転層51dが正孔で覆われるピンニング

50

状態になるまで低い電圧にシフトして、光電変換蓄積動作に移行する。

【0122】

信号電荷を蓄積している蓄積期間においては、図28(b)に示すように、第5の実施形態に係る画素 $Q_{c_{ij}}$ の場合と同様に、チャンネル52dのポテンシャルは比較的浅い $pd(L)$ にシフトし、電荷検出部 $FD_{(i,j)}$ とフォトゲート部 $PG_{(i,j)}$ の間の電位差は小さい値の状態が維持される。よって、第6の実施形態に係るフォトゲート型固体撮像装置によれば、第1～第4の実施形態で説明したシールド領域6, 6a, 6bが無い構造であっても、フォトゲート走査駆動回路を用いることにより、1フレーム内を時分割して、蓄積期間に電荷検出マージンを確保しながらフォトゲート部 $PG_{(i,j)}$ のゲートに負電圧を印加してピンニングさせても、電荷検出部 $FD_{(i,j)}$ における電界集中を抑えて暗電流の発生を抑制することができるという第5の実施形態の場合と同様な効果を奏することができる。

10

【0123】

(その他の実施形態)

本発明は上記した第1～第6の実施形態によって説明したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

【0124】

例えば、第3又は第6の実施形態に係る画素 $Q_{a_{ij}}$, $Q_{d_{ij}}$ には、平面パターンで、ほぼ八角形状である環状のフォトゲート部 $PG_{(i,j)}$ 及び電荷検出部 $FD_{(i,j)}$ が示されていたが、環状としては、八角形状以外にも、四角形状、六角形状或いは十角以上の多角形状等が含まれてよい。また、円形状及び楕円形状であってもよい。

20

【0125】

また、既に述べた第1～第6の実施形態等の説明においては、信号電荷が電子であって、画素 Q_{ij} , $Q_{a_{ij}}$, $Q_{b_{ij}}$, $Q_{c_{ij}}$, $Q_{d_{ij}}$ 内のトランジスタがn型の場合を例示して行ったが、本発明はこれに限定されるものではない。信号電荷が正孔であって、画素 Q_{ij} , $Q_{a_{ij}}$, $Q_{b_{ij}}$, $Q_{c_{ij}}$, $Q_{d_{ij}}$ 内のトランジスタがp型の場合についても、極性を逆にすることで本発明は同様に適用可能である。

【0126】

また、既に述べた第1～第6の実施形態等の説明においては、2次元フォトゲート型固体撮像装置(エリアセンサ)を例示的に説明したが、本発明は2次元フォトゲート型固体撮像装置に限定して解釈するべきではない。例えば、図1にその一部を例示的に示した2次元マトリクスにおいて、 $i=1$ 又は $j=1$ と固定し、画素 Q_{ij} を1次元に配列した1次元フォトゲート型固体撮像装置(ラインセンサ)を構成してもよいことは、上記開示の内容から、容易に理解できるはずである。

30

【0127】

以上のとおり、本発明は上記に記載していない様々な実施形態等を含むとともに、本発明の技術的範囲は、上記の説明から妥当な特許請求の範囲に係る発明特定事項によるのみ定められるものである。

【符号の説明】

40

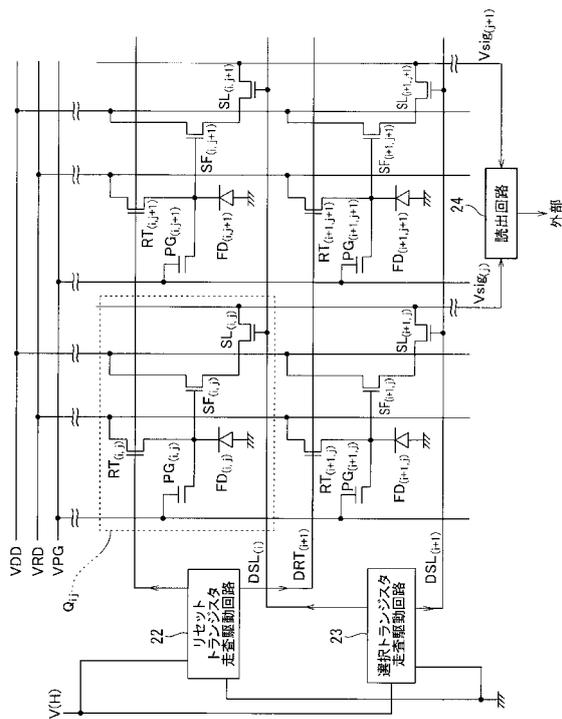
【0128】

Q_{ij} , $Q_{a_{ij}}$, $Q_{b_{ij}}$, $Q_{c_{ij}}$, $Q_{d_{ij}}$... フォトゲート型の画素(光検出素子)
 1, 1a, 1b, 1c, 1d... 基体領域
 2, 2a, 2b, 2c, 2d... 画素分離用埋込領域
 3, 3a, 3b, 3c, 3d... 接続領域
 4, 4a, 4b, 4c, 4d... ゲート絶縁膜
 5, 5a, 5b, 5c, 5d... 電荷生成埋込領域
 6, 6a, 6b... シールド領域
 7, 7a, 7b, 7c, 7d... リセットドレイン領域
 8, 8a, 8b, 8c, 8d... 電荷読出領域

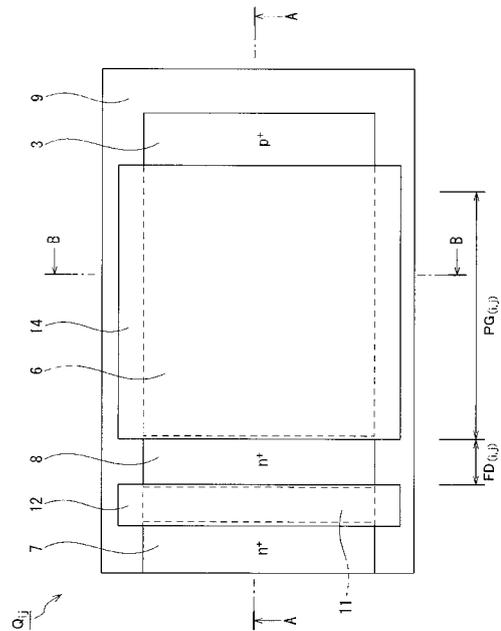
50

- 9, 9b ... 画素分離用絶縁膜
- 11, 11a, 11b, 11c, 11d ... ウェル領域
- 12, 12a, 12b, 12c, 12d ... リセットゲート電極
- 14, 14a, 14b, 14c, 14d ... 透明電極
- 15b ... 転送ゲート電極
- 21 ... フォトゲート走査駆動回路
- 22, 32 ... リセットトランジスタ走査駆動回路
- 23, 33 ... 選択トランジスタ走査駆動回路
- 24, 34 ... 読出回路
- 31 ... 転送トランジスタ走査駆動回路
- 51c, 51d ... 反転層
- 52c, 52d ... チャネル
- 211 ... 第1電圧印加部
- 212 ... 第2電圧印加部

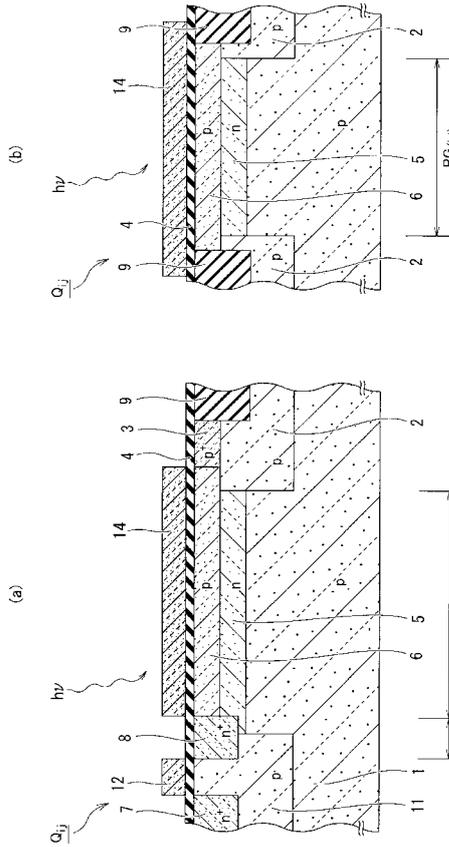
【図1】



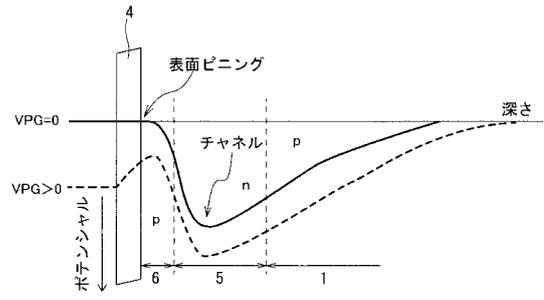
【図2】



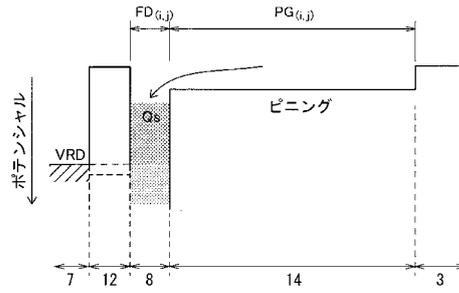
【 図 3 】



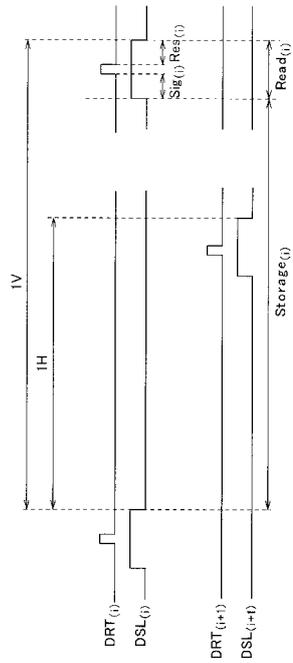
【 図 4 】



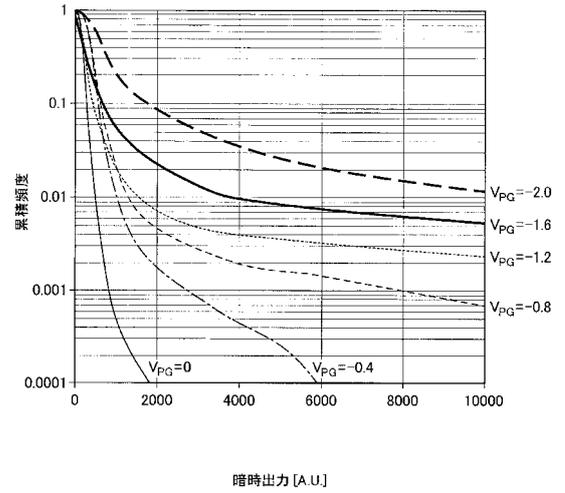
【 図 5 】



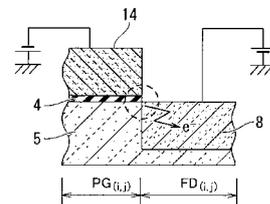
【 図 6 】



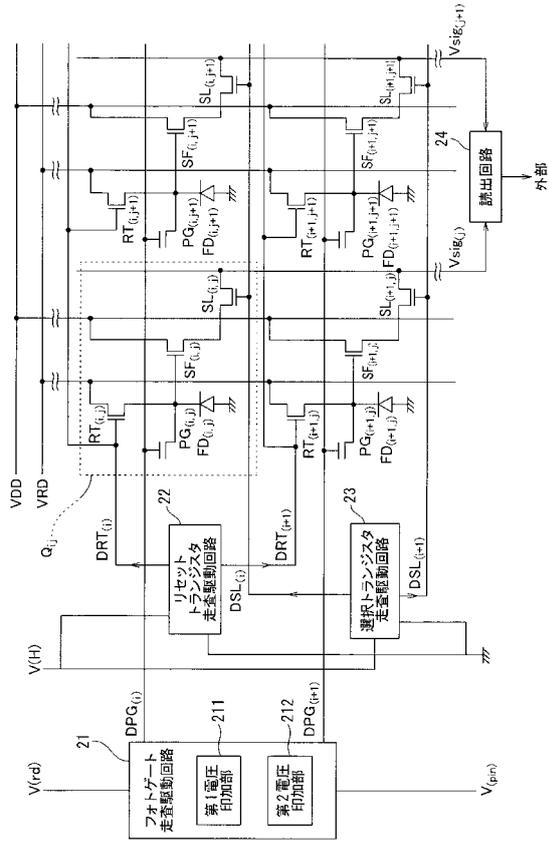
【 図 7 】



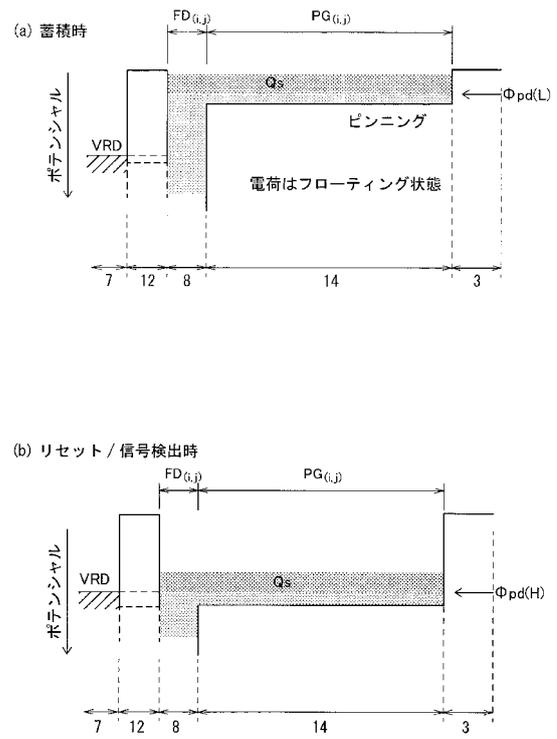
【 図 8 】



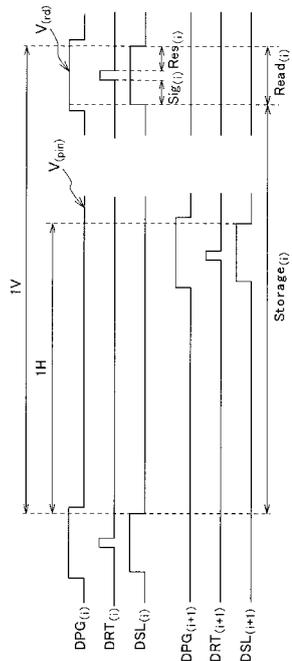
【図9】



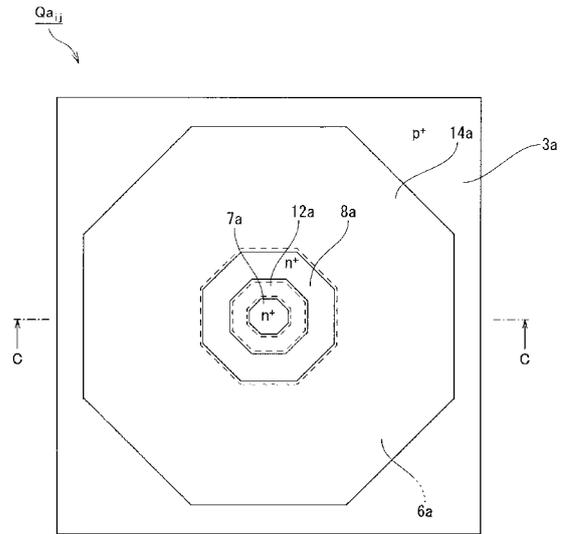
【図10】



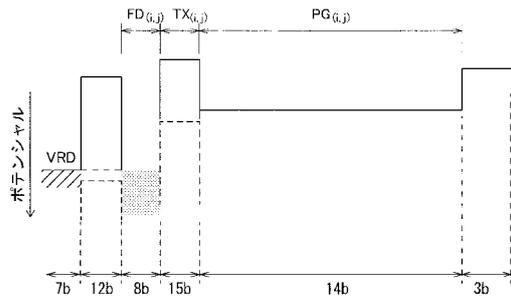
【図11】



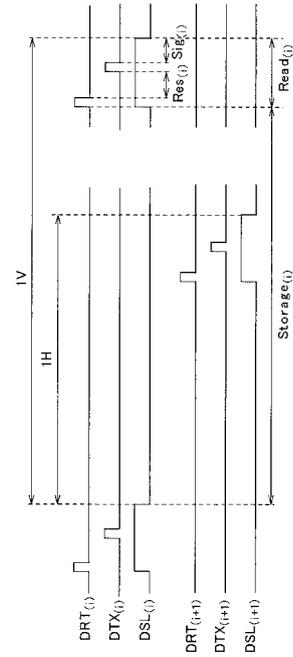
【図12】



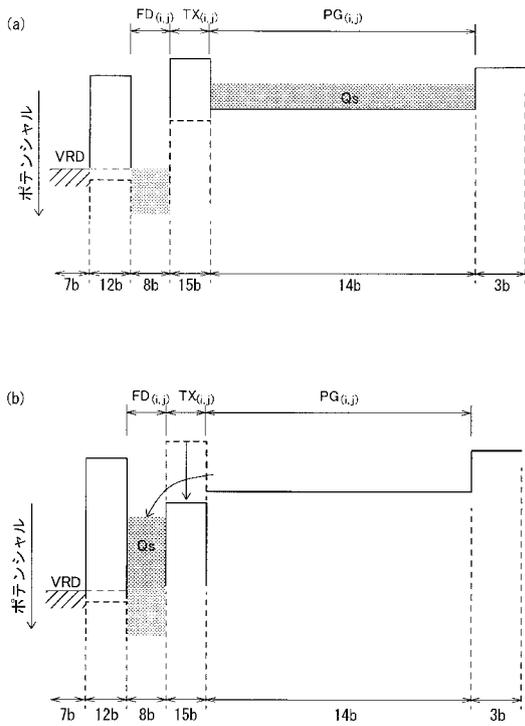
【図 17】



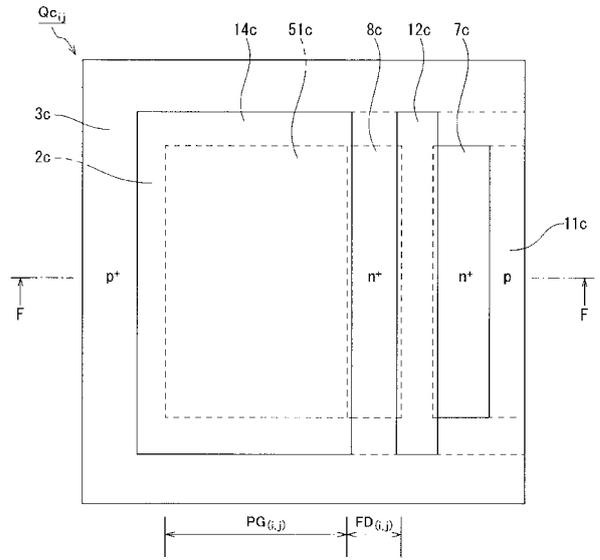
【図 18】



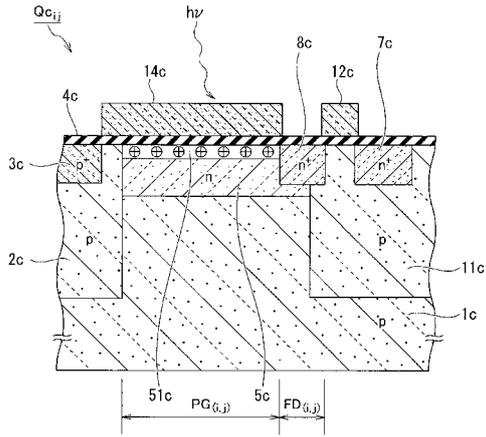
【図 19】



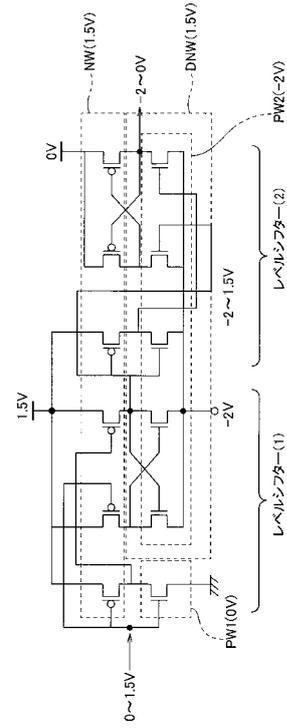
【図 20】



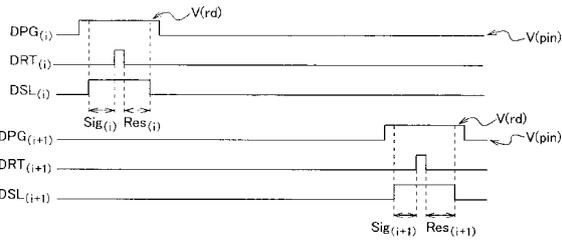
【 図 2 1 】



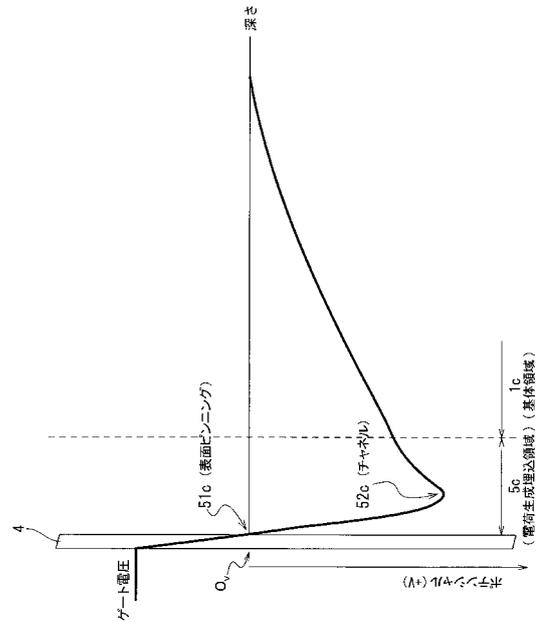
【 図 2 2 】



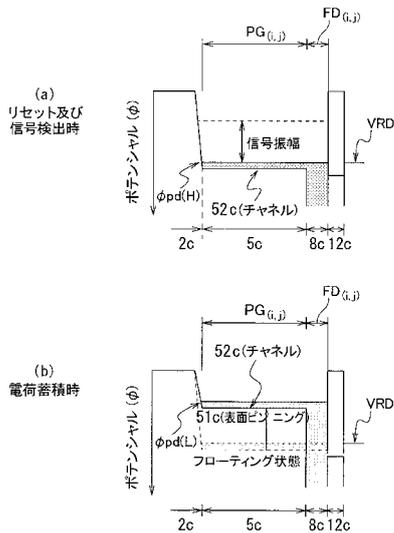
【 図 2 3 】



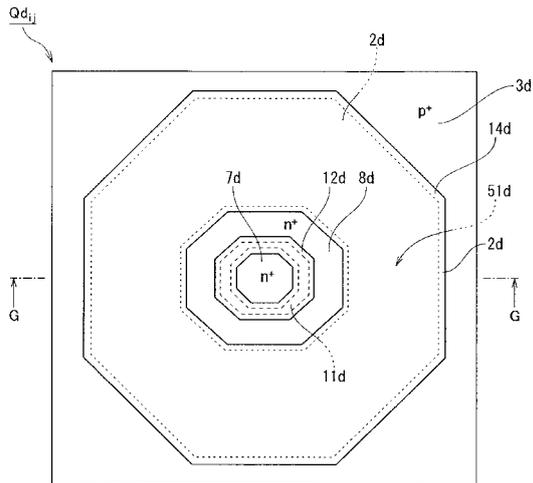
【 図 2 5 】



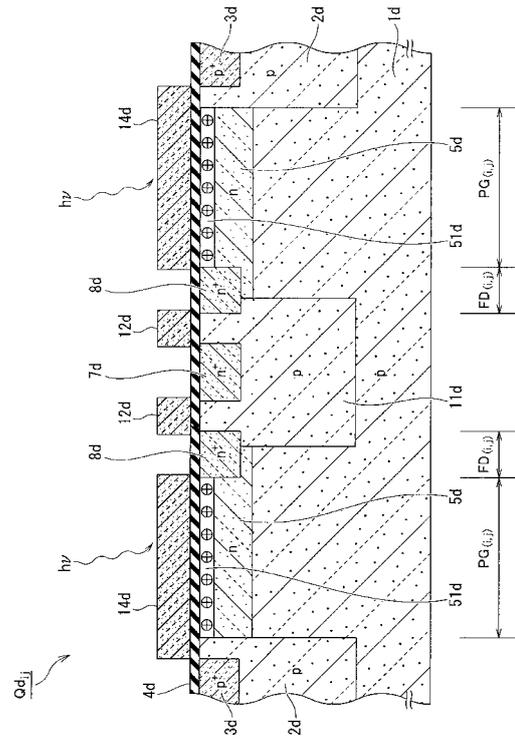
【 図 2 4 】



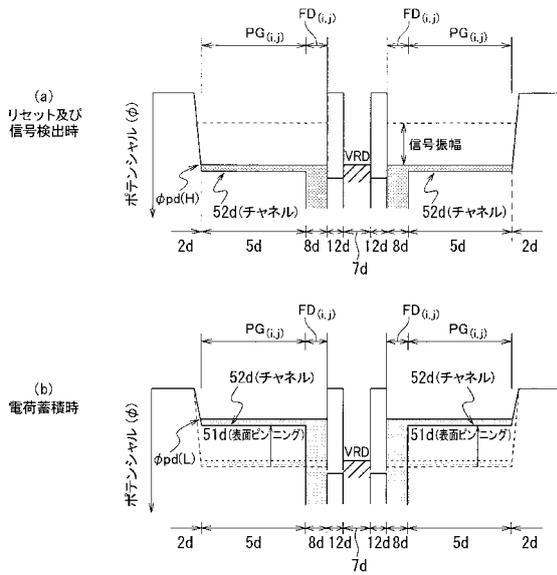
【 図 2 6 】



【 図 2 7 】



【 図 2 8 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/088 (2006.01) H 0 1 L 31/10 A
H 0 1 L 31/10 (2006.01)

(72)発明者 小沢 治
 東京都大田区池上5丁目6番16号 池上通信機株式会社内

(72)発明者 土谷 邦彦
 茨城県東茨城郡大洗町成田町4002番地 国立研究開発法人日本原子力研究開発機構 大洗研究
 開発センター内

(72)発明者 武内 伴照
 茨城県東茨城郡大洗町成田町4002番地 国立研究開発法人日本原子力研究開発機構 大洗研究
 開発センター内

Fターム(参考) 4M118 AA01 AA02 AA05 AB01 BA14 CA04 CA20 DB09 FA06 FA08
 FA26 FA28
 5C024 CX32 CX41 GX03 GX16 GY31
 5F048 AA06 AB10 AC10 BA01 BA06 BA07 BA16 BB01 BB06 BB09
 BB11 BE04 BG13 BH07
 5F849 AA01 BA05 BA06 BB03 EA04 EA12 EA13 FA02 GA04