



**【特許請求の範囲】****【請求項 1】**

複数の画素を有し、該複数の画素のそれぞれの画素が P G ( フォトゲート ) 型 C M O S 撮像素子で構成された、固体撮像部と、

前記 P G 型 C M O S 撮像素子を遮光した状態で得られた電圧レベルに基づいて暗電流の検出をする暗電流検出手段と、

前記暗電流検出手段で暗電流を検出した場合に、前記固体撮像部の前記複数の画素を構成する前記 P G 型 C M O S 撮像素子の P G 電圧を制御することにより暗電流を抑制する P G 電圧制御手段と、

前記暗電流検出手段で暗電流を検出しなかった場合に、前記固体撮像部の前記 P G 型 C M O S 撮像素子を遮光しない状態で得られた電圧レベルに基づいて補正係数を決定する補正係数決定手段と、

前記固体撮像部の前記 P G 型 C M O S 撮像素子のそれぞれから出力される電圧レベルを、前記決定した補正係数を用いて補正することによって、最終的に出力される映像信号の輝度階調を制御する輝度階調制御手段とを備え、

前記 P G 電圧制御手段は、P G 電圧を所定値だけ変更したときに変動する飽和電荷量のレベルに応じた P G 電圧に設定することを特徴とする撮像装置。

**【請求項 2】**

前記暗電流検出手段は、前記 P G 型 C M O S 撮像素子を遮光した状態で得られた電圧レベルの平均値を算出し、該平均値が所定範囲内である場合は暗電流を検出しなかったと判断し、該平均値が所定範囲を超えた場合は暗電流を検出したと判断することを特徴とする請求項 1 の撮像装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は撮像装置に関し、詳細には、耐放射線性のある撮像装置に関する。

**【背景技術】****【0002】**

原子力関連施設の過酷事故発生時等に原子炉建屋内を監視するためには、ガンマ線放射量が高い線量下においても映像を取得することが可能な耐放射線性のある撮像装置が必要となる。

**【0003】**

従来から、ガンマ線環境下において使用可能な耐放射線性のある撮像装置は存在するが、経時的に画質が低下していく傾向がある。画質低下は具体的には画面全体に発生するノイズが主な原因であると考えられる。発生したノイズはガンマ線照射時間の経過に伴い増加し、やがて映像信号レベルを超えることで、被写体を観測できなくなる。これは、撮像装置の部品の中で、特に C M O S 撮像素子はガンマ線の遮蔽を行うことが困難なため、ガンマ線に曝された C M O S 撮像素子によるガンマ線吸収線量の増加に伴い画質が低下するものと考えられる。

**【0004】**

画質の低下は暗電流増大によるものであるが、その理由として以下が推測されている。ガンマ線により C M O S 撮像素子内の半導体層上部にある酸化膜中に水素イオンが発生し、酸化膜中を拡散して半導体界面に到達し、界面の暗電流を抑えていた水素原子を奪って水素ガスとして放散するため、フォトダイオードが形成されている半導体界面は活性化して大きな暗電流を発生すると考えられている。

**【0005】**

このように暗電流増加はガンマ線の吸収線量増加にしたがって、フォトダイオード上面に存在する厚い酸化膜中に水素イオンが発生し、フォトダイオードが形成された半導体界面に拡散することによると考えられる。このような考察の下、光電変換部を単なるフォトダイオードではなく、薄い酸化膜を介してゲート電極 ( 透明電極 ) を形成した構成として

10

20

30

40

50

、このゲート電圧を調整することによって半導体界面の活性化を大幅に低減できるようにした P G (フォトゲート) 型 C O M S 撮像素子が提案されている ( 特許文献 1 ) 。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】国際公開第 2 0 1 6 / 0 1 3 2 2 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、実際にこうした P G 型の C M O S 撮像素子を用いた撮像装置により映像信号を取得したところ、暗電流を単に抑制するだけでは、依然として画像が不鮮明な領域が存在することが明らかになった。かかる原因について本発明者らが検討したところ、P G 型 C M O S 撮像素子の P G 電圧を制御することによって暗電流を抑制する際に、P G 型 C M O S 撮像素子の感度や飽和電荷量も低下してしまう結果、ダイナミックレンジが低下してしまうためであることがわかった。この問題についてさらに検討したところ、飽和電荷量の低下とのバランスをとりながら P G 電圧の制御により暗電流の抑制を図りつつ、輝度レベルを補正することによってダイナミックレンジを調整する手法により良好な画質を維持できることを見出し本発明に至った。本発明の課題は、放射線環境下においても、良好な画像を撮像可能な撮像装置を提供することにある。

10

【課題を解決するための手段】

20

【 0 0 0 8 】

上記の課題を解決するために、一実施形態に記載された発明は、複数の画素を有し、該複数の画素のそれぞれの画素が P G (フォトゲート) 型 C M O S 撮像素子で構成された、固体撮像部と、前記 P G 型 C M O S 撮像素子を遮光した状態で得られた電圧レベルに基づいて暗電流の検出をする暗電流検出手段と、前記暗電流検出手段で暗電流を検出した場合に、前記固体撮像部の前記複数の画素を構成する前記 P G 型 C M O S 撮像素子の P G 電圧を制御することにより暗電流を抑制する P G 電圧制御手段と、前記暗電流検出手段で暗電流を検出しなかった場合に、前記固体撮像部の前記 P G 型 C M O S 撮像素子を遮光しない状態で得られた電圧レベルに基づいて補正係数を決定する補正係数決定手段と、前記固体撮像部の前記 P G 型 C M O S 撮像素子のそれぞれから出力される電圧レベルを、前記決定した補正係数を用いて補正することによって、最終的に出力される映像信号の輝度階調を制御する輝度階調制御手段とを備え、前記 P G 電圧制御手段は、P G 電圧を所定値だけ変更したときに変動する飽和電荷量のレベルに応じた P G 電圧に設定することを特徴とする撮像装置。

30

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】本実施形態の撮像装置の概略構成を示す図である。

【図 2】本実施形態の固体撮像部の画素領域について説明するための図である。

【図 3】P G 型 C M O S 撮像素子の光電変換領域の構成例を示す平面図である。

【図 4】P G 型 C M O S 撮像素子の光電変換領域の構成例を示す断面図である。

40

【図 5】図 4 の断面図に示した構成に対応したポテンシャルプロファイルとこのポテンシャルプロファイル中の信号電荷の移動を説明する図である (リセット電圧  $V_{RD}$  = 高とした場合)。

【図 6】固体撮像部の各画素を構成する P G 型 C M O S 撮像素子の論理回路を示す図である。

【図 7】4 つの単位画素を  $2 \times 2$  のマトリクス状に 2 次元配列した平面構造例を示す図である。

【図 8】本実施形態の撮像装置の制御手法を説明するフロー図である。

【図 9】P G 電圧調整の流れを示すフロー図である。

【図 10】P G 電圧制御を説明する図である。

50

【図 1 1】輝度階調調整を説明する図である。

【図 1 2】第 2 の実施形態の撮像装置の構成例を示すブロック図である。

【図 1 3】冷却手段の効果を示す図である。

【図 1 4】第 3 の実施形態の撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態について、詳細に説明する。

【0011】

図 1 は本実施形態の撮像装置の概略構成を示す図である。本実施形態の撮像装置は、複数の撮像素子で構成される固体撮像部 1 と、暗電流検出手段 2 と、輝度階調制御手段 3 と、映像信号検出手段 4 と、映像信号適正化手段 5 と、P G 電圧制御手段 6 とを備えて構成される。

10

【0012】

本実施形態の撮像装置では、ガンマ線の照射下に曝されることにより増加する暗電流を P G (フォトゲート) 電圧によって抑えることができる P G 型 C M O S 撮像素子 (光検出素子) を各画素として構成した固体撮像部 1 として用い、暗電流抑制のための P G 電圧の印加に伴い変化してしまう感度および飽和容量の影響を測定し、測定した値に応じて輝度領域ごとに異なる係数を決定し、決定した係数を用いて固体撮像部 1 から出力された電圧レベルを輝度領域ごとに異なる係数で補正することにより、映像信号として良好な画質を維持している。

20

【0013】

暗電流検出手段 2 は、固体撮像部 1 の遮光した画素領域にある撮像素子から出力される電圧レベルに基づいて暗電流の検出をして、暗電流を検出した旨を映像信号適正化手段に通知する。

【0014】

ここで固体撮像部の画素領域について説明する。図 2 は、本実施形態の固体撮像部の画素領域について説明するための図である。固体撮像部 1 は、それぞれが画素となる複数の撮像素子で構成されており、図 2 に示すように有効画素領域 1 0 1 と遮光画素領域 1 0 2 とを有する。有効画素領域 1 0 1 は、光を受光する領域であるが、遮光画素領域 1 0 2 は常時遮光した状態となる領域である。暗電流検出手段 2 は、遮光画素領域 1 0 2 の全部または一部の撮像素子からの出力を測定することにより、暗電流の検出を行っている。なお、遮光画素領域 1 0 2 と有効画素領域 1 0 1 とでガンマ線の吸収量は実質的に同じと考えられる。遮光画素領域 1 0 2 面上には遮光材料が存在するが、密度と厚みはほとんどないので、ガンマ線を遮断する量は微々たるものであるからである。また、もしも吸収量に差があるとしても、両者の吸収量の割合を相対的に判断できるため、常時遮光状態の遮光画素領域 1 0 2 を暗電流検出のために用いても問題ない。

30

【0015】

図 1 に戻って、映像信号検出手段 4 は、固体撮像部 1 の各画素から出力される電圧レベルを取得して映像信号を検出する。映像信号検出手段 4 は、図 2 で示される固体撮像部 1 の有効画素領域 1 0 1 および遮光画素領域 1 0 2 の撮像素子から出力された電圧レベルを検出することができる。

40

【0016】

映像信号適正化手段 5 は、暗電流検出手段 2 から暗電流を検出した旨の通知を受けると、P G 電圧の制御量を決定して P G 電圧制御手段 6 に P G 電圧の制御を指示する。また映像信号適正化手段 5 は、映像信号検出手段 4 で検出した電圧レベルに基づいて P G 電圧制御の結果低下した画質を補正する基準となる係数を算出する。

【0017】

P G 電圧制御手段 6 は、映像信号適正化手段 5 で決定された制御量に基づいて固体撮像部 1 の P G 電圧を制御する。

【0018】

50

輝度階調制御手段 3 は、映像信号適正化手段 5 で算出された基準となる係数に基づいて輝度領域ごとの係数を決定し、固体撮像部 1 から出力される電圧レベルを輝度領域ごとの係数で補正する。

【0019】

固体撮像部 1 を構成する撮像素子としては、PG 電圧を調整することにより暗電流を抑制することができる PG 型 CMOS 撮像素子を用いることができ、PG 型 CMOS 撮像素子は例えば特許文献 1 に記載のものを用いることができる。ここで PG 型 CMOS 撮像素子の構成例について説明する。図 3、4 は、PG 型 CMOS 撮像素子の光電変換領域の構成例を示す図であり、図 3 は平面図、図 4 は断面図である。図 3 及び図 4 に示すように、PG 型 CMOS 撮像素子は、第 1 導電型 (p 型) の半導体からなる基体領域 11 と、基体領域 11 の上面に接して設けられたゲート絶縁膜 23 と、ゲート絶縁膜 23 に接して基体領域 11 の上部に環状 (図 3 の平面図においてリング状) に埋め込まれた第 2 導電型 (n 型) の電荷生成埋込領域 13 と、電荷生成埋込領域 13 の内径側の位置の基体領域 11 の上部に環状に埋め込まれた、電荷生成埋込領域 13 よりも高不純物密度の第 2 導電型の電荷読出領域  $15_{i,j}$  と、電荷読出領域  $15_{i,j}$  から離間し、電荷読出領域  $15_{i,j}$  の内径側に埋め込まれた、電荷生成埋込領域 13 よりも高不純物密度の第 2 導電型のリセットドレイン領域  $16_{i,j}$  と、電荷生成埋込領域 13 の上方となるゲート絶縁膜 23 上に環状に設けられた透明電極  $21_{i,j}$  と、電荷読出領域  $15_{i,j}$  とリセットドレイン領域 (RD)  $16_{i,j}$  との間の基体領域 11 の上方となるゲート絶縁膜 23 上に設けられたリセットゲート電極 (RX)  $22_{i,j}$  とを備えている。図 3 に示すように、電荷生成埋込領域 13 に電荷読出領域  $15_{i,j}$  が接している。

【0020】

図 3 の平面図では、環状のトポロジーの一例として、透明電極 (PG)  $21_{i,j}$  及びリセットゲート電極 (RX)  $22_{i,j}$  の外径側及び内径側の形状が共に八角形をなす連続帯の形状を示したが、図 3 のトポロジーに限定されるものではない。

【0021】

PG 型 CMOS 撮像素子は、図 4 に示すように、いわゆるフォトゲート (PG) として外側に透明電極  $21_{i,j}$  が環状に配置され、透明電極  $21_{i,j}$  のパターンの内側に電荷読出領域  $15_{i,j}$  が配置されている。実際には製造プロセス上の熱工程に依存して、図 3 の平面図に破線で示すように、透明電極  $21_{i,j}$  の内径線より外側の領域に電荷読出領域  $15_{i,j}$  の外径線が位置する平面パターンとなるように、電荷読出領域  $15_{i,j}$  を構成する第 2 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。同様に、図 3 の平面図において、電荷読出領域  $15_{i,j}$  の内側には、環状のリセットゲート電極  $22_{i,j}$  が配置されているが、破線で示すように、リセットゲート電極  $22_{i,j}$  の外径線より内側の領域に電荷読出領域  $15_{i,j}$  の内径線が位置する平面パターンとなるように、電荷読出領域  $15_{i,j}$  を構成する第 2 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。対応する図 4 の断面図では、電荷読出領域  $15_{i,j}$  の横方向端部が、透明電極  $21_{i,j}$  の内側端部及びリセットゲート電極  $22_{i,j}$  の外側端部とオーバーラップしていることが示されている。電荷読出領域  $15_{i,j}$  の内側には、環状のリセットゲート電極  $22_{i,j}$  を設けることで、ゲート形状が方形の一般のトランジスタでは避けられない、チャンネル側壁酸化膜境界での放射線照射によるオフ時のリーク電流も抑圧することが可能となる。

【0022】

図 3 の平面図において、リセットゲート電極  $22_{i,j}$  の内側にはリセットドレイン領域  $16_{i,j}$  が配置されているが、破線で示すように、リセットゲート電極  $22_{i,j}$  の内径線より外側の領域にまでリセットドレイン領域  $16_{i,j}$  の外径線が位置する平面パターンとなるように、リセットドレイン領域  $16_{i,j}$  を構成する第 2 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。対応する図 3 の断面図では、リセットドレイン領域  $16_{i,j}$  の横方向端部が、リセットゲート電極  $22_{i,j}$  の内側端部とオーバーラップしていることが示されている。

## 【0023】

図4に示すように、リセットゲート電極 $2_{i,j}$ の直下となる基体領域 $1_1$ の上部には、第1導電型で、基体領域 $1_1$ よりも高不純物密度のウェル領域 $1_{2_i}$ が配置されている。平面パターンの図示を省略しているが、ウェル領域 $1_{2_i}$ はリセットドレイン領域 $1_{6_{i,j}}$ を囲むように八角形に配置され、ウェル領域 $1_{2_i}$ の外径線は、平面パターン上、電荷読出領域 $1_{5_{i,j}}$ の外径線と内径線の間で挟まれた八角形の形状をなしている。図3の断面図では、ウェル領域 $1_{2_i}$ はリセットドレイン領域 $1_{6_{i,j}}$ の側面及び底面の全体を囲むように配置され、ウェル領域 $1_{2_i}$ の側面が電荷読出領域 $1_{5_{i,j}}$ の底面に接していることが分かる。なお、ウェル領域 $1_{2_i}$ の外径線は透明電極 $2_{1_{i,j}}$ の内径線とは離れるのが望ましい。

10

## 【0024】

図4に示すPG型CMOS撮像素子では、ウェル領域 $1_{2_i}$ をp型の半導体領域で構成しているので、リセットゲート電極 $2_{2_{i,j}}$ 、ゲート絶縁膜 $2_3$ 、ウェル領域 $1_{2_i}$ 、電荷読出領域 $1_{5_{i,j}}$ 及びリセットドレイン領域 $1_{6_{i,j}}$ とからなるnMOSトランジスタでリセットトランジスタを構成している。そして、リセットゲート電極 $2_{2_{i,j}}$ に印加する電圧により、電荷読出領域 $1_{5_{i,j}}$ に蓄積された電荷をリセットドレイン領域 $1_{6_{i,j}}$ へ排出し、電荷読出領域 $1_{5_{i,j}}$ に蓄積されている電荷をリセットする。

## 【0025】

図4の断面図の両側の端部側に示されるように、透明電極 $2_{1_{i,j}}$ の外側には第1導電型で、基体領域 $1_1$ よりも高不純物密度の素子分離領域 $1_{2_0}$ が電荷生成埋込領域 $1_3$ を囲むように配置されている。更に素子分離領域 $1_{2_0}$ の表面には第1導電型で、素子分離領域 $1_{2_0}$ よりも高不純物密度のチャンネルストップ領域 $1_7$ が配置されている。図3の平面図に破線で示すように、製造プロセス上の熱工程に依存して、透明電極 $2_{1_{i,j}}$ の外径線より内側の領域に素子分離領域 $1_{2_0}$ の内径線が位置する平面パターンとなるように、素子分離領域 $1_{2_0}$ を構成する第1導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。

20

## 【0026】

素子分離領域 $1_{2_0}$ の内径線が、透明電極 $2_{1_{i,j}}$ の外径線より等間隔で内側に位置する平面パターンとなることで、素子分離領域 $1_{2_0}$ の内径線は閉じた幾何学形状をなしている。一方、チャンネルストップ領域 $1_7$ の内径線は、透明電極 $2_{1_{i,j}}$ の平面パターンを囲んでおり、チャンネルストップ領域 $1_7$ の内径線も閉じた幾何学形状をなしている。透明電極 $2_{1_{i,j}}$ の外側に素子分離領域 $1_{2_0}$ を配置することで、透明電極 $2_{1_{i,j}}$ の直下に構成される電荷生成埋込領域 $1_3$ の周辺部での暗電流の発生を抑えることが可能となる。

30

## 【0027】

平面パターンの図示を省略しているが、基体領域 $1_1$ の表面側に配置される電荷生成埋込領域 $1_3$ のトポロジーも閉じた幾何学形状である。即ち、電荷生成埋込領域 $1_3$ の外径線は、図3では素子分離領域 $1_{2_0}$ の内径線と共通となる八角形の形状をなす線であり、電荷生成埋込領域 $1_3$ の内径線は、図3の平面パターン上、電荷読出領域 $1_{5_{i,j}}$ の外径線と内径線の間を通る八角形の形状をなしている。このように、基体領域 $1_1$ の表面側に環状で八角形の電荷生成埋込領域 $1_3$ が形成され、この環状で八角形の電荷生成埋込領域 $1_3$ の上に薄いゲート絶縁膜 $2_3$ を介して、環状で八角形の透明電極 $2_{1_{i,j}}$ が設けられている。

40

## 【0028】

透明電極 $2_{1_{i,j}}$ は、燐(P)、砒素(As)等の第2導電型の不純物をドーブした多結晶シリコン(以下において「ドーブドポリシリコン」という。)膜等で形成すれば、透明電極 $2_{1_{i,j}}$ と電荷読出領域 $1_{5_{i,j}}$ との境界を自己整合的に定めることが可能であるので製造プロセス上便利であるが、酸化錫( $\text{SnO}_2$ )、錫(Sn)を添加した酸化インジウム(ITO)、アルミニウム(Al)を添加した酸化亜鉛(AZO)、ガリウム(Ga)を添加した酸化亜鉛(GZO)、インジウム(In)を添加した酸化亜鉛(IZO)等の酸化物薄膜(透明導電性酸化物)を用いてもよい。

50

## 【0029】

リセットゲート電極  $22_{i,j}$  についても、第2導電型の不純物をドーブしたドーブポリシリコンを用いれば、リセットゲート電極  $22_{i,j}$  と電荷読出領域  $15_{i,j}$  との境界、及びリセットゲート電極  $22_{i,j}$  とリセットドレイン領域  $16_{i,j}$  との境界を自己整合的に定めることが可能であるので好適である。

## 【0030】

PG型CMOS撮像素子においては、PG電極である透明電極  $21_{i,j}$  に負電圧（PG電圧）を印加すると、透明電極  $21_{i,j}$  がゲート絶縁膜  $23$  を介して電荷生成埋込領域  $13$  の表面に及ぼす表面ポテンシャルが、電荷生成埋込領域  $13$  の表面に電荷生成埋込領域  $13$  の少数キャリアとなる電荷でピニングされる。

10

## 【0031】

例えば、電荷生成埋込領域  $13$  がn型であれば、少数キャリアは正孔（ホール）であるので、透明電極  $21_{i,j}$  の直下のゲート絶縁膜  $23$  と半導体との界面、即ち、電荷生成埋込領域  $13$  の表面に多量の正孔（ホール）による反転層  $14$  が形成され、少数キャリアである正孔で表面電位がピニングされる。正孔でピニングされることにより、ゲート絶縁膜  $23$  と半導体との界面の界面準位が不活性化される。逆に、電荷生成埋込領域  $13$  がp型であれば、少数キャリアは電子であるので、透明電極  $21_{i,j}$  の直下のゲート絶縁膜  $23$  と半導体との界面、即ち、電荷生成埋込領域  $13$  の表面に多量の電子による反転層  $14$  を形成して、電子で表面電位がピニングされる。界面に電子でピニングされることにより、ゲート絶縁膜  $23$  と半導体との界面の界面準位が不活性化される。そして、第1の実施形態に係るPG型CMOS撮像素子に対し、ガンマ線が照射された場合は、薄いゲート絶縁膜  $23$  中にも正孔が発生するが、膜厚が薄いためゲート絶縁膜  $23$  中に生成される正孔の絶対量は僅かである。

20

## 【0032】

図5は、図4の断面図に示した横方向の位置に対応して、外側の素子分離領域  $12_0$  から、電荷生成埋込領域  $13$ 、電荷読出領域  $15_{i,j}$ 、リセットゲート電極  $22_{i,j}$ 、を経て中央のリセットドレイン領域  $16_{i,j}$  に至る中心対称のプロファイルとなるポテンシャル分布の例を示した図である。図5の中央の井戸の底において符号RDで示したレベル、即ち図5において左上がりの破線からなる斜線のハッチングで示した上端のレベルが、リセットドレイン領域  $16_{i,j}$  の電圧であるリセット電圧  $V_{RD}$  となる。

30

## 【0033】

第1の実施形態に係るPG型CMOS撮像素子においては、図5に示すように、透明電極  $21_{i,j}$  の直下のチャンネルの空乏化電位は電荷読出領域  $15_{i,j}$  の電位より浅くなっており、透明電極  $21_{i,j}$  の直下のチャンネル部分で光電変換された電荷は、常時、電荷読出領域  $15_{i,j}$  に転送される。即ち、図5に示したポテンシャル分布の形状に従って、透明電極  $21_{i,j}$  の直下の電荷生成埋込領域  $13$  で発生した信号電荷（電子）は、図5の中心方向に向かう矢印で示すように、常時、電荷生成埋込領域  $13$  から内側の電荷読出領域  $15_{i,j}$  に搬送される。

## 【0034】

図5において、転送され電荷読出領域  $15_{i,j}$  に蓄積された電荷は、右上がりの実線からなる斜線のハッチングで示されている。図5に示すようなポテンシャル分布のプロファイルを実現することにより、第1の実施形態に係るPG型CMOS撮像素子の電荷読出領域  $15_{i,j}$  の容量を小さくでき、信号電荷による変換ゲインを高めることができる。したがって、第1の実施形態に係るPG型CMOS撮像素子の電圧感度を高めることが可能となる。

40

## 【0035】

透明電極  $21_{i,j}$  の直下の電荷生成埋込領域  $13$  で光電変換された電荷は、電荷読出領域  $15_{i,j}$  に一定期間蓄積後、電荷読出領域  $15_{i,j}$  の信号レベルを読み取り、次いでリセット動作によりリセットレベルを読むようにできる。図5では、変換ゲインを大きくするため、信号電荷を電荷読出領域  $15_{i,j}$  のみに蓄積する動作としたが、用途によっては変

50

換ゲインを小さくして大きな信号電荷量を扱うようにすることも有用である。

【0036】

なお、図4にその断面の構造を例示的に示す第1の実施形態に係るPG型CMOS撮像素子では、「基体領域11」として、第1導電型(p型)の半導体基板(Si基板)を用いる場合を例示しているが、半導体基板の代わりに、第1導電型の半導体基板上に、半導体基板よりも低不純物密度の第1導電型のエピタキシャル成長層を形成して、エピタキシャル成長層を基体領域11として採用してもよく、第2導電型(n型)の半導体基板上に、第1導電型(p型)のエピタキシャル成長層を形成して、エピタキシャル成長層を基体領域11として採用してもよく、SOI構造の第1導電型の半導体層(SOI層)を基体領域11として採用してもよい。

10

【0037】

第1の実施形態に係るPG型CMOS撮像素子は、ゲート絶縁膜23としてシリコン酸化膜を用いた単なるMOS型のトランジスタだけに限定されるものではない。即ち、第1の実施形態に係るPG型CMOS撮像素子のゲート絶縁膜23としては、シリコン酸化膜の他、ストロンチウム酸化物(SrO)膜、シリコン窒化物(Si<sub>3</sub>N<sub>4</sub>)膜、アルミニウム酸化物(Al<sub>2</sub>O<sub>3</sub>)膜、マグネシウム酸化物(MgO)膜、イットリウム酸化物(Y<sub>2</sub>O<sub>3</sub>)膜、ハフニウム酸化物(HfO<sub>2</sub>)膜、ジルコニウム酸化物(ZrO<sub>2</sub>)膜、タンタル酸化物(Ta<sub>2</sub>O<sub>5</sub>)膜、ビスマス酸化物(Bi<sub>2</sub>O<sub>3</sub>)膜のいずれか1つの単層膜或いはこれらの複数を積層した複合膜等を使用して、MIS型のトランジスタを構成してもよい。但し、これらゲート絶縁膜材料としては、放射線に対して耐性があることが前提となる。

20

【0038】

本実施形態の撮像装置において、固体撮像部1は、各画素となる図3、4に示した撮像素子が複数並列されて構成されている。かかる固体撮像部1の構成について説明する。図6は固体撮像部1の各画素を構成するPG型CMOS撮像素子の論理回路を示す図であり、図7は4つの単位画素を2×2のマトリクス状に2次元配列した平面構造例を示す図である。

【0039】

図6に示すように、PG型CMOS撮像素子の読み出し電極15には、増幅トランジスタQAを介して画素選択トランジスタTSが接続されている。画素選択トランジスタTSのゲート電極に選択信号SLが入力されることにより、読み出し電極15の値が垂直信号線Bから読み出される。また、読み出し電極15には、リセットゲートRX22を介してリセットドレインRD16が接続されており、リセットゲートRX22に電圧を印加することによって、読み出し電極15に溜まった電荷をリセットドレインRX22から排出することができる。

30

【0040】

固体撮像部1は、図3及び図4に示した構造のPG型CMOS撮像素子を単位画素とし、多数の単位画素をマトリクス状に2次元配列すれば、本発明の第1の実施形態に係る固体撮像部1(2次元イメージセンサ)のピクセルアレイ領域を実現できる。説明の便宜上、ピクセルアレイ領域を構成する多数の単位画素のうち、図7では、4つの単位画素を2×2のマトリクス状に2次元配列した平面構造によって、第1の実施形態に係る固体撮像装置を模式的に説明する。即ち、図7に示す第1の実施形態に係る固体撮像装置は、左上の(i, j)番目の画素、右上の(i, j+1)番目の画素、左下の(i-1, j)番目の画素及び右下の(i-1, j+1)番目の画素によって、2×2のマトリクス構造を構成しているピクセルアレイ領域の一部の領域における平面パターンの一例を示したものである。

40

【0041】

ピクセルアレイ領域は、例えば、方形状の撮像領域を構成している。ピクセルアレイ領域の周辺には周辺回路部が配置され、ピクセルアレイ領域と周辺回路部とが同一の半導体チップ上に集積化されている。周辺回路部には、水平シフトレジスタ、垂直シフトレジ

50

スタ及びタイミング発生回路等が含まれている。

【0042】

より具体的には、例えば、方形状のピクセルアレイ領域の下辺部に図7において水平方向に示した画素行の方向に沿って水平シフトレジスタを設けたレイアウト設計が可能である。この場合、例えば、ピクセルアレイ領域の左辺部には、図7において垂直方向に示した画素列の方向に沿って垂直シフトレジスタを設け、垂直シフトレジスタ及び水平シフトレジスタには、タイミング発生回路を接続するようにすればよい。

【0043】

図7では2本のみが例示されているが、各画素列毎に、垂直信号線  $B_j, B_{j+1}, \dots$  が設けられる。そして、図7の配置の、それぞれの垂直信号線  $B_j, B_{j+1}, \dots$  の上方ないし下方の一端には、定電流負荷となるMOSトランジスタが接続され、画素内のMOSトランジスタ  $Q_{A_{ij}}$  等とソースフォロワ回路を形成し、垂直信号線  $B_j$  等に画素信号を出力する。そして、それぞれの垂直信号線  $B_j, B_{j+1}, \dots$  の定電流負荷と同じ側ないし反対側の一端には、カラム処理回路が接続されている。それぞれのカラム処理回路には、ノイズキャンセル回路及びA/D変換回路が含まれている。ノイズキャンセル回路は、相関2重サンプリング(CDS: Correlated Double Sampling)等により構成すればよい。

【0044】

図7の左上に示す第1の実施形態に係る固体撮像装置を構成する( $i, j$ )番目の画素の断面構造は、図3に示したPG型CMOS撮像素子を単位画素とするものであるから、図4に示したPG型CMOS撮像素子の断面構造と同様である。よって、図7の平面図には図3に示した基体領域11、ゲート絶縁膜23及び電荷生成埋込領域13等が表現されていないが、( $i, j$ )番目の画素の断面構造は、基本的に図3に示した断面構造と全く同様である。

【0045】

即ち、図7の左上に示す第1の実施形態に係る固体撮像装置を構成する( $i, j$ )番目の画素は、第1導電型の半導体からなる基体領域(図示省略)と、基体領域の上面に接して設けられたゲート絶縁膜(図示省略)と、ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第2導電型の電荷生成埋込領域(図示省略)と、電荷生成埋込領域の内径側の位置の基体領域の上部に環状に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域  $15_{i,j}$  と、電荷読出領域  $15_{i,j}$  から離間し、電荷読出領域  $15_{i,j}$  の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域  $16_{i,j}$  と、電荷生成埋込領域13の上方となるゲート絶縁膜上に環状に設けられた透明電極  $21_{i,j}$  と、電荷読出領域  $15_{i,j}$  とリセットドレイン領域  $16_{i,j}$  との間の基体領域の上方となるゲート絶縁膜上に設けられたリセットゲート電極  $22_{i,j}$  とを備える。図7では図示を省略しているが、図3に示した断面構造と同様に、電荷生成埋込領域に電荷読出領域  $15_{i,j}$  が接しており、リセットゲート電極  $22_{i,j}$  の直下となる基体領域の上部には、第1導電型で、基体領域よりも高不純物密度のウェル領域  $12_i$  が配置されている。図3に示した断面構造と同様に、透明電極  $21_{i,j}$  の外側には第1導電型で、基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域13を囲むように配置されている。更に素子分離領域の表面には第1導電型で、素子分離領域よりも高不純物密度のチャンネルストップ領域17が配置されている。

【0046】

同様に、図7の右上に示すように、2次元マトリクス中の( $i, j+1$ )番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第2導電型の電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域  $15_{i,j+1}$  と、電荷読出領域  $15_{i,j+1}$  から離間し電荷読出領域  $15_{i,j+1}$  の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域  $16_{i,j+1}$  と、電荷生成埋込領域13の上方となるゲート絶縁膜上に環状に設けられた透明電極  $21_{i,j+1}$  と、電荷読出領域  $15_{i,j+1}$  とリセットドレイン領域  $16_{i,j+1}$  との

間の上方に設けられたリセットゲート電極  $22_{i,j+1}$  とを備える。図3の構造と同様に、電荷生成埋込領域に電荷読出領域  $15_{i,j+1}$  が接しており、リセットゲート電極  $22_{i,j+1}$  の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域  $12_i$  が配置され、更に、透明電極  $21_{i,j+1}$  の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域  $13$  を囲むように  $(i, j)$  番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域  $17$  が、 $(i, j)$  番目の画素等の他の画素の領域から連続した領域として配置されている。

【0047】

又、図7の左下に示すように、2次元マトリクス中の  $(i-1, j)$  番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に埋め込まれた第2導電型の電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域  $15_{i-1,j}$  と、電荷読出領域  $15_{i-1,j}$  の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域  $16_{i-1,j}$  と、電荷生成埋込領域  $13$  の上方に設けられた透明電極  $21_{i-1,j}$  と、電荷読出領域  $15_{i-1,j}$  とリセットドレイン領域  $16_{i-1,j}$  との間の上方に設けられたリセットゲート電極  $22_{i-1,j}$  とを備える。図3の構造と同様に、電荷生成埋込領域に電荷読出領域  $15_{i-1,j}$  が接しており、リセットゲート電極  $22_{i-1,j}$  の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域  $12_{i-1}$  が配置され、更に、透明電極  $21_{i-1,j}$  の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域  $13$  を囲むように  $(i, j)$  番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域  $17$  が  $(i, j)$  番目の画素等の他の画素の領域から連続した領域として配置されている。

【0048】

更に、図7の右下に示すように、2次元マトリクス中の  $(i-1, j+1)$  番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に埋め込まれた第2導電型の電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域  $15_{i-1,j+1}$  と、電荷読出領域  $15_{i-1,j+1}$  の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域  $16_{i-1,j+1}$  と、電荷生成埋込領域  $13$  の上方に設けられた透明電極  $21_{i-1,j+1}$  と、電荷読出領域  $15_{i-1,j+1}$  とリセットドレイン領域  $16_{i-1,j+1}$  との間の上方に設けられたリセットゲート電極  $22_{i-1,j+1}$  とを備える。図3の構造と同様に、電荷生成埋込領域に電荷読出領域  $15_{i-1,j+1}$  が接しており、リセットゲート電極  $22_{i-1,j+1}$  の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域  $12_{i-1}$  が配置され、更に、透明電極  $21_{i-1,j+1}$  の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域  $13$  を囲むように、 $(i-1, j)$  番目の画素及び  $(i, j+1)$  番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域  $17$  が  $(i-1, j)$  番目の画素及び  $(i, j+1)$  番目の画素等の他の画素の領域から連続した領域として配置されている。

【0049】

図7に示すように、2次元マトリクス中の  $(i, j)$  番目の画素の電荷読出領域  $15_{i,j}$  には、コンタクトホール  $31_{i,j}$  を介して右下方向に向かう表面配線  $32_{i,j}$  の一方の端部が接続され、表面配線  $32_{i,j}$  の他方の端部には、読出回路部  $29_{i,j}$  の増幅トランジスタ（信号読出トランジスタ） $QA_{i,j}$  のゲート電極が接続されている。即ち、図7に示す回路構成では、電荷読出領域  $15_{i,j}$  は、リセットトランジスタのソース領域として機能しているので、電荷読出領域  $15_{i,j}$  に増幅トランジスタ  $QA_{i,j}$  のゲート電極とリセットトランジスタ  $TR_{i,j}$  のソース領域が接続されていることになる。なお、図7に示した表面配線  $32_{i,j}$  は、模式的な等価回路上の例示的表示であって、現実には図7に示すよう

10

20

30

40

50

な右下方向に向かう配線である必要はない。例えば、多層配線構造を利用して、配線レベルの異なる互いに直交する表面配線（金属配線）で実現してもよい。即ち、互いに直交する表面配線の間には層間絶縁膜を介し、上下の表面配線を層間絶縁膜を貫通するコンタクトプラグ等で結合した構成で実現してもよい。即ち、半導体チップ上のレイアウト設計の要求に従って、任意のトポロジーの表面配線  $32_{i,j}$  が採用可能である。増幅トランジスタ  $QA_{i,j}$  のソース領域には画素選択トランジスタ（スイッチングトランジスタ） $TS_{i,j}$  のドレイン領域が接続され、増幅トランジスタ  $QA_{i,j}$  のドレイン領域には電源配線  $V_{DD}$  が接続されている。画素選択トランジスタ  $TS_{i,j}$  のソース領域には、 $j$  番目の列に沿って配列された垂直信号線  $B_j$  が接続され、画素選択トランジスタ  $TS_{i,j}$  のゲート電極には、垂直シフトレジスタから  $i$  行目の選択信号  $SL(i)$  が入力される。電荷読出領域  $15_{i,j}$  に転送された電荷量に相当する電圧によって、増幅トランジスタ  $QA_{i,j}$  で増幅された出力が、画素選択トランジスタ  $TS_{i,j}$  を介して垂直信号線  $B_j$  に出力される。

10

20

30

40

50

#### 【0050】

図7において、読出回路部  $29_{i,j}$  を示す八角形の外径線は、増幅トランジスタ  $QA_{i,j}$  及び画素選択トランジスタ  $TS_{i,j}$  を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部  $29_{i,j}$  の中の増幅トランジスタ  $QA_{i,j}$  の活性領域及び画素選択トランジスタ  $TS_{i,j}$  の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極  $21_{i,j}$  のパターンが配置された基体領域の表面と読出回路部  $29_{i,j}$  のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図3の断面図に例示したのと同様の素子分離領域  $12$  とチャネルストップ領域  $17$  が2次元マトリクス中の他の画素の領域から連続した領域として配置されている。

#### 【0051】

図7において、読出回路部  $29_{i,j+1}$  を示す八角形の外径線は、増幅トランジスタ  $QA_{i,j+1}$  及び画素選択トランジスタ  $TS_{i,j+1}$  を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部  $29_{i,j+1}$  の中の増幅トランジスタ  $QA_{i,j+1}$  の活性領域及び画素選択トランジスタ  $TS_{i,j+1}$  の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極  $21_{i,j+1}$  のパターンが配置された基体領域の表面と読出回路部  $29_{i,j+1}$  のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図2の断面図に例示したのと同様の素子分離領域  $12$  とチャネルストップ領域  $17$  が、 $(i, j)$  番目の画素等の他の画素の領域から連続した領域として配置されている。

#### 【0052】

又、 $(i-1, j)$  番目の画素の電荷読出領域  $15_{i-1,j}$  には、コンタクトホール  $31_{i-1,j}$  を介して右下方向に向かう表面配線  $32_{i-1,j}$  の一方の端部が接続され、表面配線  $32_{i-1,j}$  の他方の端部には、読出回路部  $29_{i-1,j}$  の増幅トランジスタ  $QA_{i-1,j}$  のゲート電極が接続されている。即ち、図7に示す回路構成では、電荷読出領域  $15_{i-1,j}$  は、リセットトランジスタのソース領域として機能しているので、電荷読出領域  $15_{i-1,j}$  に増幅トランジスタ  $QA_{i-1,j}$  のゲート電極とリセットトランジスタ  $TR_{i-1,j}$  のソース領域が接続されていることになる。増幅トランジスタ  $QA_{i-1,j}$  のソース領域には画素選択トランジスタ  $TS_{i-1,j}$  のドレイン領域が接続され、増幅トランジスタ  $QA_{i-1,j}$  のドレイン領域には電源配線  $V_{DD}$  が接続されている。画素選択トランジスタ  $TS_{i-1,j}$  のソース領域には垂直信号線  $B_i$  が接続され、画素選択トランジスタ  $TS_{i-1,j}$  のゲート電極には、垂直シフトレジスタから  $(i-1)$  行目の選択信号  $SL(i-1)$  が入力される。電荷読出領域  $15_{i-1,j}$  に転送された電荷量に相当する電圧によって、増幅トランジスタ  $QA_{i-1,j}$  で増幅された出力が、画素選択トランジスタ  $TS_{i-1,j}$  を介して垂直信号線  $B_j$  に出力される。

#### 【0053】

図7に示す平面図において、読出回路部  $29_{i-1,j}$  の外周の位置（境界）を示す八角形の外径線は、増幅トランジスタ  $QA_{i-1,j}$  及び画素選択トランジスタ  $TS_{i-1,j}$  が形成される活性領域を規定するフィールド絶縁膜領域が設けられている領域を示す。即ち、読出

回路部 2 9<sub>i-1,j</sub> を構成している増幅トランジスタ Q A<sub>i-1,j</sub> 及び画素選択トランジスタ T S<sub>i-1,j</sub> のそれぞれの活性領域は、平面パターンとしては、フィールド絶縁膜に相当する厚い酸化膜で周囲を囲まれて定義されている。透明電極 2 1<sub>i-1,j</sub> のパターンが配置された基体領域の表面と読出回路部 2 9<sub>i-1,j</sub> のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図 4 の断面図に例示したのと同様の素子分離領域 1 2<sub>。</sub>とチャネルストップ領域 1 7 が、( i , j ) 番目の画素等の他の画素の領域から連続した領域として配置されている。

【 0 0 5 4 】

更に、( i - 1 , j + 1 ) 番目の画素の電荷読出領域 1 5<sub>i-1,j+1</sub> には、コンタクトホール 3 1<sub>i-1,j+1</sub> を介して右下方向に向かう表面配線 3 2<sub>i-1,j+1</sub> の一方の端部が接続され、表面配線 3 2<sub>i-1,j+1</sub> の他方の端部には、読出回路部 2 9<sub>i-1,j+1</sub> の増幅トランジスタ Q A<sub>i-1,j+1</sub> のゲート電極が接続されている。即ち、図 7 に示す回路構成では、電荷読出領域 1 5<sub>i-1,j+1</sub> は、リセットトランジスタのソース領域として機能しているので、電荷読出領域 1 5<sub>i-1,j+1</sub> に増幅トランジスタ Q A<sub>i-1,j+1</sub> のゲート電極とリセットトランジスタ T R<sub>i-1,j+1</sub> のソース領域が接続されていることになる。増幅トランジスタ Q A<sub>i-1,j+1</sub> のソース領域には画素選択トランジスタ T S<sub>i-1,j+1</sub> のドレイン領域が接続され、増幅トランジスタ Q A<sub>i-1,j+1</sub> のドレイン領域には電源配線 V<sub>DD</sub> が接続されている。画素選択トランジスタ T S<sub>i-1,j+1</sub> のソース領域には垂直信号線 B<sub>j+1</sub> が接続され、画素選択トランジスタ T S<sub>i-1,j+1</sub> のゲート電極には、垂直シフトレジスタから ( i - 1 ) 行目の選択信号 S L ( i - 1 ) が入力される。電荷読出領域 1 5<sub>i-1,j+1</sub> に転送された電荷量に相当する電圧によって、増幅トランジスタ Q A<sub>i-1,j+1</sub> で増幅された出力が、画素選択トランジスタ T S<sub>i-1,j+1</sub> を介して垂直信号線 B<sub>j+1</sub> に出力される。

【 0 0 5 5 】

図 7 において、読出回路部 2 9<sub>i-1,j+1</sub> を示す八角形の外径線は、増幅トランジスタ Q A<sub>i-1,j+1</sub> 及び画素選択トランジスタ T S<sub>i-1,j+1</sub> を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部 2 9<sub>i-1,j+1</sub> の中の増幅トランジスタ Q A<sub>i-1,j+1</sub> の活性領域及び画素選択トランジスタ T S<sub>i-1,j+1</sub> の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極 2 1<sub>i-1,j+1</sub> のパターンが配置された基体領域の表面と読出回路部 2 9<sub>i-1,j+1</sub> のパターンが配置された基体領域の表面の間には、厚い酸化膜は存在せず、基体領域の表面には図 4 の断面図に例示したのと同様の素子分離領域 1 2<sub>。</sub>とチャネルストップ領域 1 7 が ( i - 1 , j ) 番目の画素や ( i , j + 1 ) 番目の画素等の他の画素の領域から連続した領域として配置されている。

【 0 0 5 6 】

特に、第 1 の実施形態に係る固体撮像装置においては、それぞれの画素の電荷生成埋込領域 1 3 が n 型の場合は、それぞれの画素の透明電極 2 1<sub>i,j</sub> に負電圧を印加することにより、それぞれの画素のゲート絶縁膜 2 3 中にガンマ線の照射によって生成される正孔の作用が打ち消される。したがって、暗電流の増大は抑圧され、暗電流によるノイズが少なく、又信号動作マージンとしてのダイナミックレンジも維持された画像を得ることができる。即ち、既に説明したとおり、それぞれの画素の電荷生成埋込領域 1 3 が n 型であれば、少数キャリアは正孔 ( ホール ) であるので、透明電極 2 1<sub>i,j</sub> の直下のゲート絶縁膜 2 3 と半導体との界面、即ち、電荷生成埋込領域 1 3 の表面に多量の正孔 ( ホール ) による反転層 1 4 が形成され、少数キャリアである正孔で表面電位がピニングされる。それぞれの画素において、正孔でピニングされることにより、ゲート絶縁膜 2 3 と半導体との界面の界面準位が不活性化される。

【 0 0 5 7 】

なお、第 1 の実施形態に係る固体撮像装置において、それぞれの画素にガンマ線が照射された場合に、それぞれの画素の薄いゲート絶縁膜 2 3 中にも正孔が発生するが、膜厚が薄いためそれぞれの画素のゲート絶縁膜 2 3 中に生成される正孔の絶対量も僅かである。

【 0 0 5 8 】

第 1 の実施形態に係る固体撮像装置においては、それぞれの画素の透明電極 2 1<sub>i,j</sub> ,

$2\ 1_{i,j+1}$ 、 $2\ 1_{i-1,j}$ 及び $2\ 1_{i-1,j+1}$ の直下の電荷生成埋込領域 $1\ 3$ で光電変換された電荷は、対応する画素のそれぞれの電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 、 $1\ 5_{i-1,j}$ 及び $1\ 5_{i-1,j+1}$ に一定期間蓄積される。画素からの信号読み出しは行単位で行われる。まず $i$ 行について、垂直シフトレジスタから選択信号 $S\ L(i)$ によりこの行を選択して、電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等の信号レベルを読む。次いで垂直シフトレジスタによる電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等のリセット動作を行った後、電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等のリセットレベルを読む。その後、次の $(i-1)$ 行について、垂直シフトレジスタから選択信号 $S\ L(i-1)$ によりこの行を選択して、電荷読出領域 $1\ 5_{i-1,j}$ 、 $1\ 5_{i-1,j+1}$ 等の信号レベルを読み、次いでその行で垂直シフトレジスタによる電荷読出領域 $1\ 5_{i-1,j}$ 、 $1\ 5_{i-1,j+1}$ 等のリセット動作を行った後、電荷読出領域 $1\ 5_{i-1,j}$ 、 $1\ 5_{i-1,j+1}$ 等のリセットレベルを読む。画素から読み出された信号は、各列毎に周辺回路に設けられたカラム処理回路で、信号レベルとリセットレベルの差を読み取る相関 $2$ 重サンプリング動作を施されることにより、オフセット等が除去された正味の信号のみが順次出力される。但し、信号レベルと、その直後に読み取るリセットレベルにはノイズ相関がない。したがって、相関 $2$ 重サンプリング動作によってもリセットノイズは除去されない。

10

20

30

40

50

#### 【0059】

次に、上述した固体撮像部 $1$ を搭載した本実施形態の撮像装置の制御方法について説明する。図 $8$ は、本実施形態の撮像装置の制御手法を説明するフロー図である。まず、撮像装置において、暗電流検出手段 $2$ は、固体撮像部 $1$ の遮光画素領域 $1\ 0\ 1$ に位置する撮像素子から出力される電圧レベルを測定して( $S\ 1$ )、測定した電圧レベルの平均値を算出する( $S\ 2$ )。この平均値は、 $1$ フレームにおいて測定された遮光画素領域 $1\ 0\ 1$ に位置する複数の撮像素子の電圧レベルの平均を用いることができる。暗電流検出手段 $2$ は、測定した暗電流を複数フレーム続けて処理して複数フレームに亘る暗電流の平均値を計算してもよい。

#### 【0060】

次いで、暗電流検出手段 $2$ は、測定された電圧レベルの平均値が閾値(所定の範囲)を超えるか否かを判定する( $S\ 3$ )。測定された電圧レベルの平均値が閾値を超えると判定された場合( $S\ 3:Yes$ )に暗電流が検出されたと判定し、暗電流検出手段 $2$ は、暗電柱を検出したことを映像信号適正化手段 $5$ に送る。なお、暗電流の検出は、平均値による方法でなくとも、遮光画素領域 $1\ 0\ 2$ において測定した電圧レベルの中央値をとるなど、他の態様でもよい。

#### 【0061】

測定された電圧レベルの平均値が閾値を超えたことにより、暗電流が検出されたと判定されると、映像信号検出手段 $4$ 、映像信号適正化手段 $5$ 、および $P\ G$ 電圧制御手段 $6$ により $P\ G$ 電圧調整処理が行われる( $S\ 4$ )。 $P\ G$ 電圧調整処理( $S\ 4$ )では、映像信号適正化手段 $5$ は、暗電流検出手段 $2$ から暗電流を検出した旨を受け取ったことに応じて $P\ G$ 電圧の制御値を変化させることを決定し、決定した $P\ G$ 電圧の制御値を $P\ G$ 電圧制御手段 $6$ に対して出力する。このとき、映像信号適正化手段 $5$ は、 $P\ G$ 電圧の制御値が調整可能範囲を超えたかどうか判断してもよい。 $P\ G$ 電圧の制御値が調整可能範囲を超えた場合、それ以上 $P\ G$ 電圧を制御することによって暗電流の抑制ができないので、撮像装置が壊れた旨か固体撮像部 $1$ の取り替えを促す旨の信号を出力する構成とすることもできる。 $P\ G$ 電圧制御手段 $6$ は、映像信号適正化手段 $5$ から受け取った $P\ G$ 電圧の制御値に基づいて固体撮像部 $1$ を構成する全ての撮像素子の $P\ G$ 電圧を変化させる。

#### 【0062】

図 $9$ は $P\ G$ 電圧調整処理( $S\ 4$ )の流れを示すフロー図である。図 $9$ に示すように、暗電流を検出した旨を受け取った映像信号適正化手段 $5$ は、所定値だけ $P\ G$ 電圧を上げる(下げる)ように、 $P\ G$ 電圧制御手段 $6$ に指示し、 $P\ G$ 電圧制御手段 $6$ は、固体撮像部 $1$ の全ての画素の $P\ G$ 電圧を指示された値だけ $P\ G$ 電圧を上げる(下げる)( $S\ 4\ 1$ )。

#### 【0063】

P G 電圧を変更した状態で、固体撮像部 1 の各画素から出力される電圧レベルは映像信号検出手段 4 により映像信号として検出される ( S 4 2 ) 。

【 0 0 6 4 】

映像信号適正化手段 5 は、映像信号として検出された各画素の電圧レベルに基づいて飽和電荷量レベルを算出する ( S 4 3 ) 。飽和電荷量レベルとは、P G 電圧を変化させたことに伴って変動する飽和電荷量が、ガンマ線照射がゼロの時に設定されている飽和電荷量からどれだけ変動したかを示す指標である。飽和電荷量の変動は、厳密に画素に飽和電荷量に相当する光量を与えて測定することによらず、通常の撮影により得た画像の電圧レベルを一定の基準レベルと比較することによって推定したものをを用いることができる。例えば、最大となる電圧レベルが「 1 0 2 3 」、基準値が「 1 8 % 」に設定されており、有効画素数が「 1 , 3 0 0 , 0 0 0 」であり、映像信号検出手段 4 で検出された有効画素領域 1 0 1 の電圧レベルの総和が 2 0 0 , 0 0 0 であった場合について考える。まず、有効画素の全画素の電圧レベルの総和は、 $1 0 2 3 \times 1 , 3 0 0 , 0 0 0 = 1 , 3 2 9 , 9 0 0 , 0 0 0$  と算出でき、この算出された全画素の電圧レベルの総和に基準値を与えると、基準レベルを求めることができる。基準レベルは、当初設定された状態のときに得られる電圧レベルである。例えば、 $1 , 3 2 9 , 9 0 0 , 0 0 0$  ( 全画素の電圧レベルの総和 )  $\times 0 . 1 8$  ( 基準値 ) =  $2 3 9 , 3 8 2 , 0 0 0$  と基準レベルが算出できる。さらに映像信号検出手段 4 で検出された有効画素領域 1 0 1 の電圧レベルの総和に対する算出した基準レベルの比を取って、 $2 3 9 , 3 8 2 , 0 0 0 / 2 0 0 , 0 0 0 , 0 0 0 = 1 . 1 9 7$  と飽和電荷量レベルを算出することができる。なお、この例において、算出に用いる画素は、少なくとも有効画素領域を含むものであれば、有効画素領域以外に遮光画素領域を含むことを妨げない。

【 0 0 6 5 】

映像信号適正化手段 5 は、算出した飽和電荷量レベル 1 . 1 9 7 に基づいて、P G 電圧をさらに増加または減少させることを P G 電圧制御手段に指示することができる ( S 4 4 ) 。もちろん、P G 電圧を変化させないと指示してもよい。飽和電荷レベルがどのような場合に P G 電圧を増加、減少、固定のいずれとするのかについては、固体撮像部 1 や撮像対象、撮像環境等の特性に応じて自由に設定することができる。なおここでは S 4 2 から S 4 4 の処理は 1 回だけ行う場合を例に挙げて説明しているが、S 4 4 において P G 電圧を変化させないとの指示を行うまで、S 4 2 から S 4 4 を複数回繰り返してもよい。

【 0 0 6 6 】

一方、暗電流検出手段 2 は、閾値を超える暗電流は検出されていないと判断する ( S 3 : N o ) と、暗電流の検出の終了を輝度階調制御手段 3 に通知する ( S 5 ) 。暗電流検出終了の通知を受けると、輝度階調制御手段 3 、映像信号検出手段 4 、および映像信号適正化手段 5 は、係数算出処理を行なう ( S 6 ) 。

【 0 0 6 7 】

基準係数算出処理 ( S 6 ) では、固体撮像部 1 の各画素の電圧レベルが輝度階調制御手段 3 を介して映像信号検出手段 4 に送られる。映像信号検出手段 4 は、固体撮像部 1 の有効画素領域 1 0 1 の各画素の 1 フレーム当たりの電圧レベルを検出し、映像信号適正化手段 5 は、検出された電圧レベルに基づいて補正係数の基準となる基準係数を算出する。

【 0 0 6 8 】

映像信号適正化手段 5 は、固体撮像部 1 ごとに予め決まっている最大となる電圧レベルと有効画素数に基づいて基準レベルを算出して、算出した基準レベルと検出した 1 フレーム当たりの全画素の電圧レベルの総和との比から輝度階調補正用の基準係数を決定する。なお、基準レベルの算出は都度行ってもよいが、固体撮像部 1 によって予め決まっているので最初に算出されたものを記憶しておき、その後も用いるようにしてもよい。基準係数は、例えば飽和電荷量レベルと同様の手法で算出することができるので、S 4 で算出した飽和電荷量レベルを用いることができる。例えば、最大となる電圧レベルが「 1 0 2 3 」、基準値が「 1 8 % 」に設定されており、有効画素数が「 1 , 3 0 0 , 0 0 0 」であり、映像信号検出手段 4 で検出された有効画素領域 1 0 1 の電圧レベルの総和が 2 0 0 , 0 0

0であった場合について考える。まず、有効画素の全画素の電圧レベルの総和は、 $1023 \times 1,300,000 = 1,329,900,000$ と算出でき、この算出された全画素の電圧レベルの総和に基準値を与えると、基準レベルを求めることができる。例えば、 $1,329,900,000$  (全画素の電圧レベルの総和)  $\times 0.18$  (基準値)  $= 239,382,000$ と基準レベルが算出できる。さらに映像信号検出手段4で検出された有効画素領域101の電圧レベルの総和に対する算出した基準レベルの比を取って、 $239,382,000 / 200,000,000 = 1.197$ と輝度階調補正用の基準係数を算出することができる。映像信号適正化手段5は、算出した輝度階調補正用の基準係数を輝度階調制御手段3に送る。なお、基準係数算出処理において、算出に用いる画素は、少なくとも有効画素領域を含むものであれば、有効画素領域以外に遮光画素領域を含むことを妨げない。

10

#### 【0069】

このように基準係数算出処理(S6)で算出した係数は、実際の出力と、本来あるべき出力すなわち当初設定したときの出力とを用いて算出するので、現在の出力特性と本来あるべき出力特性との関係を適切に表しているといえる。

#### 【0070】

輝度階調制御手段3は、輝度階調補正用の基準係数を受け取ると、受け取った輝度階調補正用の基準係数から補正係数を決定して(S7)、固体撮像部1から出力される各画素の電圧レベルに対して決定した補正係数を用いて画素毎の電圧レベルの補正を行う(S8)。補正された各画素の電圧レベルは映像信号検出手段4を介して出力映像信号として出力される。

20

#### 【0071】

補正係数は、例えば、以下の3つの例が挙げられる。(例1)電圧レベルXに係数P1を乗算し、係数P2を減算することにより補正後の値Yを求める際のP1、P2である。この場合、S8における補正は、 $Y = (X \times P1) - P2$ により行うことができる。例えば、上記基準係数をP1として用い、上記基準係数に0.05を乗算したものをP2と用いることができる。

#### 【0072】

(例2)電圧レベルXに係数P1を乗算し、係数P3をべき乗することにより補正後の値Yを求める際のP1、P3である。この場合、上記S8における補正は、 $Y = (X \times P1)^{P3}$ により行うことができる。この例は、ディスプレイ側の映像出力特性を撮像装置側で補正するいわゆるガンマ補正をも加味したものである。例えば、上記基準係数をP1として用い、ディスプレイの特性であるガンマ係数2.2の逆数である0.45をP3と用いることができる。

30

#### 【0073】

(例3)上記(例1)、(例2)において決定した補正係数P1、P2、P3を光量(電圧レベル)に応じて変化させる。例えば中間領域で $P3 = 0.45$ とすると、中間領域よりも光量(電圧レベル)が小さい場合は、 $P3 = 0.40$ とし、中間領域よりも光量が大きい場合は、 $P3 = 0.50$ とすることができる。

#### 【0074】

輝度階調制御手段3は、所定時間が経過するまで補正を繰り返す(S9:No)。暗電流検出手段2は、所定時間が経過したと判断したら、S1に戻り再び暗電流の検出処理を行う(S9:Yes)

40

ここで最終的に出力される出力映像信号について、図10のPG電圧制御を説明する図および図11の輝度階調調整を説明する図を用いて説明する。

#### 【0075】

固体撮像部1は、ガンマ線を吸収する前は、各画素に入射される光量(光量)に対する電圧レベル(出力)が、図10、11の曲線Aの特性を示すように設定されている。図10の曲線Bは、撮像装置をガンマ線環境下で使用することによって、固体撮像部1の各画素がガンマ線を所定量以上吸収したときの光量と出力との関係を示している。曲線Bによ

50

ると、光量が低い部分の出力が上昇しており、曲線 A で示される最初の状態よりも暗電流が上昇していることがわかる。暗電流検出手段 2 が暗電流を検出したと判定した（図 8 の S 3 : Yes）ときには、固体撮像部 1 は曲線 B に示すような特性を示している。

【0076】

図 10 及び図 11 の曲線 C は、所定量以上のガンマ線の吸収をした固体撮像部 1 に対して P G 電圧調整処理（図 8 の S 4）をしたときの光量と出力との関係を示している。固体撮像部 1 が曲線 C に示すような特性となるのは、P G 電圧調整処理によって、暗電流が抑制された一方で飽和容量も同時に低下している状態である。

【0077】

図 11 の曲線 D は、所定量以上のガンマ線を吸収した固体撮像部 1 に対して P G 電圧調整処理をした後に出力される電圧レベルをさらに輝度階調制御手段 3 により補正したときに、出力映像信号として出力される信号レベル（出力）を光量に対して示したものである。このように、図 11 の曲線 C から曲線 D のように出力される信号レベルの特性は、輝度階調（光量）に補正処理をすることによって、ガンマ線吸収をする前の曲線 A に限りなく近づけられることがわかる。

【0078】

本実施形態では、係数算出処理（S 5）と補正係数の決定（S 6）との処理は一例にすぎない。撮像素子で実際に検出された電圧レベルと基準の電圧レベルとに基づいて係数を算出して、算出した係数に基づいて補正係数をさらに決定することができれば、いずれの手法でもよい。

【0079】

本実施形態の撮像装置によれば、飽和電荷量の低下とのバランスをとりながら P G 電圧の制御により暗電流の抑制を図りつつ、輝度レベルを補正することによってダイナミックレンジを調整することにより、放射線環境下においても、良好な画像を撮像可能となる。

【0080】

（第 2 の実施形態）

図 12 は、第 2 の実施形態の撮像装置の構成例を示すブロック図である。第 2 の実施形態の撮像装置は、図 12 に示すように、第 1 の実施形態の撮像装置に、固体撮像部 1 を冷却する冷却手段 7 を追加した構成を備えている。冷却手段 7 にかかる構成以外は、第 1 の実施形態と同様であるので、その説明を省略する。

【0081】

この実施形態の撮像装置では、ガンマ線の吸収による暗電流の増加を、P G 電圧の調整のみによらず、固体撮像部 1 を冷却することによって抑制することができる。冷却による暗電流の抑制は、P G 電圧の調整よりも前もって行うことが好ましい。冷却手段 7 としては例えば固体撮像部 1 に隣接して配置したペルチェ素子を用いることができる。ペルチェ素子に印加する電圧を制御することによってペルチェ素子の温度を下げることによって固体撮像部 1 を冷却することができる。

【0082】

図 13 は、冷却手段 7 の効果を示す図である。固体撮像部 1 の入射光量に対する電圧レベル出力特性は、ガンマ線を吸収すると、直線で示す特性から破線で示す特性に変化する。破線で示す特性に変化したときに、暗電流の上昇を検出すると、上昇した暗電流を抑制するように冷却手段 7 に対する印加電圧を制御して、固体撮像部 1 を冷却する。固体撮像部 1 が冷却されると、図 13 の一点鎖線に示すように固体撮像部 1 の出力特性は暗電流が低下するように変化する。冷却手段 7 による暗電流の抑制は、飽和容量の低下を招くことなく、暗電流が低下できるが、その効果には限度がある。したがって、冷却手段 7 は、P G 電圧制御手段 6 と組み合わせて用いることによってさらに画質の改善を図ることができる。

【0083】

（第 3 の実施形態）

図 14 は、第 3 の実施形態の撮像装置の構成例を示すブロック図である。第 3 の実施形

10

20

30

40

50

態の撮像装置は、第 1 の実施形態の撮像装置をカラー化した構成である。カラー化した以外の構成は他の実施形態と同様であるので、その説明を省略する。第 3 の実施形態の撮像装置では、図 1 4 に示すように、固体撮像部 1 と、暗電流検出手段 2 と、輝度階調制御手段 3 と、映像信号検出手段 4 と、P G 電圧制御手段 6 とを 3 原色を構成する各色ごとに備えており、さらに、これらの 3 原色の映像信号検出手段 4 からの出力が入力される色補正制御手段 9 および映像信号適正化手段 5 と、色補正制御手段 9 からのカラー化された映像信号を検出する色映像信号検出手段 1 0 とを備えている。

【 0 0 8 4 】

この実施形態の撮像装置では、固体撮像部 1 の入射部位に R G B の 3 原色のいずれかの色のフィルタを配置しており、それぞれの固体撮像部 1 は、3 原色のいずれかについての光量を測定し、電圧レベルを出力する。

10

【 0 0 8 5 】

色補正制御手段 9 は、各色に対応した固体撮像部 1 の撮像素子から出力される電圧レベルに基づいて色バランスが適正になるように色補正を行う。例えば、色映像信号検出手段 1 0 において、各色ごとに、各画素の 1 フレーム当たりの電圧レベルを検出し、全画素の総和を検出する。映像信号適正化手段 5 が検出した各色ごとの全画素の総和を受け取って、各色について比較し、全画素の総和が全ての色で同じになるための係数（色補正係数）を算出する。色補正制御手段 9 は、算出された色補正係数に基づいて各色の電圧レベルを補正する。

【 0 0 8 6 】

20

この実施形態の撮像装置によれば、例えば、ガンマ線の照射下に曝されることによりブラウニングが進行した場合でも、B（青色）に対応する固体撮像部 1 の出力感度を増幅することによって、経年的な色バランスの劣化による画質の低下を抑えることができる。

【 0 0 8 7 】

この実施形態では、カラー画像を構成する色を R G B の 3 原色に分けて説明したが、R G B 以外の 3 原色でもいいし、4 原色やその他の色の組合せでもよい。

【 0 0 8 8 】

また、本実施形態の撮像装置は第 1 の実施形態に示す撮像装置のように冷却手段のない構成を例に挙げて説明したが、第 2 の実施形態に示す撮像装置のように、冷却手段を設けた構成でもよい。

30

【 0 0 8 9 】

いずれの実施形態においても、さらに他のノイズ除去手段を付加してもよい。

【符号の説明】

【 0 0 9 0 】

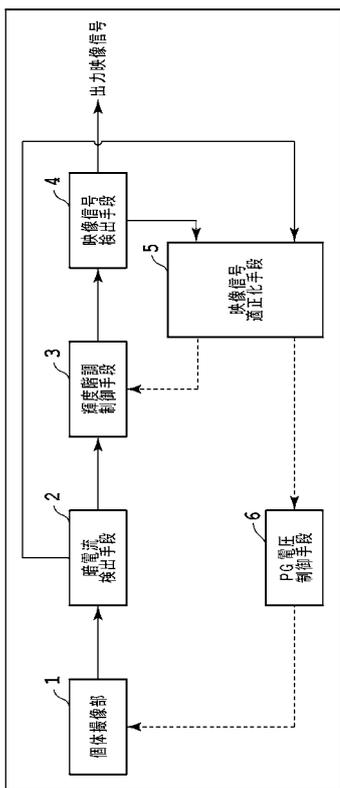
- 1 固体撮像部
- 2 暗電流検出手段
- 3 輝度階調制御手段
- 4 映像信号検出手段
- 5 映像信号適正化手段
- 6 P G 電圧制御手段
- 7 冷却手段
- 9 色補正制御手段
- 1 0 色映像信号検出手段
- 1 1 基体領域
- 1 2<sub>i</sub> ウェル領域
- 1 2。素子分離領域
- 1 3 電荷生成埋込領域
- 1 4 反転層
- 1 5<sub>i, j</sub>, 1 5<sub>i, j+1</sub>, 1 5<sub>i-1, j</sub>, 1 5<sub>i-1, j+1</sub> 電荷読出領域
- 1 6<sub>i, j</sub>, 1 6<sub>i, j+1</sub>, 1 6<sub>i-1, j</sub>, 1 6<sub>i-1, j+1</sub> リセットドレイン領域

40

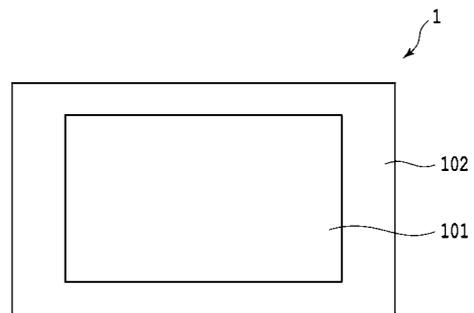
50

- 1 7 チャンネルストップ領域
- 2 1  $i, j$ , 2 1  $i, j+1$ , 2 1  $i-1, j$ , 2 1  $i-1, j+1$  透明電極
- 2 2  $i, j$ , 2 2  $i, j+1$ , 2 2  $i-1, j$ , 2 2  $i-1, j+1$  リセットゲート電極
- 2 3 ゲート絶縁膜
- 2 9  $i, j$ , 2 9  $i, j+1$ , 2 9  $i-1, j$ , 2 9  $i-1, j+1$  読出回路部
- 3 1  $i, j$ , 3 1  $i, j+1$ , 3 1  $i-1, j$ , 3 1  $i-1, j+1$  コンタクトホール
- 3 2  $i, j$ , 3 2  $i, j+1$ , 3 2  $i-1, j$ , 3 2  $i-1, j+1$  表面配線
- 1 0 1 有効画素領域
- 1 0 2 遮光画素領域

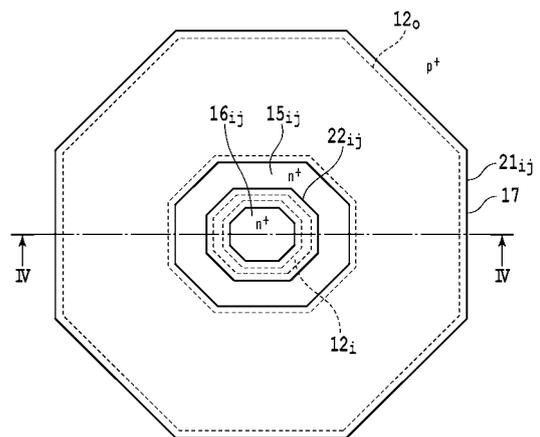
【図 1】



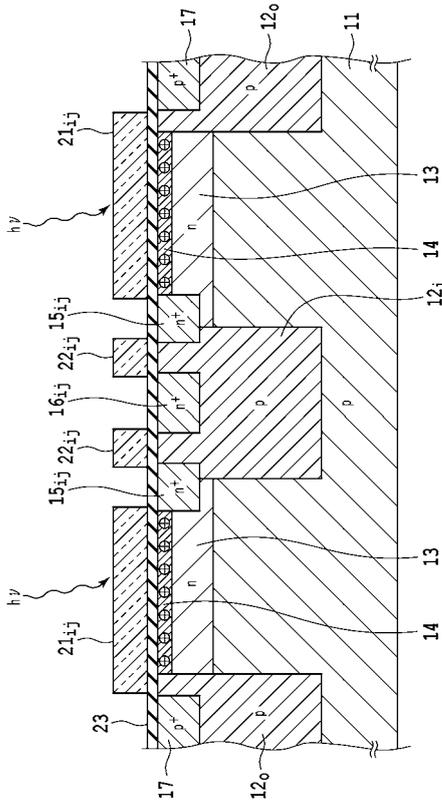
【図 2】



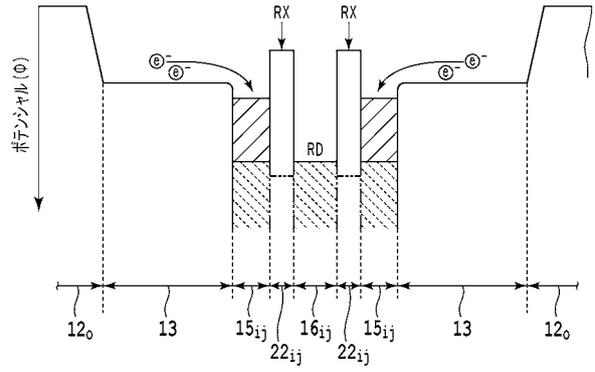
【図 3】



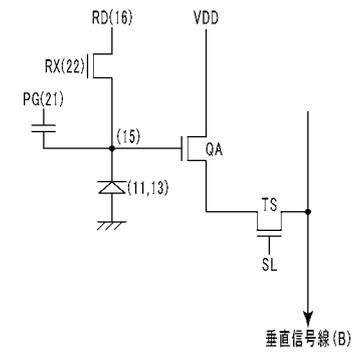
【図4】



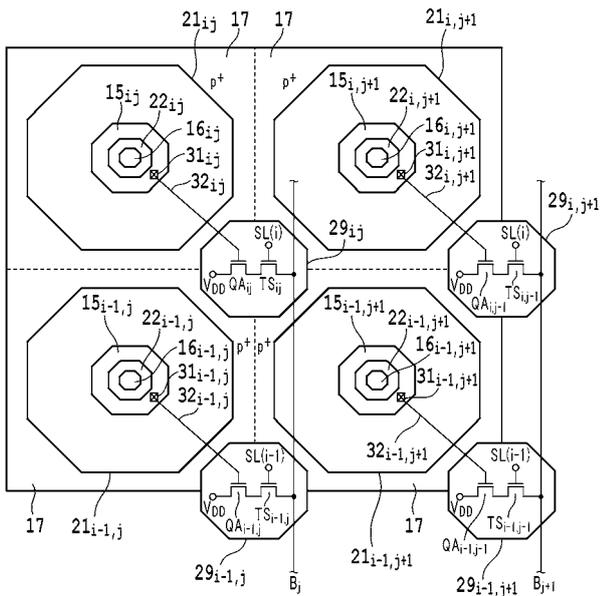
【図5】



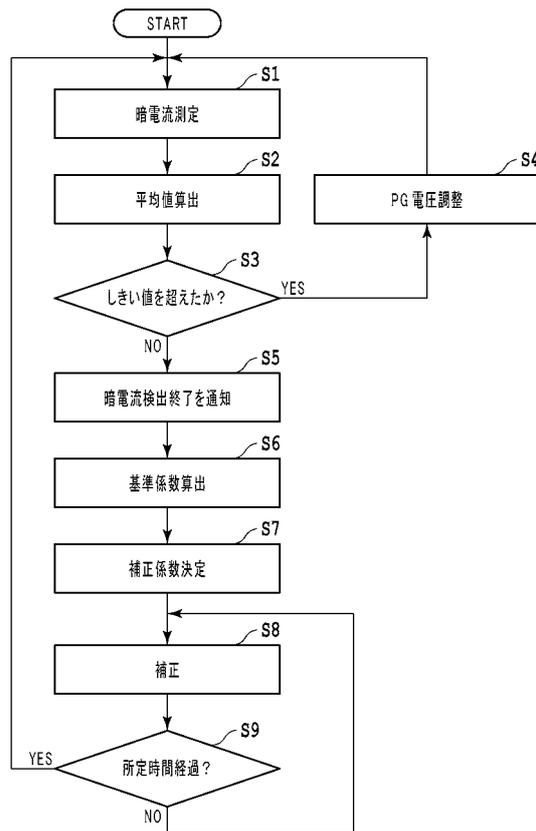
【図6】



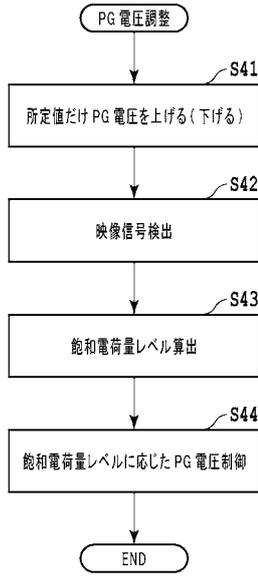
【図7】



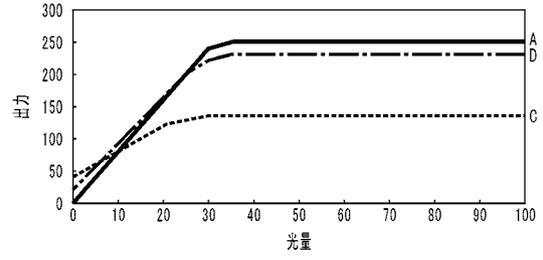
【図8】



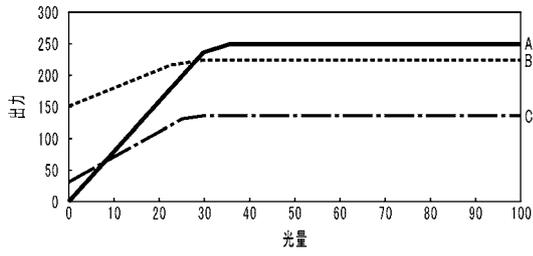
【 図 9 】



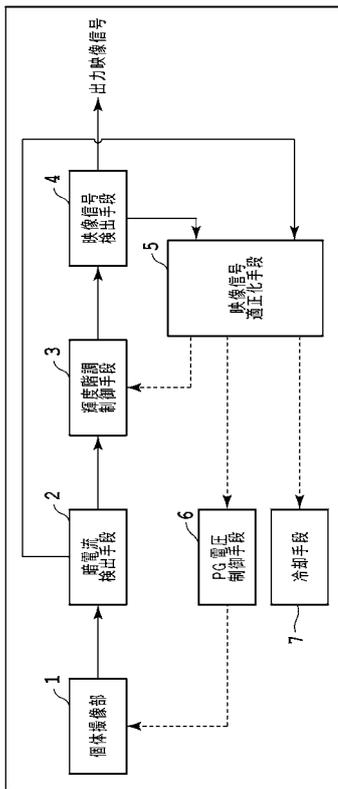
【 図 1 1 】



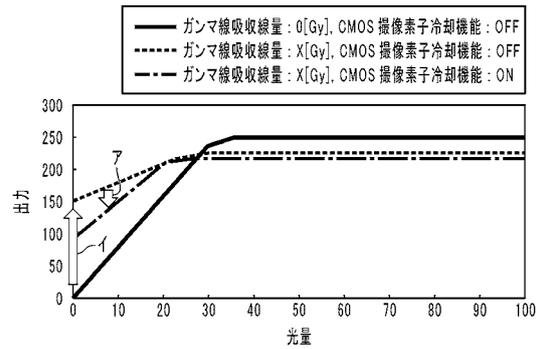
【 図 1 0 】



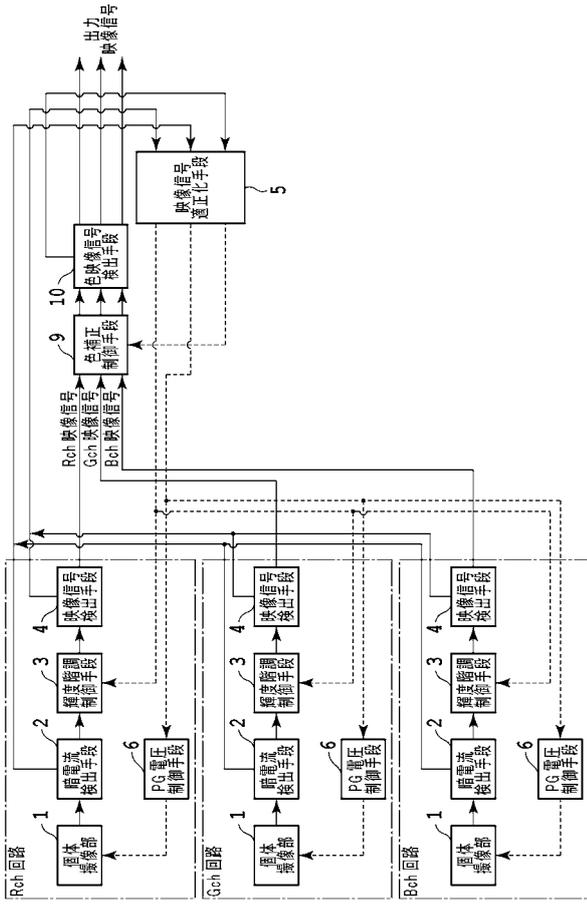
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

(72)発明者 武内 伴照

茨城県東茨城郡大洗町成田町4002番地 国立研究開発法人日本原子力研究開発機構 大洗研究  
開発センター内

(72)発明者 土谷 邦彦

茨城県東茨城郡大洗町成田町4002番地 国立研究開発法人日本原子力研究開発機構 大洗研究  
開発センター内

(72)発明者 渡辺 恭志

静岡県浜松市中区大工町125 株式会社ブルックマンテクノロジー内

Fターム(参考) 4M118 AA02 AA05 AB01 BA14 CA04 CA20 FA06 FA26 GB09

5C024 BX04 CX32 GX02 GX16 GY31 HX21 HX29

5C122 DA15 EA17 EA21 EA23 FC02 FC07 FH01 HA53 HB01 HB06