

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月23日(23.05.2024)



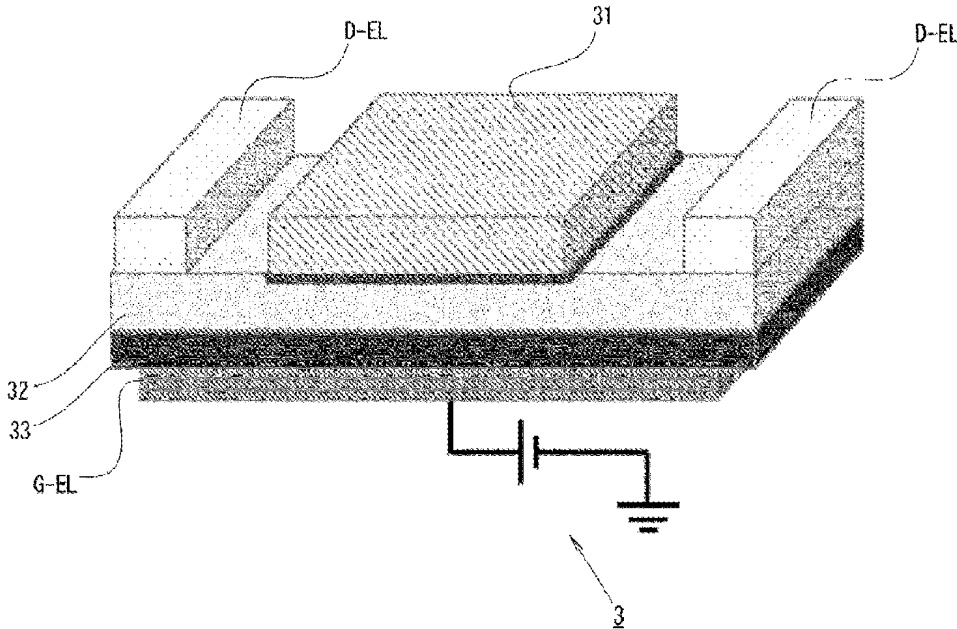
(10) 国際公開番号

WO 2024/105907 A1

- (51) 国際特許分類:
H01L 29/82 (2006.01) *H01L 27/04* (2006.01)
H01F 10/28 (2006.01) *H10N 52/85* (2023.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2023/019706
- (22) 国際出願日: 2023年5月26日(26.05.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-183158 2022年11月16日(16.11.2022) JP
- (71) 出願人: 国立研究開発法人日本原子力研究開発機構 (JAPAN ATOMIC ENERGY AGENCY) [JP/JP]; 〒3191184 茨城県那珂郡東海村大字
- 字舟石川765番地1 Ibaraki (JP)、国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者: 荒木 康史 (ARAKI Yasushi); 〒3191195 茨城県那珂郡東海村大字白方2番地4 国立研究開発法人日本原子力研究開発機構 先端基礎研究センター内 Ibaraki (JP)、家田 淳一 (IEDA Jun'ichi); 〒3191195 茨城県那珂郡東海村大字白方2番地4 国立研究開発法人日本原子力研究開発機構 先端基礎研究センター内 Ibaraki (JP)、深見 俊輔 (FUKAMI Shunsuke); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi

(54) Title: THIN-FILM INDUCTOR ELEMENT, THIN-FILM VARIABLE INDUCTOR ELEMENT, AND METHOD OF USING STACKED THIN-FILM ELEMENT

(54) 発明の名称: 薄膜インダクタ素子、薄膜可変インダクタ素子及び積層薄膜素子の使用方法



(57) Abstract: The purpose of the present invention is to provide a thin-film inductor element that, when mounted within an electric circuit, exhibits sufficient emergent inductor functionality while reducing the operating current. This thin-film inductor element is characterized in being provided with a film laminate in which a magnetic-element layer and a non-magnetic-element layer are stacked, and a pair of electrodes, and characterized in that: the magnetic-element layer and the nonmagnetic-element layer extend in a discretionary shape in a direction orthogonal to the stacking direction; the magnetic-element layer has a substantially uniform magnetic texture including a stacking-direction component; the nonmagnet-

WO 2024/105907 A1

(JP). 山根 結太(YAMANE Yuta); 〒9808577 宮城
県仙台市青葉区片平二丁目1番1号 国立
大学法人東北大学内 Miyagi (JP).

(74) 代理人: 弁理士法人英知国際特許商標
事務所 (EICHI PATENT & TRADEMARK
CORP.); 〒1120011 東京都文京区千石4丁
目45番13号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

規則4.17に規定する申立て:

— 出願し及び特許を与えられる出願人の資格に関
する申立て (規則4.17(ii))

添付公開書類:

— 国際調査報告 (条約第21条(3))

ic-element layer is an insulator and the surface thereof has a conduction-enabling structure; and the pair of electrodes are provided positioned proximate to respective ends to which the film laminate extends, make contact with at least the surface of the nonmagnetic-element layer, and have a current that modulates at a frequency of 1 kHz to 1 GHz applied thereto.

(57) 要約: 電気回路内に実装するに際して、動作電流を小さくしつつも、十分な創発インダクタ機能を発現できる薄膜インダクタ素子を提供することを目的とする。磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極を備え、前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、前記非磁性体層は、絶縁体であり、かつその表面が導電可能な構造であり、前記一对の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられ、1 kHz ~ 1 GHz の周波数で変調する電流が印加されるものであることを特徴とする薄膜インダクタ素子。

明 細 書

発明の名称：

薄膜インダクタ素子、薄膜可変インダクタ素子及び積層薄膜素子の使用方法

技術分野

[0001] 本発明は、薄膜インダクタ素子、薄膜可変インダクタ素子及び積層薄膜素子の使用方法に関する。

背景技術

[0002] コイルに生じる誘導起電力を使い回路電流を一定に保つ素子としてインダクタ素子が知られている。変圧を行うためのトランスが第一の用途として想起される一方で、小型の電気機器や電気回路におけるフィルタ等の高周波回路としてもインダクタ素子は用いられる。携帯用通信端末等の各種電子機器で使用される回路素子には小型化・微細化が求められ、当然にインダクタ素子にも同様の要求仕様が生じる一方で、所望の機能特性を実現するため、インダクタ素子の強さであるインダクタンスには一定程度の大きさが求められることになる。しかし、インダクタンスは、コイルの巻き数の2乗およびコイル断面積に比例し、インダクタンス強さと小型化はトレードオフの関係にあるため、インダクタ素子の小型化には自ずと限界があった。

こうした中、電気機器や電気回路の小型化に必要なインダクタ素子の微細化に寄与するとの期待の下、近年、スピントロニクス技術に基づく創発電磁場によるインダクタ素子としての創発インダクタ (Emergent Inductor) の原理が解明され、実証にも成功している。図8が示すように、従前からのインダクションコイルがインダクタンス強さと小型化というトレードオフの関係を持つのに対して、非特許文献1で開示される創発インダクタ (Emergent Inductor) は、このようなトレードオフの関係を持たず、むしろ逆に、素子断面積がインダクタンスに反比例し、小型化する程にインダクタンスが大きくなるという性質を有する。このため、創発インダクタはダウンサイジングに

大きく貢献するものと期待されている。

しかしながら、創発インダクタは、創発電磁場によるインダクタンスを発生するために、螺旋磁気構造（図8参照）や横型コニカル磁気構造といった非共線的な磁気構造の形成が必須となる。非特許文献1では、 $Gd_3Ru_4Al_{12}$ を用いることで非共線的な磁気構造が形成されることが確認されている。しかし、 $Gd_3Ru_4Al_{12}$ は一般的な材料とは言い難いことから、創発インダクタは、その実現のために材料を選ぶことになるし、適正に材料を選択するという問題をクリアしても螺旋磁気構造を形成するためには結晶方位制御も必要となる。加えて、先行研究によれば、素子性能の温度依存性が高いことも判明している。

このような先行研究が抱える問題を抜本的に解決するべく、非共線的な磁気構造に依るのではなく、空間的に一様な磁気構造を持つ磁性材料に依り、創発インダクタ機能を発現させる試みがなされた。非特許文献2は、量子効果である交換相互作用に加えて、量子相対論効果であるスピン軌道相互作用に着目し、これらの効果の複合作用により、導線と磁気モーメントのどちらにも、ねじれの無い系、すなわち、向きが一様な磁気モーメントを持つ磁性体においても、創発インダクタが発現することを理論的に明らかにした。

先行技術文献

非特許文献

[0003] 非特許文献1: Tomoyuki Yokouchi, Fumitaka Kagawa, Max Hirschberger, Yoshichika Otani, Naoto Nagaosa & Yoshinori Tokura "Emergent electromagnetic induction in a helical-spin magnet", Nature, Vol.586, 8 October 2020

非特許文献2: Yuta Yamane, Shunsuke Fukami, & Jun'ichi Ieda "Theory of Emergent Inductance with Spin-Orbit Coupling Effects", DOI: 10.1103/PhysRevLett.128.147201

発明の概要

発明が解決しようとする課題

[0004] しかしながら、非特許文献2において提案されているねじれの無い系において、創発インダクタの発現は確認されたものの、磁性体のスピンを動かすための動作電流としては一定程度の大きさが必要とされ、このことが、電気回路内に実装するに際しての実効性を低めるという課題が存在する。

本発明は、この課題を解決するべく、電気回路内に実装するに際して、動作電流を小さくしつつも、十分な創発インダクタ機能を発現できる薄膜インダクタ素子を提供することを発明の課題とするものである。

課題を解決するための手段

[0005] 本発明の薄膜インダクタ素子は、少なくとも以下の構成を具備するものである。

磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極を備え、前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、前記非磁性体層は、絶縁体であり、かつその表面が導電可能な構造であり、前記一对の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられ、1kHz～1GHzの周波数で変調する電流が印加されるものであることを特徴とする。

また、本発明の薄膜インダクタ素子は、少なくとも以下の構成を具備するものである。

磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極を備え、前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、前記一对の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられ、1kHz～1GHzの周波数で変調する電流が印加されるものであり、前記非磁性体層は、電子のフェルミエネルギーが伝導帯と価電子帯の間のギャップ内となるように組成比が調整されたトポロジカル絶縁体層、又は、電子のフェルミエネルギーが

伝導帯と価電子帯の間のバンドギャップ内となるようにゲート電圧が調整されたトポロジカル絶縁体層であることを特徴とする。

また、本発明の薄膜可変インダクタ素子は、少なくとも以下の構成を具備するものである。

磁性体層と、非磁性体層と、が積層された積層膜と、 $1\text{ kHz}\sim 1\text{ GHz}$ の周波数で変調する電流を印加するための一对の電極と、前記積層膜を取り囲む薄膜コイルを備え、前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、前記磁性体層は、積層方向成分を含む磁化構造を有しており、前記非磁性体層は、絶縁体であり、かつその表面が導電可能な構造であり、前記薄膜コイルのオンオフ及び／又は電流の向きを切り替えて外部磁場を制御することによってインダクタンス変調動作が実現されることを特徴とする。

さらに、本発明の積層薄膜素子の使用方法は、少なくとも以下の構成を具備するものである。

磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極と、ゲート電極を備え、前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、前記非磁性体層は、トポロジカル絶縁体であり、前記一对の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられていることを特徴とする積層薄膜素子をインダクタ素子として使用方法であって、前記ゲート電極に電子のフェルミエネルギーが伝導帯と価電子帯の間のバンドギャップ内となるように調整された電圧を印加する工程と、前記一对の電極に $1\text{ kHz}\sim 1\text{ GHz}$ の周波数で変調する電流が印加される工程と、を含むことを特徴とする。

これらの発明において共通することとして、「積層膜」とは、磁性体層と非磁性体層とから成る二層膜を当然に含むことに加えて、下地層やギャップ層等の付加的な膜が加えられたものも含むものである。また、「任意の形状」とは、正方形、円、楕円、長方形など、どのような形状であっても良いと

いう意味であるが、任意の形状を選択してもインダクタンスが発現されるということを意図している。また、「一対の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられ」ということは、非磁性体層の表面に対して側方から接する態様と、非磁性体層の表面上から接する態様の何れの態様をも含むことを意味する。さらに、「積層方向成分を含む略一様な磁化構造」とは、非特許文献1にて創発的なインダクタンスが実現される必須要件となっている螺旋磁気構造や横型コニカル磁気構造といった非共線的な磁気構造ではなく、隣り合う磁気モーメントが共線的に配列した磁気構造を意味するものであるが、ただし、その成分として積層方向に平行な成分を有するものであることを意味する。

図面の簡単な説明

[0006] [図1]本発明の第1の実施形態に係る薄膜インダクタ素子の構造概念を示す斜視図である。

[図2]本発明の第1の実施形態に係る薄膜インダクタ素子のインダクタンス動作を示す説明図である。

[図3]本発明の第2の実施形態に係る薄膜インダクタ素子の構造概念を示す斜視図である。

[図4]本発明の第3の実施形態に係る薄膜インダクタ素子の構造概念を示す斜視図である。

[図5]本発明の第4の実施形態に係る薄膜可変インダクタ素子の構造概念を示す斜視図である。

[図6]本発明の第4の実施形態に係る薄膜可変インダクタ素子のインダクタンス変調動作を説明する図である。

[図7]本発明の実施形態に係る薄膜インダクタ素子と従来のインダクタ素子とのエネルギー効率(Q値)についての特性を比較するグラフである。

[図8]従前からのインダクションコイルと創発インダクタとを対比して説明する図である。

発明を実施するための形態

[0007] 本発明の実施形態に係る薄膜インダクタ素子及び薄膜可変インダクタ素子は、スピントロニクス技術ないし創発電磁場を利用するものである。より具体的に、本発明の実施形態は、磁気抵抗メモリ等の分野で既に研究開発がなされているスピン軌道トルク (SOT: Spin-orbit torque) とその逆過程の組み合わせを利用することによってインダクタとして使用するものである。

[0008] 以下、本発明の実施形態を、図面を用いて説明するが、以下の図面は説明を目的に作成された概念図であって、分かりやすくするため、説明に不要な部材を意図的に図示していない場合がある。また、説明のため、部材を意図的に大きくまたは小さく図示している場合があり、正確な縮尺を示す図面ではない。すなわち、実施されるそのままの態様を必ずしも示しているものではないことに留意する必要がある。

[0009] (第1の実施形態)

図1は、本発明の第1の実施形態に係る薄膜インダクタ素子1の構造概念を示す斜視図である。紙面における上から下に向かって、磁性体層11と非磁性体層12とが、この順で積層されている積層膜により、薄膜インダクタ素子1が形成されている。磁性体層11は、積層方向成分を含む略一様な磁化構造を有している。一方、非磁性体層12は、絶縁体であり、かつその表面が導電可能な構造である。薄膜インダクタ素子1は、紙面左右方向に延伸され、その両端には駆動電極D-E Lが設けられ、1kHz~1GHzの周波数で変調する電流が印加される。第1の実施形態における駆動用電流は、一般的なサイン波の電流であるが、パルス波や三角波の信号であってもよい。第1の実施形態において、駆動電極D-E Lは、磁性体層11と非磁性体層12の境界位置を含む位置に配置されている。駆動用電流を非磁性体層12の表面上に通電させる必要があるからである。

ここで、磁性体層11と非磁性体層12の上下関係は任意であり、図示のものと上下位置を入れ替えてもインダクタとして同条件で機能するものである。ただし、後記する薄膜可変インダクタ素子との共通モジュール化などを考慮したならば、図示された上下関係とするのが有利である。磁性体の磁化

の方向は、積層方向成分を含む方向であれば、インダクタとしての機能を発現するものであるが、第1の実施形態においては、大きなインダクタンスが得られるように、積層方向に平行な方向に安定した磁気異方性を有するものとされている。また、スピン軌道トルクを発現できる非磁性体層であれば、インダクタ機能は発現されるのであるが、電気回路内に実装されることを考慮して、動作電流を小さくするために、第1の実施形態における非磁性体層12は、絶縁体であり、かつその表面が導電可能な構造のもの、たとえば、トポロジカル絶縁体層とされている。

[0010] (薄膜インダクタ素子の製造方法)

まず、トポロジカル絶縁体膜を、分子線エピタキシー法を用いて製造し、次いで、その上に磁性体膜を超高真空スパッタリング法により堆積させる。薄膜堆積後、磁場中にて熱処理を行っても良く、本実施形態に係る薄膜インダクタ素子1では、300℃の雰囲気中で2時間の処理を行った。ただし、ここで示した手法は、製造方法を限定する物ではなく、この成膜方法に依らずとも、図1に示される積層膜が製造できれば、良いことは言うまでもない。

[0011] (インダクタ動作の原理)

ここで、第1の実施形態に係る薄膜インダクタ素子1のインダクタ動作の原理を、図2を用いて、説明する。インダクタ動作は、図2(a)に示すスピントルク過程と、図2(b)に示すスピン起電力過程が交互に生じることにより実現される。何らかの原因によって誘導電流が発生する場合に電流の流れる方向が誘導電流の原因を妨げる方向と一致するという電磁誘導についてのレンツの法則のスピントロニクス版と捉えると理解がし易い。以下、具体的に説明する。

[0012] まず、スピントルク過程では、第1の実施形態に係る薄膜インダクタ素子1に電流を導入する。このとき、磁性体層と非磁性体層界面に紙面奥行き方向のスピンが蓄積し磁性体層の磁化にスピン軌道トルクが働く。その結果、磁化方向がエネルギー安定な基板垂直方向(紙面上下方向)から傾く。スピンが蓄積するメカニズムは、磁性体層と非磁性体層の界面において、実効的

な電界が発生することで、伝導電子の運動量とスピン偏極が相互変換するスピン軌道結合の効果により説明することができる。図2は、界面でのスピン軌道結合の効果によって現れる電流とスピントルクの関係を図示している。図2では右方向に電流が流れたときに、磁化を右方向に傾けるようなトルクが働く（反対に左方向に電流が流れたときに、磁化を左方向に傾けるトルクが働く）場合が図示されている。界面に電流を流すと、スピン軌道結合の効果により、電子は電流の方向に対応したスピン偏極を示し、このスピン偏極が磁性体層の磁化に対してスピン軌道トルクをもたらす。すなわち、界面の電流の向きを反転させることにより、磁性体層の磁化へ働くスピン軌道トルクの方向を逆にできる。よって交流電流を入力することで交流のトルクが発生するのである。また、インダクタに導入する電流が交流であれば、磁性体層の磁化が入力した電流の交流周波数で歳差運動が行われる。

[0013] 次に、スピン起電力過程では、エネルギーが安定な基板垂直方向から傾いた磁化が、蓄えた磁気エネルギーを起源として、磁化の歳差運動を起こす。これによって界面の電子にスピン偏極を生み出し、スピン軌道結合を通じて、インダクタに導入した電流を打ち消す方向に反電流が生じることになる。その結果、インダクタには導入した電流と反電流の和が流れることとなり、電流の変化を妨げる作用（インダクタ）を実現する。

[0014] （好適と考えられる材料、寸法及び形状）

以上のことから理解されるように、非磁性体層については、磁性体層にスピン軌道トルクを及ぼすことが絶対的に必要な条件となる。そして、電気回路内に実装されることを考慮して、その表面が導電可能な絶縁体であればよく、たとえば、トポロジカル絶縁体が採用されることになる。具体的な組成の代表例としては、Bi, Sbのうち1種類または2種類と、Se, Teのうち1種類または2種類の元素からなる物質を用いることができる。これを組成式で書けば、 $(\text{Bi, Sb})_2(\text{Te, Se})_3$ となる。この組成式以外でも、トポロジカル絶縁体の性質を示す物質を非磁性体層に用いれば本発明は実施できる。具体的には、 $\text{Bi}_{1-x}\text{Sb}_x$ 、 HgTe/CdTe 二層膜、 CaAgAs などが例示される。一般に、トポロジ

カル絶縁体の組成比を変更することで、バルクのキャリア数が増えるため、バルクの伝導を抑制しつつ、その表面の導電性について調節が可能となる。たとえば $\text{Bi}_{1.5}\text{Sb}_{0.5}\text{Te}_{1.7}\text{Se}_{1.3}$ の組成では、バルクの抵抗率は $140 \text{ m}\Omega\text{cm}$ 、表面のキャリア移動度は $2900 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ となり、トポロジカル絶縁体として良好な特性を示すことが報告されている。後記する第2の実施形態と異なり、ゲート電極を持たない第1の実施形態では、トポロジカル絶縁体の組成比が調整され、電子のフェルミエネルギーがトポロジカル絶縁体 $(\text{Bi, Sb})_2(\text{Te, Se})_3$ における伝導帯と価電子帯の間のバンドギャップである $100\text{--}500\text{meV}$ 程度に収まるようにされている。このことにより、トポロジカル絶縁体のバルク絶縁性及び表面伝導が確保されることになる。膜厚としては、 5nm 以上が必要となる。あまり薄いと表面状態が現れず、表面と裏面とが混合し、性質の差が出ない。また、あまり膜厚を厚くしても、インダクタンス発現には寄与しない無駄な厚み部分となってしまう。そこで、膜厚としては、 $5\text{nm}\sim 10\text{nm}$ の範囲で選択するのが良い。なお、 10nm 程度の膜厚で、表面と裏面の状態が十分に分離されることが、先行研究により明らかにされている。

[0015] 一方、磁性体層は、強磁性体、フェリ磁性体、反強磁性体（注：積層膜が反強磁性体層／反強磁性体層の二層から成ることも可能である）から構成されるものであって、Fe, Co, Ni, Mnを含む材料である。垂直磁化容易軸を有する必要があるため、具体的には、Co/Ni, Co/Pt, Co/Pd, Co/Au, Fe/Au積層膜, Co-Pt, Co-Cr-Pt, Co-Pd, Fe-Pt, Fe-Pd, Fe-Co-Pt, Fe-Co-Pd合金、CoFeB, FeB合金などを用いることができ、[Co/Ni]/Ta/CoFeBのように積層構造としてもよい。磁性体の膜厚を薄くする程、高いインダクタンスが得られるが、磁性が発現する程度の膜厚を確保する必要がある。また、膜厚を厚くすると無駄な領域となることは、非磁性体層と同様である。このことから、磁性体層の膜厚は、 $\text{数nm}\sim 30\text{nm}$ の範囲で選択するのが良い。

なお、磁性体層を絶縁体とすれば、積層体膜の界面により集中して電流が流れるようになるため、有利である。この場合には、希土類鉄ガーネット $\text{R}_3\text{Fe}_5\text{O}_{12}$ （Rは希土類元素、すなわち、Y, Gd, Tb等）、磁性元素（Fe, Ni, Cr, M

n等)を10%程度ドーピングしたトポロジカル絶縁体 $[(\text{Bi}, \text{Sb})_2(\text{Te}, \text{Se})_3]$ を採用し得る。

二層膜の各膜の形状は同一形状とすれば、積層膜の平面形状としては、正方形、円、楕円、長方形などの任意の形状を選択しても、インダクタンスを発現できる。ただし、現実的な取り扱いを考えれば、長方形を選択するのが有利であろう。

なお、図ではインダクタ素子は磁性体層と非磁性体層の二層から構成されるものとして示されているが、実際には製造の過程でこれらの層を所望の特性が得られるように形成するための下地層や、微細加工の過程で素子を保護するためのキャップ層などが設けられた積層膜であっても良い。

[0016] (従来技術に対する有利な効果：製造コスト、使用環境について)

古典電磁気学の原理を用い、同じサイズのインダクタを空芯のソレノイドコイルで製造する場合のインダクタンスは以下のように見積もられる。

インダクタの長さ $100\mu\text{m}$ 、幅 100nm 、厚み 10nm と仮定し、ソレノイドコイルの巻き密度については現行の微細加工技術で実現可能な値として 100nm あたり1周と仮定する。ソレノイドコイルのインダクタンス L は透磁率を μ_0 、巻き密度を n 、長さを l 、幅を W 、厚みを t とすると $L = \mu_0 n^2 l W t$ で与えられ、 0.013 nH と求まる。

一方、本発明の原理に基づくインダクタ素子は積層膜を細線状に加工するのみで実現できることから、古典的なインダクタと比べると製造コストは格段に抑えられる。すなわち、本発明の実施形態に係る薄膜インダクタ素子は、従来の古典的なインダクタと比べ、圧倒的に低いコストで同等かそれを大きく上回るインダクタンスを実現可能である。

[0017] 省コストという点では、スピン移行トルク (STT: Spin-transfer torque) とその逆過程であるスピン起電力の組み合わせを利用する創発インダクタに対しても、本発明の実施形態に係る薄膜インダクタ素子は有利である。先述したように、創発インダクタは螺旋磁気構造などの非共線的な磁気構造の形成が必須であるところ、当該構造を示す材料は特殊なものであり、大量生産

には不向きである。また、結晶方位制御などで螺旋軸方向を揃える必要があるし、さらに、螺旋磁気構造の磁化が旋回する軸は、結晶方位によって決まるため、インダクタとして作用させるためには、電流を結晶の特定の軸方向に流す必要があり、それ以外の結晶軸方向では効果が小さくなる、もしくは全く出てこなくなる。このような諸条件をクリアして所望のインダクタンスを得ることには相応のコストが求められることになる。

これに対して、本発明の実施形態（第1の実施形態の他、後記する第2～第4の実施形態を含む）に係る薄膜インダクタ素子では、そもそも共線的な磁気構造を有する標準的な磁性体を用いれば足りる。その上、二重膜の構造から磁化の容易軸が膜面垂直に決まっており、単純な成膜で素子作製ができるものであり、圧倒的に低いコストでインダクタンスを実現可能である。

さらに、本発明の実施形態（第1及び後記第2～4の実施形態）に係る薄膜インダクタ素子は、絶縁体であり、かつその表面が導電可能な非磁性体層を採用したことによって、インダクタ素子としてのエネルギー効率を表すQ値が目覚ましく向上しており、格別の効果を奏するものとなっている。このことについては、後に詳しく述べる。

[0018] 創発インダクタに対しては、別の観点でも効果の上で有利な点がある。先行研究によれば、創発インダクタは、 $Gd_3Ru_4Al_{12}$ というやや特殊な材料を用いて16K以下という極めて低温状態の下でインダクタンスが発現されたものの、それよりも温度の高い範囲では、インダクタンス機能は発現されなかった。もちろん、より高温領域でインダクタンス機能が発現される材料も今後発見されるかもしれないが、磁気状態相図上の螺旋磁性を含む非共線的磁気構造が発現する温度領域に限定されることから、使用環境温度に対する制限は依然として残る。いずれにせよ、通常温度ないしそれ以上の温度領域での利用には、まだまだ大きなハードルがある。

これに対して、本発明の実施形態に係る薄膜インダクタ素子は、通常温度で十分に機能するものである。したがって、本発明の実施形態に係る薄膜インダクタ素子は、実用化に向けての障害は低いものである。

[0019] (第2の実施形態)

図3は、本発明の第2の実施形態に係る薄膜インダクタ素子2の構造概念を示す斜視図である。紙面における上から下に向かって、磁性体層21と非磁性体層22とが、この順で積層され、非磁性体層22の下面には、絶縁体から構成される障壁層23が積層されている。材料としては、 MgO 、 Al_2O_3 、 AlN などが挙げられるが、障壁層23と非磁性体層22の間の界面磁気異方性により垂直磁気異方性を発現することが重要であり、この観点では $CoFeB/MgO$ 、 FeB/MgO が好適である。

そして、障壁層23の下面には、金属から構成されるゲート電極G-E Lがさらに積層されている。材料としては、伝導性のよい金属、例えば、 Ta 、 Ru 、 Cu などが好適である。ゲート電極G-E Lの形状として、水平面内で障壁層の内側に収めるように設定されている。これは、ゲート電極G-E Lをインダクタと短絡させないためである。

これら磁性体層21、非磁性体層22、障壁層23、ゲート電極G-E Lの4つの積層膜により、薄膜インダクタ素子2が形成されている。磁性体層21は、積層方向成分を含む略一様な磁化構造を有している。一方、非磁性体層22は、絶縁体であり、かつその表面が導電可能な構造である。薄膜インダクタ素子2は、紙面左右方向に延伸され、その両端には駆動電極D-E Lが設けられ、 $1kHz \sim 1GHz$ の周波数で変調する電流が印加される。駆動電流は、一般的なサイン波の電流の他、パルス波や三角波の信号であってもよい。第2の実施形態において、駆動電極D-E Lは、磁性体層21と非磁性体層22の境界位置を含む位置に配置されている。駆動電流を非磁性体層22の表面上に通電させる必要があるからである。

磁性体の磁化の方向は、積層方向成分を含む方向であれば、インダクタとしての機能を発現するものであるが、第2の実施形態においては、大きなインダクタンスが得られるように、積層方向に平行な方向に安定した磁気異方性を有するものとされている。また、スピン軌道トルクを発現できる非磁性体層であれば、インダクタ機能は発現されるのであるが、電気回路内に実装

されることを考慮して、動作電流を小さくするために、第2の実施形態における非磁性体層22は、絶縁体であり、かつその表面が導電可能な構造のもの、たとえば、トポロジカル絶縁体層とされている。

第1の実施形態においては、電子のフェルミエネルギーが伝導帯と価電子帯の間のバンドギャップ内に収まるようにするために組成比が調整されていたが、第2の実施形態においては、ゲート電圧の印加によって、ギャップ内に収まるようにチューニングされる。これは、先の組成比の調整に代えて、若しくは加えて、ゲート電圧を印加することでも、非磁性体層のバルクの絶縁性及びその表面の導電性を調節可能だからである。

[0020] (第3の実施形態)

図4は、本発明の第3の実施形態に係る薄膜インダクタ素子3の構造概念を示す斜視図である。紙面における上から下に向かって、磁性体層31と非磁性体層32とが、この順で積層され、非磁性体層32の下面には、絶縁体から構成される障壁層33が積層されている。材料としては、MgO, Al₂O₃, AlNなどが挙げられるが、障壁層33と非磁性体層32の間の界面磁気異方性により垂直磁気異方性を発現することが重要であり、この観点ではCoFeB/MgO, FeB/MgOが好適である。

そして、障壁層33の下面には、金属から構成されるゲート電極G-E Lがさらに積層されている。材料としては、伝導性のよい金属、例えば、Ta, Ru, Cuなどが好適である。ゲート電極G-E Lの形状として、水平面内で障壁層の内側に収めるように設定されている。これは、ゲート電極G-E Lをインダクタと短絡させないためである。

これら磁性体層31、非磁性体層32、障壁層33、ゲート電極G-E Lの4つの積層膜により、薄膜インダクタ素子3が形成されている。磁性体層31は、積層方向成分を含む略一様な磁化構造を有している。一方、非磁性体層32は、絶縁体であり、かつその表面が導電可能な構造である。薄膜インダクタ素子3は、紙面左右方向に延伸され、その両端近傍であって、磁性体層31と非磁性体層32との界面と平行な表面には駆動電極D-E Lが設

けられている。非磁性体層32は、表面が導電可能であると共に、側面にも導電性はあるため、第1及び第2の実施形態の電極構造とすることも可能ではあるが、電極も一定程度のサイズを有するため、ある程度の面積のある表面に配置する方が、配置・加工のし易さでは有利であることは間違いなく、第3の実施形態の駆動電極D-E Lは、上記で説明したように、非磁性体層32の表面に配置されている。駆動電極D-E Lには、1 kHz～1 GHzの周波数で変調する電流が印加される。駆動電流は、一般的なサイン波の電流の他、パルス波や三角波の信号であってもよい。

磁性体の磁化の方向は、積層方向成分を含む方向であれば、インダクタとしての機能を発現するものであるが、第3の実施形態においては、大きなインダクタンスが得られるように、積層方向に平行な方向に安定した磁気異方性を有するものとされている。また、スピン軌道トルクを発現できる非磁性体層であれば、インダクタ機能は発現されるのであるが、電気回路内に実装されることを考慮して、動作電流を小さくするために、第3の実施形態における非磁性体層32は、絶縁体であり、かつその表面が導電可能な構造のもの、たとえば、トポロジカル絶縁体層とされている。

ゲート電圧の印加によって、電子のフェルミエネルギーが伝導帯と価電子帯の間のバンドギャップ内に収まるようにチューニングされる点は、第2の実施形態と同様である。

しかしながら、一つ重要な点を挙げておく。第3の実施形態は、ゲート電圧の印加によりファインチューニングが可能なものであり、かつ、駆動電極D-E Lが磁性体層31に接触せず、金属の内部抵抗の影響を一切受けないものである。この観点で、第3の実施形態は、インダクタンス素子としての信頼性が最も高くなる最良の実施形態であるといえることができる。

[0021] (第4の実施形態)

第1～第3の実施形態は、インダクタンスが固定されている薄膜インダクタ素子であったが、本発明の原理によるインダクタ素子については、インダクタンスを外部から制御することも判明している。原理としては、外部磁

場を与えることで磁性体の揺れ易さ（運動のし易さ）を制御することによってインダクタンスを変調させる。

図5は、本発明の第4の実施形態に係る薄膜可変インダクタ素子4の構造概念を示す斜視図である。磁性体層41に非磁性体層42を積層させた二層膜でインダクタが形成され、紙面左右方向に延伸され、その両端近傍の界面上に駆動電極D-E1が設けられ、交流電流が印加される点は、図4に示される薄膜インダクタ素子3と同様である。また、図示において信号線は省略されているが、電子のフェルミエネルギーが伝導帯と価電子帯の間のバンドギャップ内に収まるようにチューニングするためのゲート電極G-E1や、障壁層43を有する点も、薄膜インダクタ素子3と同様である。

磁性体の磁化の方向は、積層方向に平行な方向に安定した磁気異方性を有している。図4に示される薄膜インダクタ素子3と相違する点は、さらに、積層膜を取り囲む薄膜コイル44を備えている点である。当該薄膜コイル44を制御する回路により、電流のオンオフや電流の向きを切り替えることによってインダクタ素子を積層方向に貫くエルステッド磁場を制御できるようにされている。

[0022] （インダクタンス変調動作の原理）

外部磁場を与えることによって機能する薄膜可変インダクタ素子のインダクタンス変調動作の原理を、図6を用いて、説明する。

図6（a）に示すように、制御回路にて紙面上下方向に正磁界を印加すると、インダクタの磁性体における有効磁気異方性が増大（磁性体の揺れ易さは減少）し、インダクタンスが減少する。反対に、図6（b）に示すように、負磁界を印加すると、インダクタの磁性体における有効磁気異方性が減少（磁性体の揺れ易さは増大）し、インダクタンスが増大する。従って、制御電流によって発生させた外部磁界を印加しながら前記インダクタンス動作を行うことで、従来技術のような機械動作を伴わない電氣的な制御による可変インダクタンスが実現できる。

[0023] （従来技術に対する有利な効果：エネルギー効率について）

先述したように、本発明の課題は、電気回路内に実装するに際して、動作電流を小さくしつつも、十分な創発インダクタ機能を発現できる薄膜インダクタ素子を提供することに存するものである。当該課題を解決するために、スピン軌道トルクを発現できる非磁性体層として、絶縁体であり、かつその表面が導電可能な構造のものを選択した。そして、得られた本発明の第1～第4の実施形態を論理検証したところ、驚くべきことが判明した。以下に示されるエネルギー効率を表すQ値が劇的に改善したのである。

[数1]

$$Q_{\omega} = \left| \frac{\text{Im } Z_{\omega}}{\text{Re } Z_{\omega}} \right|$$

ここで、 Z_{ω} は素子の複素インピーダンスであり、その実部 $\text{Re } Z_{\omega}$ は素子の示す電気抵抗、虚部 $\text{Im } Z_{\omega}$ はインダクタンス等に由来したリアクタンスに相当する。インダクタにおけるQ値は、内部抵抗によるエネルギー損失に対する、インダクタに蓄えられる磁気エネルギーの比率に対応する。すなわち、内部抵抗によるエネルギー損失が小さいほど、高いQ値が得られる。

参考として、先行研究の創発インダクタであるらせん磁性体インダクタ（非特許文献1）、非磁性体が金属である薄膜インダクタ（非特許文献2）、本件実施形態1～4につき、インダクタとしての動作周波数と、その周波数におけるQ値の対応関係を表す曲線を図7に示す。非特許文献1の数値は実験測定により当該文献で報告されたものであり、非特許文献2、及び本件実施形態1～4の数値は、理論計算により見積もられたものである。非特許文献1のものは、動作周波数が10kHzのオーダーを超えるとインダクタンスが抑制され、Q値が急速に減衰する。一方で、非特許文献2、及び本件実施形態1～4は、動作周波数が10-100MHzのオーダーに至るまでインダクタとして動作する。この動作周波数は、電気・電子回路での信号処理に十分対応できるものである。更に、非特許文献2のQ値に比べ、本件実施形態1～4のQ値は約100倍と、格段に高いQ値を示すことが期待される。

このことは、動作電流で比べれば、より明確となる。非特許文献2の形態における動作電流としては、磁性体の磁化を制御するために非磁性金属内部にも電流を流す必要があるため、100 μ A程度を要する。しかしながら、電気・電子回路中での信号制御のためには、動作電流を1 μ A程度に抑える必要がある。本件第1～4実施形態は、磁性体と非磁性体の界面にのみ電流が流れるため、非磁性体に余分な電流を流す必要が無く、流れる電流を大幅に抑制することができる。従って、「動作電流を1 μ A程度に抑える」という要求仕様に確実に応えることができる。この点は、高周波用途としては重要なことである。

[0024] (動作原理と特性)

これまでに説明した事象の基礎となる動作原理を説明する。動作原理は、以下に説明する導出過程により得られる公式として説明することができる。

トポロジカル絶縁体は、その内部では電気伝導を持たない一方、二次元表面においては伝導状態を持つ。特にトポロジカル絶縁体と異種材料との界面においては、伝導電子は強いスピン軌道結合を受ける。トポロジカル絶縁体と磁性体との界面における伝導電子は、スピン軌道結合の効果として、以下の2つの効果を受ける。

1つ目の効果として、異常ホール効果がある。これは、界面を流れる電流に対して、垂直にホール電場が生じる効果である。これによって生じるホール電場は、以下の式で与えられることが知られている。

[数2]

$$\vec{E}_H = -\frac{1}{\sigma_H} \vec{e}_z \times \vec{j}$$

ここで σ_H は異常ホール効果を特徴づけるホール伝導度であり、トポロジカル絶縁体と磁性体の界面では非ゼロの値を持つ。また、 e_z は積層方向(z方向)の単位ベクトルであり、 j は界面を流れる二次元電流密度である。

2つ目の効果として、スピン電場がある。これは、磁性体の磁化の変動が

、スピン軌道結合を介して、伝導電子にとって有効的な電場として感じられる効果である。そのスピン電場は、以下の式で与えられる。

[数3]

$$\vec{E}_S = \frac{J}{ev} \vec{e}_z \times \frac{\partial \vec{m}}{\partial t}$$

ここでJは磁性体の磁化と電子スピンの間に働く交換結合の強さを特徴づけるパラメーターであり、eは伝導電子の電荷、vは伝導電子の速度（フェルミ速度）である。また、m は磁性体の磁化の向きを表す単位ベクトルである。

以上のホール電場とスピン電場を合計したものが、伝導電子に働く電場となる。駆動電極間に発生する電圧と、流れる電流は、以下の式で与えられる。

[数4]

$$\mathcal{E} = \int_0^l dx [\vec{E}_H + \vec{E}_S]_x, \quad I = \int_0^w dy j_x$$

ここでlは電極間の距離（x方向）、wは電流の流れる領域の幅（y方向）を表し、下添字のxはベクトルのx成分を表す。これによって得られた電場の電流に対する応答は、以下で定義される複素インピーダンス Z_ω により特徴づけられる。

[数5]

$$Z_\omega = -\frac{\mathcal{E}}{I}$$

ここで、下添字 ω は、入力した交流電流の角周波数（ $\omega=2\pi f$ 、fは周波数）に対する依存性を示す。この素子の内部抵抗Rと創発インダクタンスLは、それぞれ以下のように、複素インピーダンスの実数部分 $\text{Re}[Z_\omega]$ と虚数部分

$\text{Im}[Z_\omega]$ から得られる。

[数6]

$$R = \text{Re}[Z_\omega], \quad L = \frac{1}{\omega} \text{Im}[Z_\omega]$$

以上で与えられる関係式を用いて、以下では本発明の実施形態により創発インダクタンスが実現されること、及びエネルギー効率を特徴づける Q 値が大幅に向上されることを詳しく示す。

電流の下での磁化の運動 $m(t)$ は、以下で与えられる運動方程式 (Landau-Lifshitz-Gilbert方程式) を解くことによって得られる。

[数7]

$$\frac{\partial \vec{m}}{\partial t} = -\gamma \vec{m} \times [(h_{dc} + h_K m_z) \vec{e}_z + \vec{h}_{eff}] + \alpha \vec{m} \times \frac{\partial \vec{m}}{\partial t}$$

ここで、 γ は磁気回転比、 h_{dc} は z 方向に印加された外部直流磁場、 h_K は垂直磁気異方性に起因する有効磁場、 α はギルバート緩和係数である。また、 h_{eff} は界面に沿って流れる電流 j が誘起するスピン軌道トルクの有効磁場の強さであり、以下で与えられる。

[数8]

$$\vec{h}_{eff} = \frac{1}{\gamma M_s t_F} \frac{J}{ev} \vec{e}_z \times \vec{j}$$

ただし、 M_s は磁性体薄膜の飽和磁化、 t_F は膜厚を表す。

いま、 x 方向に交流電流 (角周波数 ω) を印加し、その結果、磁化が z 方向まわりの小角歳差運動を行うと仮定する。このとき、電流と磁化の振動は、以下の式により表される。

[数9]

$$j_{x,y}(t) = \tilde{j}_{x,y} e^{i\omega t}, \quad m_z(t) \approx 1, \quad m_{x,y}(t) \approx \tilde{m}_{x,y} e^{i\omega t} \left(|\tilde{m}_{x,y}| \ll 1 \right)$$

この小角歳差運動の仮定の下で、運動方程式 [数7] は線形近似できる。
[数8] を代入して運動方程式 [数7] を解くと、その解は以下のように与えられる。

[数10]

$$\begin{pmatrix} \tilde{m}_x \\ \tilde{m}_y \end{pmatrix} = \frac{1}{M_s t_F} \frac{J}{ev} \frac{1}{(\omega_0 + i\alpha\omega)^2 - \omega^2} \begin{pmatrix} i\omega & -\omega_0 - i\alpha\omega \\ \omega_0 + i\alpha\omega & i\omega \end{pmatrix} \begin{pmatrix} \tilde{J}_x \\ \tilde{J}_y \end{pmatrix}$$

ここで、周波数 $\omega_0 = \gamma (h_{dc} + h_k)$ は、磁性体の強磁性共鳴の共鳴周波数に相当する。

以上で得られた磁化の運動を、スピン電場の式 [数3] に代入すると、スピン電場 $E_s(t)$ は入力電流 j に対して以下の式で応答することが分かる。

[数11]

$$\begin{pmatrix} E_{s,x}(t) \\ E_{s,y}(t) \end{pmatrix} = \frac{1}{M_s t_F} \left(\frac{J}{ev}\right)^2 \frac{i\omega e^{i\omega t}}{(\omega_0 + i\alpha\omega)^2 - \omega^2} \begin{pmatrix} -\omega_0 - i\alpha\omega & -i\omega \\ i\omega & -\omega_0 - i\alpha\omega \end{pmatrix} \begin{pmatrix} \tilde{J}_x \\ \tilde{J}_y \end{pmatrix}$$

これをホール電場 [数2] と合わせ、[数4] により電極間の電圧と電流の関係式を求めると、複素インピーダンス Z_ω は以下の式により与えられる。

[数12]

$$Z_\omega = \frac{l}{M_s t_F w} \left(\frac{J}{ev}\right)^2 \frac{i\omega(\omega_0 + i\alpha\omega)}{(\omega_0 + i\alpha\omega)^2 - \omega^2}$$

これにより、素子の内部抵抗 R 、創発インダクタンス L は、[数6] を用いて以下のように与えられる。

[数13]

$$R \approx \frac{l}{M_s t_F w} \left(\frac{J}{ev}\right)^2 \frac{\alpha\omega^2}{\omega_0^2}, \quad L \approx \frac{l}{M_s t_F w} \left(\frac{J}{ev}\right)^2 \frac{1}{\omega_0}$$

このように本発明の実施形態では、磁性体と非磁性体の両方に絶縁体を用

いるにもかかわらず、その界面に現れるトポロジカル絶縁体の伝導状態によって、創発インダクタンス L が実現される。なお[数13]を求める際には、入力信号の周波数 ω が強磁性共鳴の周波数 ω_0 （一般の磁性体では1~10GHz程度）より十分遅く、かつギルバート緩和の強さ α （一般の磁性体では0.01程度）が1に比べて十分小さい場合に着目して近似を行った。

[0025] 本発明の特筆すべき特徴として、エネルギー効率を特徴づける Q 値をきわめて大きくできるという点が挙げられる。インダクタにおける Q 値は、内部抵抗 R とインダクタンス L の比を用いて、以下のように表すことができる。

[数14]

$$Q_{\omega} = \frac{\left| \operatorname{Im}[Z_{\omega}] \right|}{\left| \operatorname{Re}[Z_{\omega}] \right|} = \frac{\omega L}{R}$$

非特許文献1や非特許文献2で提案されたような、「金属を用いた創発インダクタ」においては、その金属の電気抵抗に起因して、素子はインダクタンスだけでなく内部抵抗を持つ。この内部抵抗 R は Q 値の分母に入るため、内部抵抗によって Q 値は抑制されてしまう。

一方で本発明では絶縁体を用いるため、物質内部に電流が流れず、電気抵抗の影響を受けない。[数13]から読み取れる通り、素子の内部抵抗 R は物質の電気抵抗値によらず、磁性体のギルバート緩和定数 α （一般の磁性体では0.01程度）に比例して抑制される。従って、 Q 値は α に反比例して大きい値になる。これによって、信号制御回路内での使用に耐えうる高い Q 値（10~100程度）を持つインダクタ機能を、磁性体・非磁性体の二層膜という単純な構成要素により実現することができるのである。

[0026] 以上、本発明の実施形態に係る薄膜インダクタ素子及び薄膜可変インダクタ素子について、図面を参照して詳述してきたが、具体的な構成は、これらの実施例に限られるものではなく、本発明の要旨を逸脱しない範囲の設計の変更等があっても本発明に含まれる。例えば、ゲート電極を持たない第1の実施形態を基調としつつ、駆動電極としては第3の実施形態と同様のタイプ

としても良いことは、勿論のことである。内部抵抗を極力排除して、必要なインダクタンスのみを獲得することによって、信頼性の高いインダクタンス素子を提供できることに、本発明の意義があることは十分に理解されるべきものである。

符号の説明

- [0027] 1 ……薄膜インダクタ素子
1 1 ……磁性体層
1 2 ……非磁性体層
2 ……薄膜インダクタ素子
2 1 ……磁性体層
2 2 ……非磁性体層
2 3 ……障壁層
3 ……薄膜インダクタ素子
3 1 ……磁性体層
3 2 ……非磁性体層
3 3 ……障壁層
4 ……薄膜インダクタ素子
4 1 ……磁性体層
4 2 ……非磁性体層
4 3 ……障壁層
4 4 ……薄膜コイル
D-E L ……駆動電極
G-E L ……ゲート電極

請求の範囲

- [請求項1] 磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極を備え、
前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、
前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、
前記非磁性体層は、絶縁体であり、かつその表面が導電可能な構造であり、
前記一对の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられ、1 kHz ~ 1 GHzの周波数で変調する電流が印加されるものである
ことを特徴とする薄膜インダクタ素子。
- [請求項2] 前記非磁性体層は、トポロジカル絶縁体層であることを特徴とする請求項1に記載の薄膜インダクタ素子。
- [請求項3] 前記トポロジカル絶縁体層は、スピン軌道トルクの発現に適した組成であることを特徴とする請求項2に記載の薄膜インダクタ素子。
- [請求項4] 前記トポロジカル絶縁体層は、Bi, Sbのうち1種類または2種類と、Se, Teのうち1種類または2種類の元素の組成を持つことを特徴とする請求項2に記載の薄膜インダクタ素子。
- [請求項5] 磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極を備え、
前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、
前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、
前記一对の電極は、前記積層膜が延伸される両端近傍であり、少な

くとも前記非磁性体層の表面に接する位置に設けられ、 $1\text{ kHz} \sim 1\text{ GHz}$ の周波数で変調する電流が印加されるものであり、

前記非磁性体層は、電子のフェルミエネルギーが伝導帯と価電子帯の間のギャップ内となるように組成比が調整されたトポロジカル絶縁体層、又は、電子のフェルミエネルギーが伝導帯と価電子帯の間のバンドギャップ内となるようにゲート電圧が調整されたトポロジカル絶縁体層である

ことを特徴とする薄膜インダクタ素子。

[請求項6] 前記非磁性体層の前記磁性体層と反対側には、障壁層を介在させて、ゲート電極層が積層されるようにして設けられ、

前記ゲート電極層にバイアスを印加することによって、前記非磁性体層と前記磁性体層の界面に集中して電流が流れるようにされていることを特徴とする請求項1に記載の薄膜インダクタ素子。

[請求項7] 前記磁性体層と前記一对の電極が離間されることにより、前記非磁性体層と前記磁性体層の界面により集中して電流が流れるように構成されている

ことを特徴とする請求項1に記載の薄膜インダクタ素子。

[請求項8] 前記磁性体層は、絶縁体であり、このことにより、前記非磁性体層と前記磁性体層の界面により集中して電流が流れるように構成されている

ことを特徴とする請求項1に記載の薄膜インダクタ素子。

[請求項9] 磁性体層と、非磁性体層と、が積層された積層膜と、 $1\text{ kHz} \sim 1\text{ GHz}$ の周波数で変調する電流を印加するための一对の電極と、前記積層膜を取り囲む薄膜コイルを備え、

前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、

前記磁性体層は、積層方向成分を含む磁化構造を有しており、

前記非磁性体層は、絶縁体であり、かつその表面が導電可能な構造

であり、

前記薄膜コイルのオンオフ及び／又は電流の向きを切り替えて外部磁場を制御することによってインダクタンス変調動作が実現されることを特徴とする薄膜可変インダクタ素子。

[請求項10]

磁性体層と、非磁性体層と、が積層された積層膜と、一对の電極と、ゲート電極を備え、

前記磁性体層と前記非磁性体層は、積層方向と直交する方向で任意の形状で延伸され、

前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、

前記非磁性体層は、トポロジカル絶縁体層であり、

前記一对の電極は、前記積層膜が延伸される両端近傍であり、少なくとも前記非磁性体層の表面に接する位置に設けられていることを特徴とする積層薄膜素子をインダクタ素子として使用する方法であって、

前記ゲート電極に電子のフェルミエネルギーが伝導帯と価電子帯の間のバンドギャップ内となるように調整された電圧を印加する工程と、

前記一对の電極に1kHz～1GHzの周波数で変調する電流が印加される工程と、

を含むことを特徴とする積層薄膜素子の使用方法。

[請求項11]

磁性体層と、トポロジカル絶縁体層と、が積層された積層膜と、一对の電極と、ゲート電極を備え、

前記磁性体層と前記トポロジカル絶縁体層は、積層方向と直交する方向で任意の形状で延伸され、

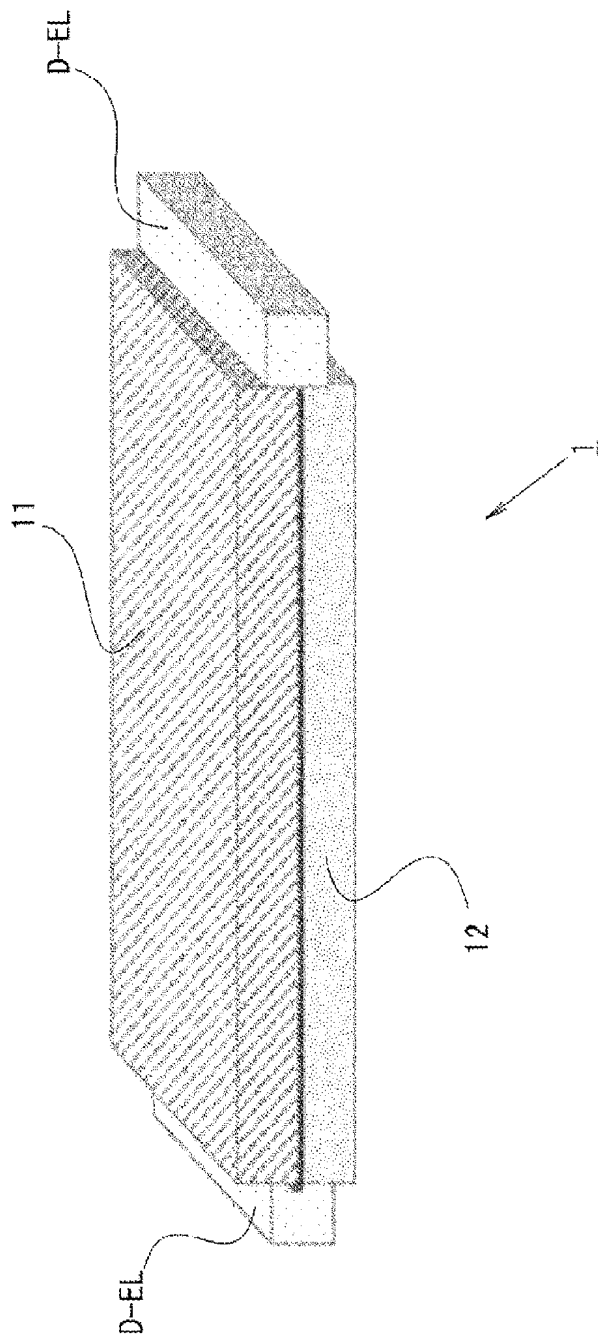
前記磁性体層は、積層方向成分を含む略一様な磁化構造を有しており、

前記一对の電極は、前記積層膜が延伸される両端近傍であり、少な

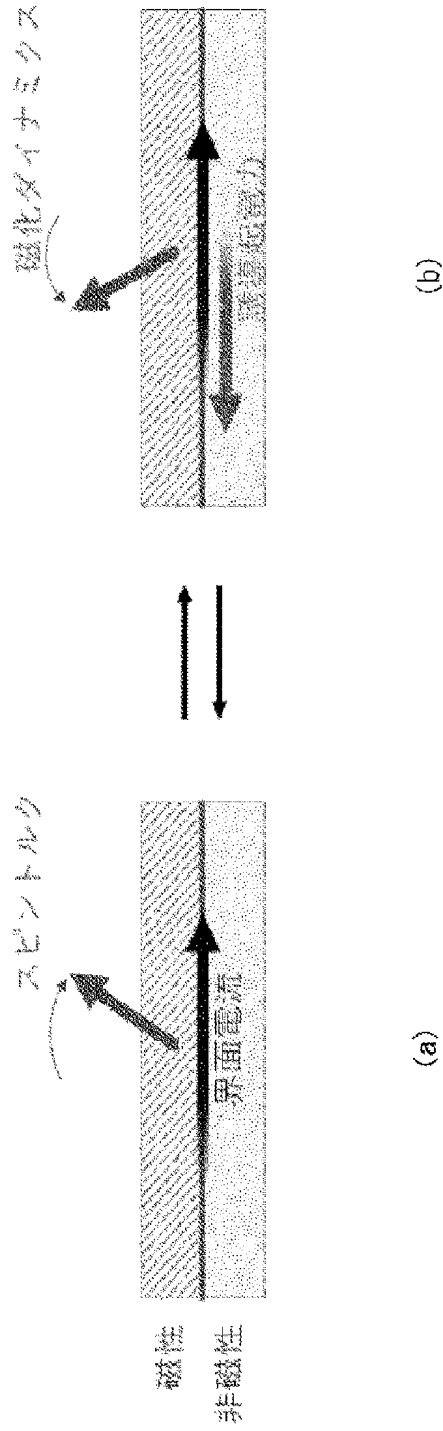
くとも前記トポロジカル絶縁体層の表面に接する位置に設けられていることを特徴とする積層薄膜素子。

[請求項12] 請求項11に記載の薄膜素子を備える電子機器。

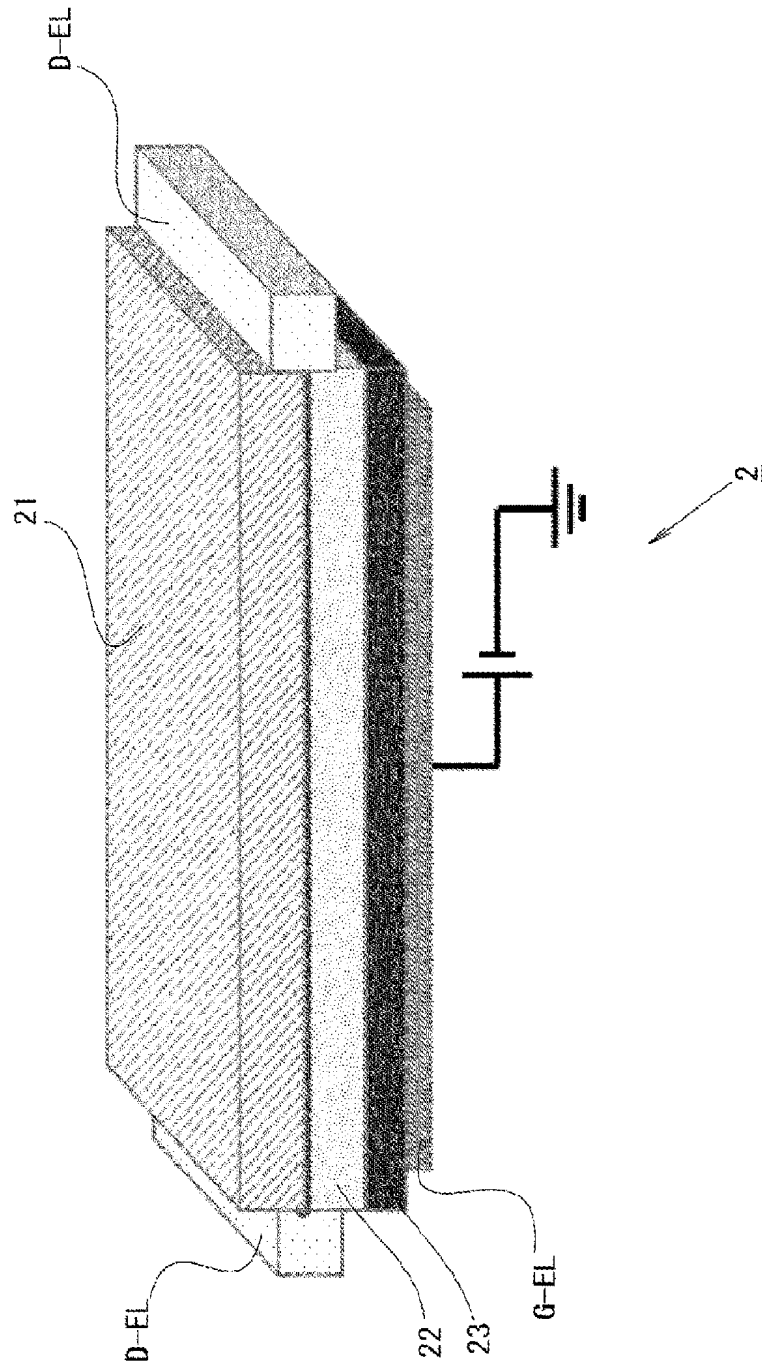
[図1]



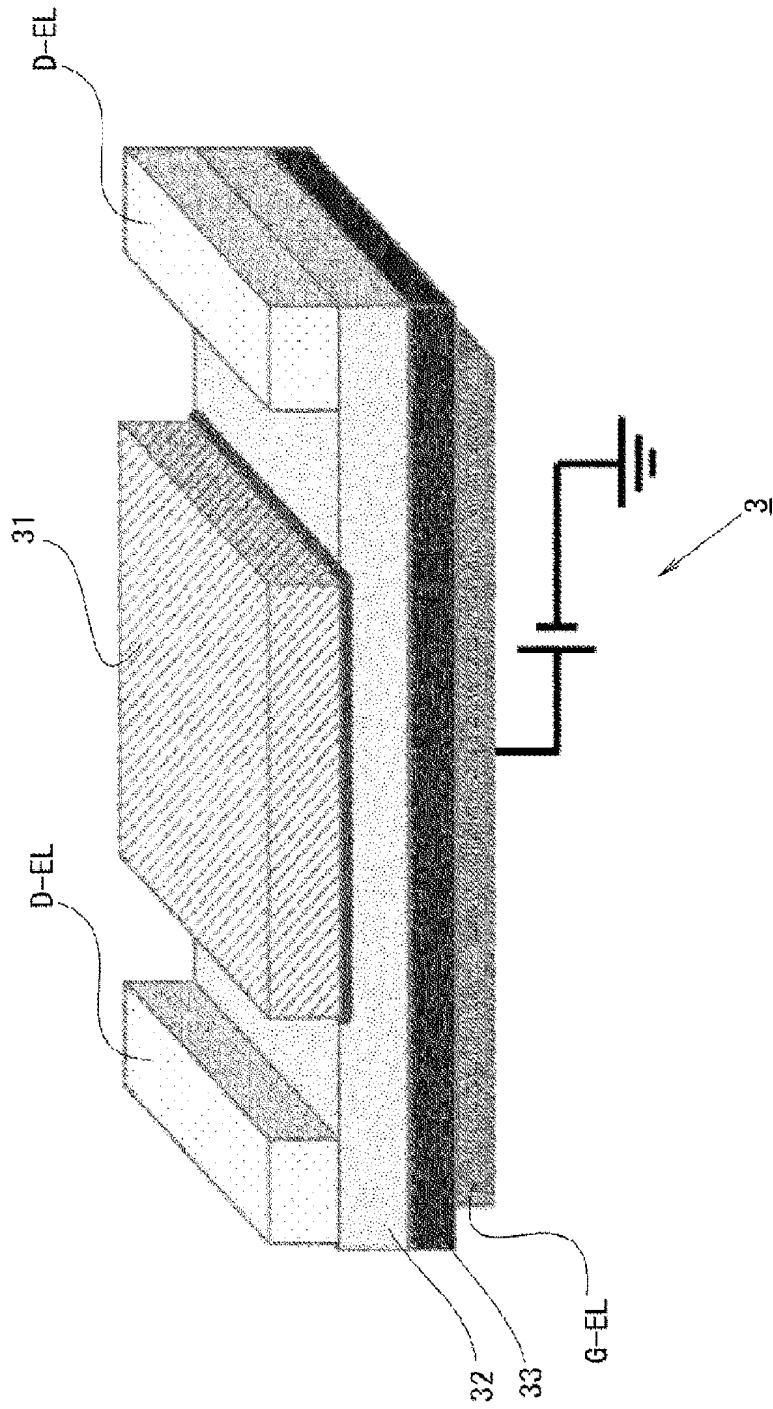
[図2]



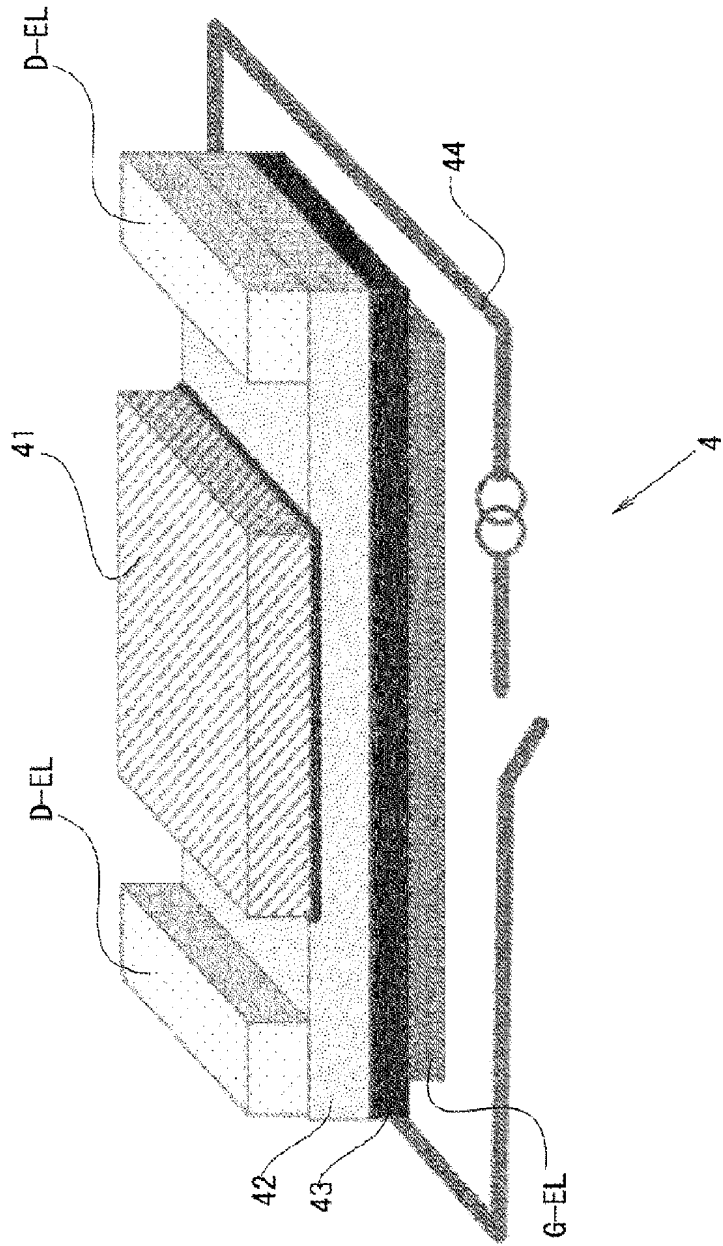
[図3]



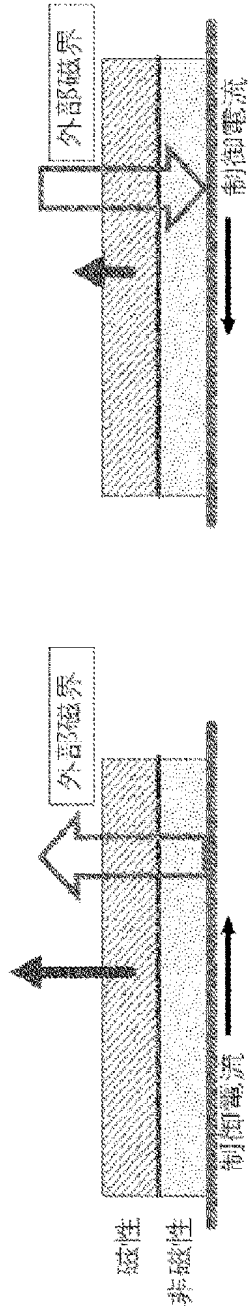
[図4]



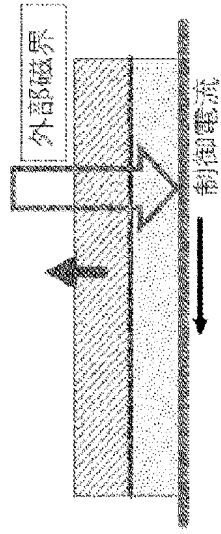
[図5]



[図6]

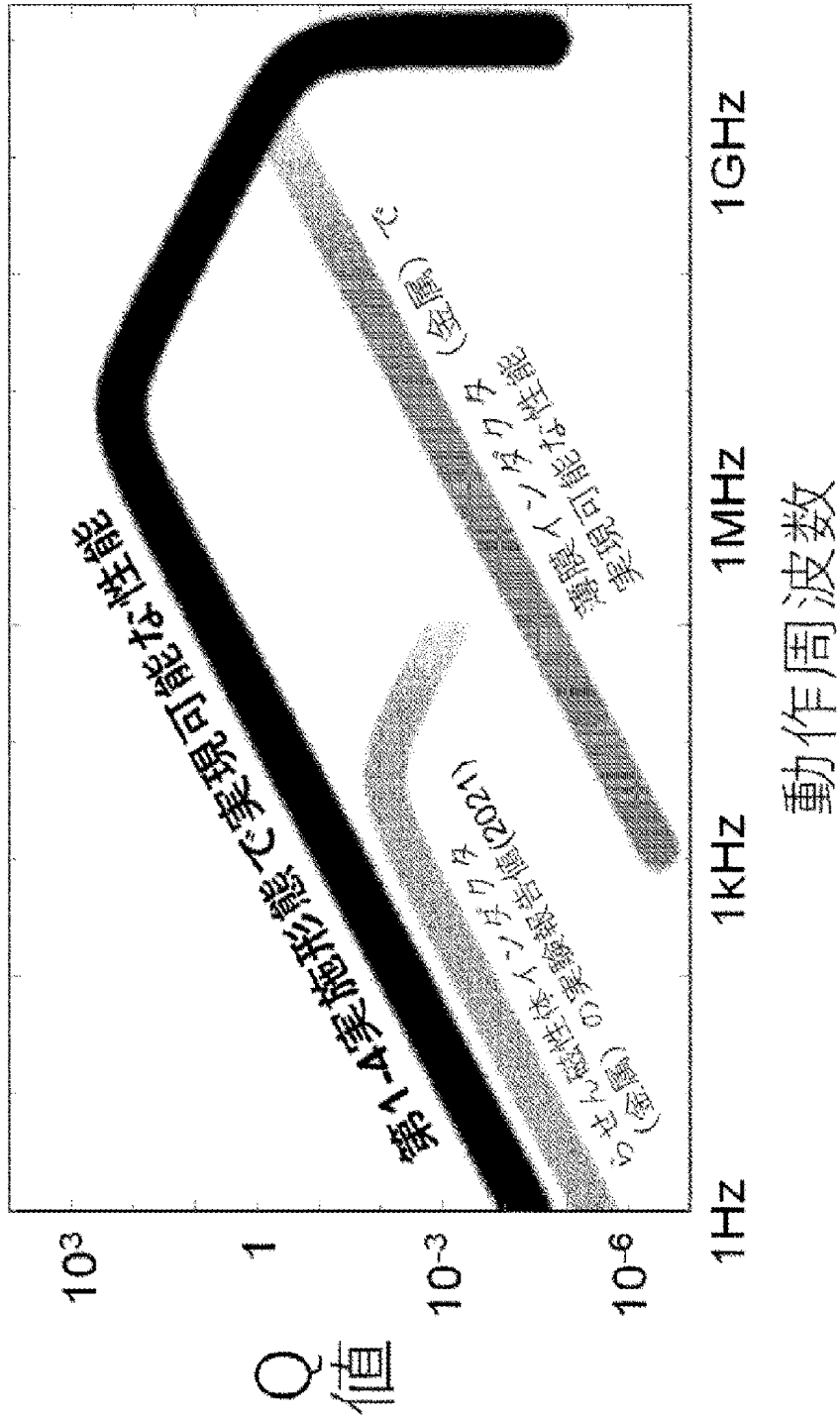


(a)

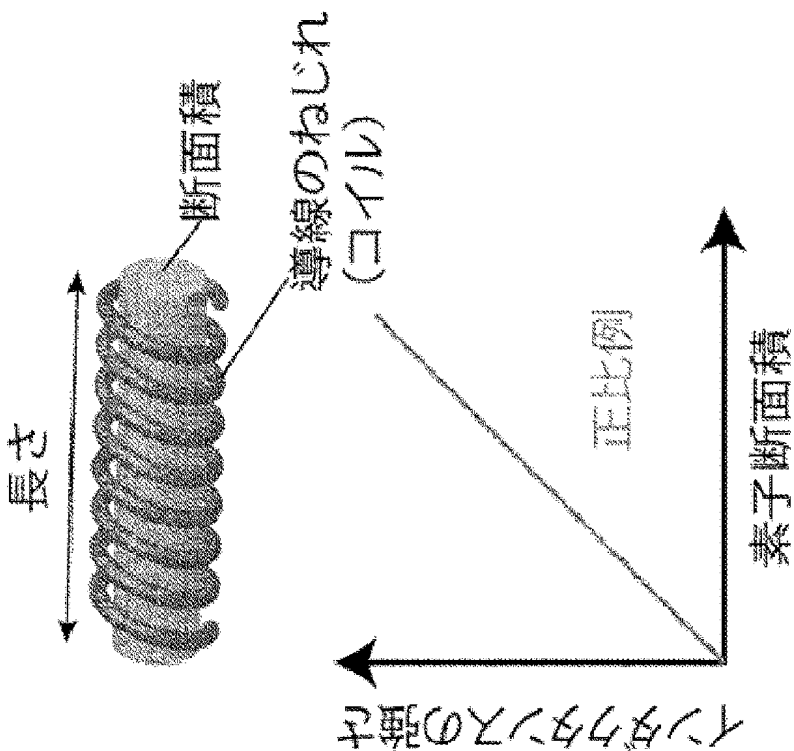
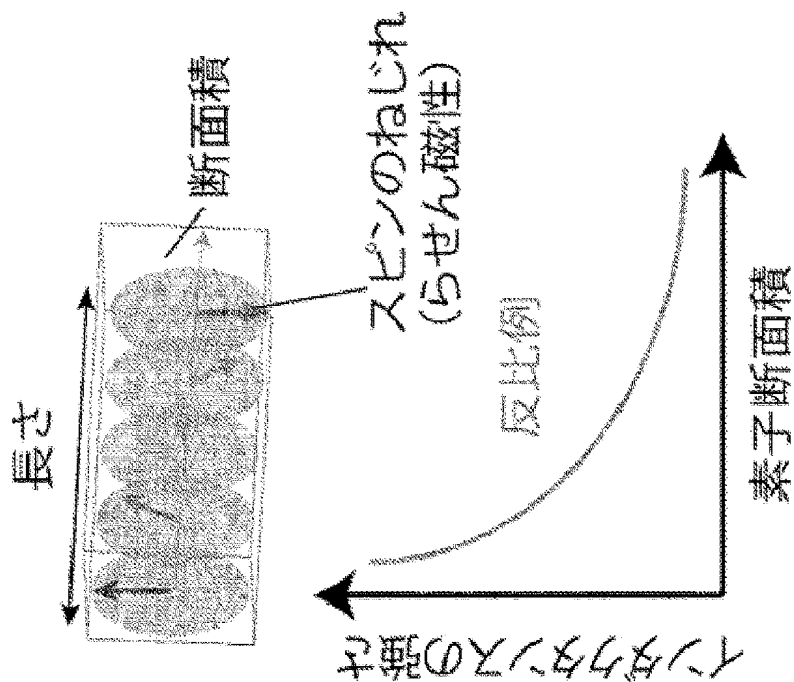


(b)

[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/019706

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/82</i> (2006.01); <i>H01F 10/28</i> (2006.01); <i>H01L 21/822</i> (2006.01); <i>H01L 27/04</i> (2006.01); <i>H10N 52/85</i> (2023.01); FI: H01L29/82 Z; H10N52/85; H01L27/04 L; H01F10/28		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/82; H01F10/28; H01L21/822; H01L27/04; H10N52/85		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2022-131304 A (JAPAN ATOMIC ENERGY AGENCY et al.) 07 September 2022 (2022-09-07)	1-12
A	WO 2022/094107 A1 (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 05 May 2022 (2022-05-05)	1-12
A	JP 2022-166395 A (UNIV TOHOKU et al.) 02 November 2022 (2022-11-02)	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 24 July 2023		Date of mailing of the international search report 01 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/019706

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2022-131304	A	07 September 2022	WO	2022/181069	A1	
				TW	202240610	A	
WO	2022/094107	A1	05 May 2022	(Family: none)			
JP	2022-166395	A	02 November 2022	WO	2022/224500	A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/82(2006.01)i; H01F 10/28(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H10N 52/85(2023.01)i FI: H01L29/82 Z; H10N52/85; H01L27/04 L; H01F10/28</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/82; H01F10/28; H01L21/822; H01L27/04; H10N52/85</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2022-131304 A（国立研究開発法人日本原子力研究開発機構（他1名）） 07.09.2022（2022 - 09 - 07）</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>WO 2022/094107 A1（THE REGENTS OF THE UNIVERSITY OF CALIFORNIA）05.05.2022 （2022 - 05 - 05）</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2022-166395 A（国立大学法人東北大学（他1名））02.11.2022（2022 - 11 - 02）</td> <td>1-12</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日以後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2022-131304 A（国立研究開発法人日本原子力研究開発機構（他1名）） 07.09.2022（2022 - 09 - 07）	1-12	A	WO 2022/094107 A1（THE REGENTS OF THE UNIVERSITY OF CALIFORNIA）05.05.2022 （2022 - 05 - 05）	1-12	A	JP 2022-166395 A（国立大学法人東北大学（他1名））02.11.2022（2022 - 11 - 02）	1-12
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2022-131304 A（国立研究開発法人日本原子力研究開発機構（他1名）） 07.09.2022（2022 - 09 - 07）	1-12												
A	WO 2022/094107 A1（THE REGENTS OF THE UNIVERSITY OF CALIFORNIA）05.05.2022 （2022 - 05 - 05）	1-12												
A	JP 2022-166395 A（国立大学法人東北大学（他1名））02.11.2022（2022 - 11 - 02）	1-12												
<p>国際調査を完了した日</p> <p>24.07.2023</p>	<p>国際調査報告の発送日</p> <p>01.08.2023</p>													
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>境 周一 5F 3654</p> <p>電話番号 03-3581-1101 内線 3559</p>													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/019706

引用文献			公表日	パテントファミリー文献			公表日
JP	2022-131304	A	07.09.2022	WO	2022/181069	A1	
				TW	202240610	A	
WO	2022/094107	A1	05.05.2022	(ファミリーなし)			
JP	2022-166395	A	02.11.2022	WO	2022/224500	A1	