

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6531255号
(P6531255)

(45) 発行日 令和1年6月19日(2019.6.19)

(24) 登録日 令和1年5月31日(2019.5.31)

(51) Int. Cl.		F I			
HO 1 L 27/146 (2006.01)		HO 1 L 27/146			A
HO 4 N 5/361 (2011.01)		HO 4 N 5/361			
HO 4 N 5/374 (2011.01)		HO 4 N 5/374			
HO 1 L 31/02 (2006.01)		HO 1 L 31/02			A

請求項の数 8 (全 27 頁)

(21) 出願番号	特願2016-535804 (P2016-535804)	(73) 特許権者	508261493 株式会社ブルックマンテクノロジー 静岡県浜松市中区大工町125番地
(86) (22) 出願日	平成27年7月23日(2015.7.23)	(73) 特許権者	000209751 池上通信機株式会社 東京都大田区池上5丁目6番16号
(86) 国際出願番号	PCT/JP2015/003704	(73) 特許権者	505374783 国立研究開発法人日本原子力研究開発機構 茨城県那珂郡東海村大字舟石川765番地1
(87) 国際公開番号	W02016/013227	(74) 代理人	100108914 弁理士 鈴木 壯兵衛
(87) 国際公開日	平成28年1月28日(2016.1.28)	(72) 発明者	渡辺 恭志 静岡県浜松市中区大工町125番地 株式会社ブルックマンテクノロジー内
審査請求日	平成30年4月13日(2018.4.13)		最終頁に続く
(31) 優先権主張番号	特願2014-151941 (P2014-151941)		
(32) 優先日	平成26年7月25日(2014.7.25)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 光検出素子及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体からなる基体領域と、
前記基体領域の上面に接して設けられたゲート絶縁膜と、
前記ゲート絶縁膜に接して前記基体領域の上部に環状に連続して埋め込まれ、全領域を受光領域として光電変換で信号電荷を生成する、第2導電型の電荷生成埋込領域と、
前記基体領域の上部において、前記電荷生成埋込領域の外形に接して前記電荷生成埋込領域を環状に囲む第1導電型で前記基体領域より高不純物密度の素子分離領域と、
前記電荷生成埋込領域の内径側の位置の前記基体領域の上部に環状に連続して埋め込まれ前記信号電荷を蓄積する、前記電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域と、
前記電荷読出領域から離間し、前記電荷読出領域の内径側に埋め込まれた、前記電荷生成埋込領域よりも高不純物密度の第2導電型のリセットドレイン領域と、
前記電荷生成埋込領域の上方となる前記ゲート絶縁膜上に環状に連続して設けられ、該環状の外周が前記素子分離領域の内周の外側の位置となる形状で、前記電荷生成埋込領域の外形に沿って配置された透明電極と、
前記電荷読出領域と前記リセットドレイン領域との間の前記基体領域の上方となる前記ゲート絶縁膜上に設けられたリセットゲート電極
とを備え、前記電荷生成埋込領域の表面の表面ポテンシャルを、前記電荷生成埋込領域の少数キャリアとなる電荷でピニングし、前記電荷生成埋込領域で生成された前記信号電

10

20

荷が前記電荷読出領域に向かって輸送されることを特徴とする光検出素子。

【請求項 2】

前記リセットゲート電極に印加する電圧により、前記電荷読出領域に蓄積された電荷の内、前記信号電荷に寄与しない電荷を前記リセットドレイン領域へ排出し、前記電荷読出領域をリセットすることを特徴とする請求項 1 に記載の光検出素子。

【請求項 3】

前記電荷生成埋込領域に前記電荷読出領域が接していることを特徴とする請求項 1 又は 2 に記載の光検出素子。

【請求項 4】

前記電荷生成埋込領域から前記電荷読出領域が離間しており、
前記電荷生成埋込領域と前記電荷読出領域との間の前記基体領域の上方となる前記ゲート絶縁膜上に転送ゲート電極が更に配置され、
前記転送ゲート電極に印加する電圧により、前記電荷生成埋込領域から前記電荷読出領域へ前記信号電荷を転送することを特徴とする請求項 1 又は 2 に記載の光検出素子。

【請求項 5】

第 1 導電型の半導体からなる基体領域と、
前記基体領域の上面に接して設けられたゲート絶縁膜と、
前記ゲート絶縁膜に接して前記基体領域の上部に環状に連続して埋め込まれ、全領域を受光領域として光電変換で信号電荷を生成する、第 2 導電型の電荷生成埋込領域と、
前記基体領域の上部において、前記電荷生成埋込領域の外形に接して前記電荷生成埋込領域を環状に囲む第 1 導電型で前記基体領域より高不純物密度の素子分離領域と、
前記電荷生成埋込領域の内径側の位置の前記基体領域の上部に環状に連続して埋め込まれ前記信号電荷を蓄積する、前記電荷生成埋込領域よりも高不純物密度の第 2 導電型の電荷読出領域と、
前記電荷読出領域から離間し、前記電荷読出領域の内径側に埋め込まれた、前記電荷生成埋込領域よりも高不純物密度の第 2 導電型のリセットドレイン領域と、
前記電荷生成埋込領域の上方となる前記ゲート絶縁膜上に環状に連続して設けられ、該環状の外周が前記素子分離領域の内周の外側の位置となる形状で、前記電荷生成埋込領域の外形に沿って配置された透明電極と、
前記電荷読出領域と前記リセットドレイン領域との間の前記基体領域の上方となる前記ゲート絶縁膜上に設けられたリセットゲート電極
とを備える画素を複数配列し、該複数配列されたそれぞれの前記画素において、前記電荷生成埋込領域の表面の表面ポテンシャルを、前記電荷生成埋込領域の少数キャリアとなる電荷でピングし、前記電荷生成埋込領域で生成された前記信号電荷が前記電荷読出領域に向かって輸送されることを特徴とする固体撮像装置。

【請求項 6】

それぞれの画素において、それぞれの前記リセットゲート電極に印加する電圧により、それぞれの前記電荷読出領域に蓄積された電荷の内、前記信号電荷に寄与しない電荷を、対応する前記リセットドレイン領域へ排出し、前記電荷読出領域をリセットすることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】

それぞれの前記画素の前記電荷生成埋込領域に前記電荷読出領域が接していることを特徴とする請求項 5 又は 6 に記載の固体撮像装置。

【請求項 8】

それぞれの前記画素において、前記電荷生成埋込領域から前記電荷読出領域が離間しており、

それぞれの前記画素の前記電荷生成埋込領域と前記電荷読出領域との間の前記基体領域の上方となる前記ゲート絶縁膜上に、転送ゲート電極がそれぞれ更に配置され、

それぞれの前記画素において、前記転送ゲート電極に印加する電圧により、前記電荷生成埋込領域から前記電荷読出領域へ前記信号電荷が転送されることを特徴とする請求項 5

10

20

30

40

50

又は 6 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、耐放射線特性を有する光検出素子及びこの光検出素子を画素として、半導体チップ上に多数の画素を配列した耐放射線特性を有する固体撮像装置に関する。

【背景技術】

【0002】

3トランジスタ型CMOS固体撮像装置（以下において「3T型」と略記する。）の画素では、p型半導体基板と、このp型半導体基板上に配置されたn型領域とにより、pn接合からなるフォトダイオードを構成している。このn型領域は、低不純物密度の埋込n層（nウェル）及び埋込n層上に設けられた高不純物密度のn層からなる2層構造とされることもある。フォトダイオードの周辺部は画素分離絶縁膜があり、画素分離絶縁膜をpウェルで覆っているため、フォトダイオードと画素分離絶縁膜の間にはpウェルが挿入されている。更に、フォトダイオードの上面には厚い層間絶縁膜が形成され、層間絶縁膜を介して配線メタルが配置されている。

【0003】

3T型の画素にガンマ線を照射すると、界面は活性化し、大きな暗電流源となるため暗電流が増大する。理由として、ガンマ線照射により層間絶縁膜や画素分離絶縁膜を構成している厚い酸化膜中の水素がイオン化する。イオン化した水素は、酸化膜中を拡散して、半導体界面に到達し、界面の暗電流を抑えていた水素原子を奪って水素ガスとして放散する、と推測される。

【0004】

そのため、フォトダイオード周辺をMOS型ゲート電極で囲み、その外側をp型ガードリング領域で囲むガードリング手法が知られている（特許文献1参照。）。MOS型ゲート電極に半導体表面が空乏化しない電圧を印加することにより、フォトダイオード周辺部の暗電流発生は抑えられる。しかしながら、特許文献1に記載された発明によっても、フォトダイオード上面の層間絶縁膜に起因した暗電流発生の課題は残るので、図13に示すように、ガンマ線照射量とともに、暗電流が増大する。

【0005】

3T型の構成に、更に転送ゲート電極の構造を加えた4トランジスタ型CMOS固体撮像装置（以下において「4T型」と略記する。）の画素においては、埋込n層の上に高不純物密度p型ピニング層を形成して、表面準位の影響を除去する構造を採用する場合が多い。しかし、p型ピニング層を形成しても、図13のように、1kGy以上のガンマ線を照射で急激に暗電流が増大する。ガンマ線が照射されると厚い酸化膜中に電子正孔対が発生し、動きの遅い正孔が取り残されて、酸化膜中に過剰な正電荷が残留するため、p型ピニング層のシールド効果が無くなるため、と推測される。

【0006】

又、3T型及び4T型のいずれにおいても、従来のCMOS固体撮像装置はフォトダイオード容量が大きく、電荷電圧変換ゲインが低い。したがって従来のCMOS固体撮像装置は電圧感度が非常に小さいという課題がある。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】米国特許第6,690,074号明細書

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記事情を鑑み、本発明は、電圧感度が高く、且つ耐放射線特性を有する光検出素子及びこの光検出素子を画素として、半導体チップ上に多数の画素を配列した耐放射線特性を

有する固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明の第1の態様は、(a)第1導電型の半導体からなる基体領域と、(b)基体領域の上面に接して設けられたゲート絶縁膜と、(c)ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第2導電型の電荷生成埋込領域と、(d)電荷生成埋込領域の内径側の位置の基体領域の上部に環状に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域と、(e)電荷読出領域から離間し、電荷読出領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型のリセットドレイン領域と、(f)電荷生成埋込領域の上方となるゲート絶縁膜上に環状に設けられた透明電極と、(g)電荷読出領域とリセットドレイン領域との間の基体領域の上方となるゲート絶縁膜上に設けられたリセットゲート電極とを備える光検出素子であることを要旨とする。第1の態様に係る光検出素子においては、電荷生成埋込領域の表面の表面ポテンシャルが、電荷生成埋込領域の少数キャリアとなる電荷でピンングされる。

10

【0010】

本発明の第2の態様は、(a)第1導電型の半導体からなる基体領域と、(b)基体領域の上面に接して設けられたゲート絶縁膜と、(c)ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた2導電型の電荷生成埋込領域と、(d)電荷生成埋込領域の内径側の位置の基体領域の上部に環状に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域と、(e)電荷読出領域から離間し、電荷読出領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型のリセットドレイン領域と、(f)電荷生成埋込領域の上方となるゲート絶縁膜上に環状に設けられた透明電極と、(g)電荷読出領域とリセットドレイン領域との間の基体領域の上方となるゲート絶縁膜上に設けられたリセットゲート電極とを備える画素を複数配列した固体撮像装置であることを要旨とする。本発明の第2の態様に係る固体撮像装置において、複数配列されたそれぞれの画素において、電荷生成埋込領域の表面の表面ポテンシャルが、電荷生成埋込領域の少数キャリアとなる電荷でピンングされる。

20

【発明の効果】

【0011】

本発明によれば、電圧感度が高く、且つ耐放射線特性を有する光検出素子及びこの光検出素子を画素として、半導体チップ上に多数の画素を配列した耐放射線特性を有する固体撮像装置光検出素子及びこの光検出素子を画素として、半導体チップ上に多数の画素を配列した固体撮像装置を提供することができる。

30

【図面の簡単な説明】

【0012】

【図1】本発明の第1の実施形態に係る光検出素子の主要部の概略構成を示す模式的な平面図である。

【図2】図1のII-II方向から見た第1の実施形態に係る光検出素子の断面構造を例示的に示す断面図である。

【図3】第1の実施形態に係る光検出素子の透明電極がゲート絶縁膜を介して電荷生成埋込領域の表面に及ぼす表面ポテンシャルが、正孔（ホール）をピンングする様子を説明するポテンシャルプロファイルである。

40

【図4】図2の断面図に示した素子分離領域、電荷生成埋込領域、電荷読出領域、リセットゲート電極を経て中央のリセットドレイン領域に至る構造に対応したポテンシャルプロファイルと、このポテンシャルプロファイル中の信号電荷の移動を説明する図である（リセット電圧 V_{RD} = 高とした場合。）。

【図5】第1の実施形態に係る光検出素子の感度特性を、リセット電圧 V_{RD} を可変にすることで変更できることを説明する図である。

【図6】図6(a)はリセット電圧 V_{RD} = 低の場合、図6(b)はリセット電圧 V_{RD} = 中低の場合、図6(c)はリセット電圧 V_{RD} = 中高の場合について、図4と同様な

50

テンシャルプロファイルを示し、それぞれのポテンシャルプロファイル中の信号電荷の移動を説明する図である。

【図 7】本発明の第 1 の実施形態に係る固体撮像装置（CMOS イメージセンサ）のピクセルアレイ領域の一部を構成する 2×2 のマトリクス of 主要部の概略構成を示す模式的な平面図である。

【図 8】第 1 の実施形態に係る固体撮像装置に用いる画素の内部にそれぞれ設けられている、増幅トランジスタ及び画素選択トランジスタを実現するための平面パターンの一例を模式的に示す平面図である。

【図 9】本発明の第 2 の実施形態に係る光検出素子の主要部の概略構成を示す模式的な平面図である。

10

【図 10】図 9 の X - X 方向から見た第 2 の実施形態に係る光検出素子の断面構造を例示的に示す断面図である。

【図 11】図 10 の断面図に示した素子分離領域、電荷生成埋込領域、基体領域、電荷読出領域、リセットゲート電極を経て中央のリセットドレイン領域に至る構造に対応したポテンシャルプロファイルと、このポテンシャルプロファイル中の信号電荷の移動を説明する図である（リセット電圧 V_{RD} = 高とした場合。）。

【図 12】本発明の第 2 の実施形態に係る固体撮像装置（CMOS イメージセンサ）のピクセルアレイ領域の一部を構成する 2×2 のマトリクス of 主要部の概略構成を示す模式的な平面図である。

【図 13】従来の CMOS イメージセンサにガンマ線を照射した場合に暗電流がログスケール（対数スケール）で増大することを説明する図である。

20

【発明を実施するための形態】

【0013】

以下に本発明の第 1 及び第 2 の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0014】

30

以下の第 1 及び第 2 の実施形態の説明では、第 1 導電型が p 型、第 2 導電型が n 型の場合について例示的に説明するが、導電型を逆の関係に選択して、第 1 導電型が n 型、第 2 導電型が p 型としても構わない。第 1 導電型が p 型、第 2 導電型が n 型の場合は、信号電荷としてのキャリアは電子となるが、第 1 導電型が n 型、第 2 導電型が p 型の場合は、信号電荷としてのキャリアは正孔（ホール）となることは、勿論である。又、第 2 導電型が n 型であれば、第 2 導電型の少数キャリアは正孔（ホール）であり、第 2 導電型が p 型であれば、第 2 導電型の少数キャリアは電子となることも、当業者であれば、容易に理解できる事項である。

【0015】

又、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を 90 度回転すれば「左右」と「上下」は、互いに交換して読まれ、紙面を 180 度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

40

【0016】

（第 1 の実施形態）

- - 第 1 の実施形態に係る光検出素子 - -

図 1 及び図 2 に示すように、本発明の第 1 の実施形態に係る光検出素子は、第 1 導電型（p 型）の半導体からなる基体領域 11 と、基体領域 11 の上面に接して設けられたゲート絶縁膜 23 と、ゲート絶縁膜 23 に接して基体領域 11 の上部に環状（図 1 の平面図においてリング状）に埋め込まれた第 2 導電型（n 型）の電荷生成埋込領域 13 と、電荷生

50

成埋込領域 1 3 の内径側の位置の基体領域 1 1 の上部に環状に埋め込まれた、電荷生成埋込領域 1 3 よりも高不純物密度の第 2 導電型の電荷読出領域 1 5₁と、電荷読出領域 1 5₁から離間し、電荷読出領域 1 5₁の内径側に埋め込まれた、電荷生成埋込領域 1 3 よりも高不純物密度の第 2 導電型のリセットドレイン領域 1 6₁と、電荷生成埋込領域 1 3 の上方となるゲート絶縁膜 2 3 上に環状に設けられた透明電極 2 1₁と、電荷読出領域 1 5₁とリセットドレイン領域 1 6₁との間の基体領域 1 1 の上方となるゲート絶縁膜 2 3 上に設けられたリセットゲート電極 2 2₁とを備える。図 2 に示すように、電荷生成埋込領域 1 3 に電荷読出領域 1 5₁が接している。

【 0 0 1 7 】

図 1 の平面図では、環状のトポロジーの一例として、透明電極 2 1₁及びリセットゲート電極 2 2₁の外形側及び内径側の形状が共に八角形をなす連続帯の形状を示したが、図 1 のトポロジーに限定されるものではない。即ち、平面パターンとしてみたときに、連続帯の開始ポイントと終了ポイントが等しくなる閉じた幾何学形状が「環状」であるので、透明電極 2 1₁及びリセットゲート電極 2 2₁の形状は、例えば、円形や他の多角形の外形線及び内径線で囲まれるように概略一定の幅で連続した他の形状であってもよい。ただし、多角形の場合は、多角形の内角部分による電界の不均一性が生じるので、多角形の内角は大きい方がこのましい。したがって、四角形よりも六角形が好ましく、六角形よりも八角形が好ましく、更に、八角形よりも円形の方が好ましい。又、平面パターンが、帯の幅を概略一定にして周回する閉じた連続帯のトポロジーであれば、リセットドレイン領域 1 6₁の中心に関して点対称である必要もない。

【 0 0 1 8 】

図 1 に示すように、第 1 の実施形態に係る光検出素子は、外側に透明電極 2 1₁が環状に配置され、透明電極 2 1₁のパターンの内側に電荷読出領域 1 5₁が配置されている。実際には製造プロセス上の熱工程に依存して、図 1 の平面図に破線で示すように、透明電極 2 1₁の内径線より外側の領域に電荷読出領域 1 5₁の外径線が位置する平面パターンとなるように、電荷読出領域 1 5₁を構成する第 2 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。同様に、図 1 の平面図において、電荷読出領域 1 5₁の内側には、環状のリセットゲート電極 2 2₁が配置されているが、破線で示すように、リセットゲート電極 2 2₁の外径線より内側の領域に電荷読出領域 1 5₁の内径線が位置する平面パターンとなるように、電荷読出領域 1 5₁を構成する第 2 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。対応する図 2 の断面図では、電荷読出領域 1 5₁の横方向端部が、透明電極 2 1₁の内側端部及びリセットゲート電極 2 2₁の外側端部とオーバーラップしていることが示されている。電荷読出領域 1 5₁の内側には、環状のリセットゲート電極 2 2₁を設けることで、ゲート形状が方形の一般のトランジスタでは避けられない、チャンネル側壁酸化膜境界での放射線照射によるオフ時のリーク電流も抑圧することが可能となる。

【 0 0 1 9 】

図 1 の平面図において、リセットゲート電極 2 2₁の内側にはリセットドレイン領域 1 6₁が配置されているが、破線で示すように、リセットゲート電極 2 2₁の内径線より外側の領域にまでリセットドレイン領域 1 6₁の外径線が位置する平面パターンとなるように、リセットドレイン領域 1 6₁を構成する第 2 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。対応する図 2 の断面図では、リセットドレイン領域 1 6₁の横方向端部が、リセットゲート電極 2 2₁の内側端部とオーバーラップしていることが示されている。

【 0 0 2 0 】

図 2 に示すように、リセットゲート電極 2 2₁の直下となる基体領域 1 1 の上部には、第 1 導電型で、基体領域 1 1 よりも高不純物密度のウェル領域 1 2₁が配置されている。平面パターンの図示を省略しているが、ウェル領域 1 2₁はリセットドレイン領域 1 6₁を囲むように八角形に配置され、ウェル領域 1 2₁の外径線は、平面パターン上、電荷

読出領域 1 5 画の外径線と内径線の間には挟まれた八角形の形状をなしている。図 2 の断面図では、ウェル領域 1 2 画はリセットドレイン領域 1 6 画の側面及び底面の全体を囲むように配置され、ウェル領域 1 2 画の側面が電荷読出領域 1 5 画の底面に接していることが分かる。なお、ウェル領域 1 2 画の外径線は透明電極 2 1 画の内径線とは離れるのが望ましい。

【 0 0 2 1 】

図 2 に示す第 1 の実施形態に係る光検出素子では、ウェル領域 1 2 画を p 型の半導体領域で構成しているため、リセットゲート電極 2 2 画、ゲート絶縁膜 2 3、ウェル領域 1 2 画、電荷読出領域 1 5 画及びリセットドレイン領域 1 6 画とからなる n M O S トランジスタでリセットトランジスタを構成している。そして、リセットゲート電極 2 2 画に印加する電圧により、電荷読出領域 1 5 画に蓄積された電荷をリセットドレイン領域 1 6 画へ排出し、電荷読出領域 1 5 画に蓄積されている電荷をリセットする。

10

【 0 0 2 2 】

図 2 の断面図の両側の端部側に示されるように、透明電極 2 1 画の外側には第 1 導電型で、基体領域 1 1 よりも高不純物密度の素子分離領域 1 2 画が電荷生成埋込領域 1 3 を囲むように配置されている。更に素子分離領域 1 2 画の表面には第 1 導電型で、素子分離領域 1 2 画よりも高不純物密度のチャンネルストップ領域 1 7 が配置されている。図 1 の平面図に破線で示すように、製造プロセス上の熱工程に依存して、透明電極 2 1 画の外径線より内側の領域に素子分離領域 1 2 画の内径線が位置する平面パターンとなるように、素子分離領域 1 2 画を構成する第 1 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。

20

【 0 0 2 3 】

素子分離領域 1 2 画の内径線が、透明電極 2 1 画の外径線より等間隔で内側に位置する平面パターンとなることで、素子分離領域 1 2 画の内径線は閉じた幾何学形状をなしている。一方、チャンネルストップ領域 1 7 の内径線は、透明電極 2 1 画の平面パターンを囲んでおり、チャンネルストップ領域 1 7 の内径線も閉じた幾何学形状をなしている。透明電極 2 1 画の外側に素子分離領域 1 2 画を配置することで、透明電極 2 1 画の直下に構成される電荷生成埋込領域 1 3 の周辺部での暗電流の発生を抑えることが可能となる。

【 0 0 2 4 】

平面パターンの図示を省略しているが、基体領域 1 1 の表面側に配置される電荷生成埋込領域 1 3 のトポロジーも閉じた幾何学形状である。即ち、電荷生成埋込領域 1 3 の外径線は、図 1 では素子分離領域 1 2 画の内径線と共通となる八角形の形状をなす線であり、電荷生成埋込領域 1 3 の内径線は、図 1 の平面パターン上、電荷読出領域 1 5 画の外径線と内径線の間を通る八角形の形状をなしている。このように、基体領域 1 1 の表面側に環状で八角形の電荷生成埋込領域 1 3 が形成され、この環状で八角形の電荷生成埋込領域 1 3 の上に薄いゲート絶縁膜 2 3 を介して、環状で八角形の透明電極 2 1 画が設けられている。

30

【 0 0 2 5 】

透明電極 2 1 画は、燐 (P)、砒素 (A s) 等の第 2 導電型の不純物をドーブした多結晶シリコン (以下において「ドーブドポリシリコン」という。) 膜等で形成すれば、透明電極 2 1 画と電荷読出領域 1 5 画との境界を自己整合的に定めることが可能であるので製造プロセス上便利であるが、酸化錫 (S n O₂)、錫 (S n) を添加した酸化インジウム (I T O)、アルミニウム (A l) を添加した酸化亜鉛 (A Z O)、ガリウム (G a) を添加した酸化亜鉛 (G Z O)、インジウム (I n) を添加した酸化亜鉛 (I Z O) 等の酸化物薄膜 (透明導電性酸化物) を用いてもよい。

40

【 0 0 2 6 】

リセットゲート電極 2 2 画についても、第 2 導電型の不純物をドーブしたドーブドポリシリコンを用いれば、リセットゲート電極 2 2 画と電荷読出領域 1 5 画との境界、及びリセットゲート電極 2 2 画とリセットドレイン領域 1 6 画との境界を自己整合的に定めることが可能であるので好適である。

50

【 0 0 2 7 】

第 1 の実施形態に係る光検出素子においては、透明電極 2 1 画に負電圧を印加すると、図 3 に示すようなポテンシャルプロファイルが実現される。図 3 に示すように、透明電極 2 1 画がゲート絶縁膜 2 3 を介して電荷生成埋込領域 1 3 の表面に及ぼす表面ポテンシャルが、電荷生成埋込領域 1 3 の表面に電荷生成埋込領域 1 3 の少数キャリアとなる電荷でピニングされる。

【 0 0 2 8 】

例えば、図 3 に示すように、電荷生成埋込領域 1 3 が n 型であれば、少数キャリアは正孔（ホール）であるので、透明電極 2 1 画の直下のゲート絶縁膜 2 3 と半導体との界面、即ち、電荷生成埋込領域 1 3 の表面に多量の正孔（ホール）による反転層 1 4 が形成され、少数キャリアである正孔で表面電位がピニングされる。正孔でピニングされることにより、ゲート絶縁膜 2 3 と半導体との界面の界面準位が不活性化される。逆に、電荷生成埋込領域 1 3 が p 型であれば、少数キャリアは電子であるので、透明電極 2 1 画の直下のゲート絶縁膜 2 3 と半導体との界面、即ち、電荷生成埋込領域 1 3 の表面に多量の電子による反転層 1 4 を形成して、電子で表面電位がピニングされる。界面に電子でピニングされることにより、ゲート絶縁膜 2 3 と半導体との界面の界面準位が不活性化される。そして、第 1 の実施形態に係る光検出素子に対し、ガンマ線が照射された場合は、薄いゲート絶縁膜 2 3 中にも正孔が発生するが、膜厚が薄いためゲート絶縁膜 2 3 中に生成される正孔の絶対量は僅かである。

【 0 0 2 9 】

図 4 は、図 2 の断面図に示した横方向の位置に対応して、外側の素子分離領域 1 2 画から、電荷生成埋込領域 1 3、電荷読出領域 1 5 画、リセットゲート電極 2 2 画、を経て中央のリセットドレイン領域 1 6 画に至る中心対称のプロファイルとなるポテンシャル分布の例を示した図である。図 4 の中央の井戸の底において符号 R D で示したレベル、即ち図 4 において左上がりの破線からなる斜線のハッチングで示した上端のレベルが、リセットドレイン領域 1 6 画の電圧であるリセット電圧 V R D となる。

【 0 0 3 0 】

第 1 の実施形態に係る光検出素子においては、図 4 に示すように、透明電極 2 1 画の直下のチャンネルの空乏化電位は電荷読出領域 1 5 画の電位より浅くなっており、透明電極 2 1 画の直下のチャンネル部分で光電変換された電荷は、常時、電荷読出領域 1 5 画に転送される。即ち、図 4 に示したポテンシャル分布の形状に従って、透明電極 2 1 画の直下の電荷生成埋込領域 1 3 で発生した信号電荷（電子）は、図 4 の中心方向に向かう矢印で示すように、常時、電荷生成埋込領域 1 3 から内側の電荷読出領域 1 5 画に搬送される。

【 0 0 3 1 】

図 4 において、転送され電荷読出領域 1 5 画に蓄積された電荷は、右上がりの実線からなる斜線のハッチングで示されている。図 4 に示すようなポテンシャル分布のプロファイルを実現することにより、第 1 の実施形態に係る光検出素子の電荷読出領域 1 5 画の容量を小さくでき、信号電荷による変換ゲインを高めることができる。したがって、第 1 の実施形態に係る光検出素子の電圧感度を高めることが可能となる。

【 0 0 3 2 】

透明電極 2 1 画の直下の電荷生成埋込領域 1 3 で光電変換された電荷は、電荷読出領域 1 5 画に一定期間蓄積後、電荷読出領域 1 5 画の信号レベルを読み取り、次いでリセット動作によりリセットレベルを読むようにできる。図 4 では、変換ゲインを大きくするため、信号電荷を電荷読出領域 1 5 画のみに蓄積する動作としたが、用途によっては変換ゲインを小さくして大きな信号電荷量を扱うようにすることも有用である。

【 0 0 3 3 】

なお、図 2 にその断面の構造を例示的に示す第 1 の実施形態に係る光検出素子では、「基体領域 1 1」として、第 1 導電型（p 型）の半導体基板（Si 基板）を用いる場合を例示しているが、半導体基板の代わりに、第 1 導電型の半導体基板上に、半導体基板よりも低不純物密度の第 1 導電型のエピタキシャル成長層を形成して、エピタキシャル成長層を

基体領域 1 1 として採用してもよく、第 2 導電型 (n 型) の半導体基板上に、第 1 導電型 (p 型) のエピタキシャル成長層を形成して、エピタキシャル成長層を基体領域 1 1 として採用してもよく、SOI 構造の第 1 導電型の半導体層 (SOI 層) を基体領域 1 1 として採用してもよい。

【0034】

第 1 の実施形態に係る光検出素子は、ゲート絶縁膜 2 3 としてシリコン酸化膜を用いた単なる MOS 型のトランジスタだけに限定されるものではない。即ち、第 1 の実施形態に係る光検出素子のゲート絶縁膜 2 3 としては、シリコン酸化膜の他、ストロンチウム酸化物 (SrO) 膜、シリコン窒化物 (Si₃N₄) 膜、アルミニウム酸化物 (Al₂O₃) 膜、マグネシウム酸化物 (MgO) 膜、イットリウム酸化物 (Y₂O₃) 膜、ハフニウム酸化物 (HfO₂) 膜、ジルコニウム酸化物 (ZrO₂) 膜、タンタル酸化物 (Ta₂O₅) 膜、ビスマス酸化物 (Bi₂O₃) 膜のいずれか 1 つの単層膜或いはこれらの複数を積層した複合膜等を使用して、MIS 型のトランジスタを構成してもよい。但し、これらゲート絶縁膜材料としては、放射線に対して耐性があることが前提となる。

【0035】

図 5 の曲線 (i) ~ (iv) に模式的に示すように、第 1 の実施形態に係る光検出素子のリセットドレイン領域 1 6 上の電圧であるリセット電圧 VRD を「高」「中高」「中低」「低」又は、「低」「中低」「中高」「高」と可変にすることで、入射光量に対する出力特性、即ち感度 = (出力 / 光量) の特性を種々に変更できる。

【0036】

図 5 で符号 (i) を付した単調に増大する直線は、図 4 に示したリセット電圧 VRD = 「高」に相当する感度特性であり、出力範囲全体が高い変換ゲインとなることを示している。

【0037】

次に、図 6 (c) の左上がりの破線からなる斜線のハッチングで示すように、リセット電圧 VRD = 「中高」として、透明電極 2 1 上のチャネルポテンシャルよりリセット電圧 VRD が高く且つ、図 4 の「高」よりも低い電圧にした場合は、光電変換された電荷は、図 6 (c) の右上がりの実線からなる斜線のハッチングで示すように、最初、電荷読出領域 1 5 上に蓄積され、途中から透明電極 2 1 下に蓄積されるように変化する。このため、リセット電圧 VRD = 「中高」の場合は、図 5 の曲線 (iii) に示すように、第 1 の実施形態に係る光検出素子の感度は、曲線 (i) と同様に最初高く単調に増大する直線で示されるが、曲線 (i) の途中から屈曲して低くなる特性となる。

【0038】

そして、図 6 (b) に示すように、左上がりの破線からなる斜線のハッチングで示すように、リセット電圧 VRD = 「中低」として、透明電極 2 1 上のチャネルポテンシャルよりもリセット電圧 VRD が少し高いが、図 6 (c) に示した「中高」よりも低い電圧にした場合は、光電変換された電荷は、最初、右上がりの実線からなる斜線のハッチングで示したように、電荷読出領域 1 5 上に蓄積されるので、感度は最初は曲線 (i) に沿って変化して高い。しかしながら、リセット電圧 VRD = 「中低」の場合は、途中から、光電変換された電荷が透明電極 2 1 下に蓄積されるように変化するので、図 5 の曲線 (iv) に示すように、第 1 の実施形態に係る光検出素子の感度は、曲線 (i) の途中から屈曲して低くなる特性となる。リセット電圧 VRD = 「中低」の場合は、図 6 (c) に示した「中高」の場合よりも、電荷読出領域 1 5 上に蓄積され電荷量が少なく、相対的に、透明電極 2 1 下に蓄積される電荷量が、「中高」の場合よりも多くなる。このため、感度曲線は、「中高」の場合よりも光量の少ない箇所、折れ曲がる。

【0039】

更に、図 6 (a) に示すように、左上がりの破線からなる斜線のハッチングで示すように、リセット電圧 VRD = 「低」として、透明電極 2 1 上のチャネルポテンシャルよりリセット電圧 VRD が低くなるようにすると、光電変換された電荷は右上がりの実線からなる斜線のハッチングで示すように、すべて透明電極 2 1 下に蓄積されるようになる

。このため、リセット電圧 $V_{RD} = \text{「低」}$ の場合は、図 5 の曲線 (ii) に示すように、第 1 の実施形態に係る光検出素子の感度は小さいが大きな信号電荷量を扱うことができる。

【 0 0 4 0 】

図 5 の曲線 (iii) 及び (iv) に示す屈曲点はリセット電圧 V_{RD} により調整可能である。なお、第 1 の実施形態に係る光検出素子において、リセットドレイン領域 1 6 画素の電圧であるリセット電圧 V_{RD} を「高」「中高」「中低」「低」と変化させるのに伴い、第 1 の実施形態に係る光検出素子のリセットゲート電極 2 2 画素に印加するリセットゲート電圧を、ハイ側・ロー側共に追隨して変化させるのが望ましい。

【 0 0 4 1 】

- - 第 1 の実施形態に係る固体撮像装置 - -

図 1 及び図 2 に示した構造の光検出素子を単位画素とし、多数の単位画素をマトリクス状に 2 次元配列すれば、本発明の第 1 の実施形態に係る固体撮像装置 (2 次元イメージセンサ) のピクセルアレイ領域を実現できる。説明の便宜上、ピクセルアレイ領域を構成する多数の単位画素のうち、図 7 では、4 つの単位画素を 2×2 のマトリクス状に 2 次元配列した平面構造によって、第 1 の実施形態に係る固体撮像装置を模式的に説明する。即ち、図 7 に示す第 1 の実施形態に係る固体撮像装置は、左上の (i, j) 番目の画素、右上の $(i, j + 1)$ 番目の画素、左下の $(i - 1, j)$ 番目の画素及び右下の $(i - 1, j + 1)$ 番目の画素によって、 2×2 のマトリクス構造を構成しているピクセルアレイ領域の一部の領域における平面パターンの一例を示したものである。

【 0 0 4 2 】

ピクセルアレイ領域は、例えば、方形状の撮像領域を構成している。ピクセルアレイ領域の周辺には周辺回路部が配置され、ピクセルアレイ領域と周辺回路部とが同一の半導体チップ上に集積化されている。周辺回路部には、水平シフトレジスタ、垂直シフトレジスタ及びタイミング発生回路等が含まれている。

【 0 0 4 3 】

より具体的には、例えば、方形状のピクセルアレイ領域の下辺部に図 7 において水平方向に示した画素行の方向に沿って水平シフトレジスタを設けたレイアウト設計が可能である。この場合、例えば、ピクセルアレイ領域の左辺部には、図 7 において垂直方向に示した画素列の方向に沿って垂直シフトレジスタが設け、垂直シフトレジスタ及び水平シフトレジスタには、タイミング発生回路を接続するようにすればよい。

【 0 0 4 4 】

図 7 では 2 本のみが例示されているが、各画素列毎に、垂直信号線 B_j, B_{j+1}, \dots が設けられる。そして、図 7 の配置の、それぞれの垂直信号線 B_j, B_{j+1}, \dots の上方ないし下方の一端には、定電流負荷となる MOS トランジスタが接続され、画素内の MOS トランジスタ $Q_{A_{ij}}$ 等とソースフォロワ回路を形成し、垂直信号線 B_i 等に画素信号を出力する。そして、それぞれの垂直信号線 B_j, B_{j+1}, \dots の定電流負荷と同じ側ないし反対側の一端には、カラム処理回路が接続されている。それぞれのカラム処理回路には、ノイズキャンセル回路及び A/D 変換回路が含まれている。ノイズキャンセル回路は、相関 2 重サンプリング (CDS : Correlated Double Sampling) 等により構成すればよい。

【 0 0 4 5 】

図 7 の左上に示す第 1 の実施形態に係る固体撮像装置を構成する (i, j) 番目の画素の断面構造は、図 2 に示した光検出素子を単位画素とするものであるから、図 2 に示した光検出素子の断面構造と同様である。よって、図 7 の平面図には図 2 に示した基体領域 1 1、ゲート絶縁膜 2 3 及び電荷生成埋込領域 1 3 等が表現されていないが、 (i, j) 番目の画素の断面構造は、基本的に図 2 に示した断面構造と全く同様である。

【 0 0 4 6 】

即ち、図 7 の左上に示す第 1 の実施形態に係る固体撮像装置を構成する (i, j) 番目の画素は、第 1 導電型の半導体からなる基体領域 (図示省略) と、基体領域の上面に接して設けられたゲート絶縁膜 (図示省略) と、ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第 2 導電型の電荷生成埋込領域 (図示省略) と、電荷生成埋込領域の内径

10

20

30

40

50

側の位置の基体領域の上部に環状に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域 $15_{i,j}$ と、電荷読出領域 $15_{i,j}$ から離間し、電荷読出領域 $15_{i,j}$ の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域 $16_{i,j}$ と、電荷生成埋込領域 13 の上方となるゲート絶縁膜上に環状に設けられた透明電極 $21_{i,j}$ と、電荷読出領域 $15_{i,j}$ とリセットドレイン領域 $16_{i,j}$ との間の基体領域の上方となるゲート絶縁膜上に設けられたリセットゲート電極 $22_{i,j}$ とを備える。図7では図示を省略しているが、図2に示した断面構造と同様に、電荷生成埋込領域に電荷読出領域 $15_{i,j}$ が接しており、リセットゲート電極 $22_{i,j}$ の直下となる基体領域の上部には、第1導電型で、基体領域よりも高不純物密度のウェル領域 12_i が配置されている。図2に示した断面構造と同様に、透明電極 $21_{i,j}$ の外側には第1導電型で、基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域 13 を囲むように配置されている。更に素子分離領域の表面には第1導電型で、素子分離領域よりも高不純物密度のチャンネルストップ領域 17 が配置されている。

【0047】

同様に、図7の右上に示すように、2次元マトリクス中の $(i, j+1)$ 番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第2導電型の電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域 $15_{i,j+1}$ と、電荷読出領域 $15_{i,j+1}$ から離間し電荷読出領域 $15_{i,j+1}$ の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域 $16_{i,j+1}$ と、電荷生成埋込領域 13 の上方となるゲート絶縁膜上に環状に設けられた透明電極 $21_{i,j+1}$ と、電荷読出領域 $15_{i,j+1}$ とリセットドレイン領域 $16_{i,j+1}$ との間の上方に設けられたリセットゲート電極 $22_{i,j+1}$ とを備える。図2の構造と同様に、電荷生成埋込領域に電荷読出領域 $15_{i,j+1}$ が接しており、リセットゲート電極 $22_{i,j+1}$ の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域 12_i が配置され、更に、透明電極 $21_{i,j+1}$ の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域 13 を囲むように (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域 17 が、 (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。

【0048】

又、図7の左下に示すように、2次元マトリクス中の $(i-1, j)$ 番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に埋め込まれた第2導電型の電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域 $15_{i-1,j}$ と、電荷読出領域 $15_{i-1,j}$ の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域 $16_{i-1,j}$ と、電荷生成埋込領域 13 の上方に設けられた透明電極 $21_{i-1,j}$ と、電荷読出領域 $15_{i-1,j}$ とリセットドレイン領域 $16_{i-1,j}$ との間の上方に設けられたリセットゲート電極 $22_{i-1,j}$ とを備える。図2の構造と同様に、電荷生成埋込領域に電荷読出領域 $15_{i-1,j}$ が接しており、リセットゲート電極 $22_{i-1,j}$ の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域 12_{i-1} が配置され、更に、透明電極 $21_{i-1,j}$ の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域 13 を囲むように (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域 17 が (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。

【0049】

更に、図7の右下に示すように、2次元マトリクス中の $(i-1, j+1)$ 番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に埋め込まれた第2導電型の電荷生成埋込領域と、電荷

生成埋込領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域 $15_{i,j+1}$ と、電荷読出領域 $15_{i,j+1}$ の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域 $16_{i,j+1}$ と、電荷生成埋込領域 13 の上方に設けられた透明電極 $21_{i,j+1}$ と、電荷読出領域 $15_{i,j+1}$ とリセットドレイン領域 $16_{i,j+1}$ との間の上方に設けられたリセットゲート電極 $22_{i,j+1}$ とを備える。図2の構造と同様に、電荷生成埋込領域に電荷読出領域 $15_{i,j+1}$ が接しており、リセットゲート電極 $22_{i,j+1}$ の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域 12_{ij} が配置され、更に、透明電極 $21_{i,j+1}$ の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域 13 を囲むように、 $(i-1, j)$ 番目の画素及び $(i, j+1)$ 番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域 17 が $(i-1, j)$ 番目の画素及び $(i, j+1)$ 番目の画素等の他の画素の領域から連続した領域として配置されている。

【0050】

図7に示すように、2次元マトリクス中の (i, j) 番目の画素の電荷読出領域 15_{ij} には、コンタクトホール 31_{ij} を介して右下方向に向かう表面配線 32_{ij} の一方の端部が接続され、表面配線 32_{ij} の他方の端部には、読出回路部 29_{ij} の増幅トランジスタ(信号読出トランジスタ) QA_{ij} のゲート電極が接続されている。即ち、図7に示す回路構成では、電荷読出領域 15_{ij} は、リセットトランジスタのソース領域として機能しているため、電荷読出領域 15_{ij} に増幅トランジスタ QA_{ij} のゲート電極とリセットトランジスタ TR_{ij} のソース領域が接続されていることになる。なお、図7に示した表面配線 32_{ij} は、模式的な等価回路上の例示的表示であって、現実には図7に示すような右下方向に向かう配線である必要はない。例えば、多層配線構造を利用して、配線レベルの異なる互いに直交する表面配線(金属配線)で実現してもよい。即ち、互いに直交する表面配線の間には層間絶縁膜を介し、上下の表面配線を層間絶縁膜を貫通するコンタクトプラグ等で結合した構成で実現してもよい。即ち、半導体チップ上のレイアウト設計の要求に従って、任意のトポロジーの表面配線 32_{ij} が採用可能である。増幅トランジスタ QA_{ij} のソース領域には画素選択トランジスタ(スイッチングトランジスタ) TS_{ij} のドレイン領域が接続され、増幅トランジスタ QA_{ij} のドレイン領域には電源配線 V_{DD} が接続されている。画素選択トランジスタ TS_{ij} のソース領域には、 j 番目の列に沿って配列された垂直信号線 B_j が接続され、画素選択トランジスタ TS_{ij} のゲート電極には、垂直シフトレジスタから i 行目の選択信号 $SL(i)$ が入力される。電荷読出領域 15_{ij} に転送された電荷量に相当する電圧によって、増幅トランジスタ QA_{ij} で増幅された出力が、画素選択トランジスタ TS_{ij} を介して垂直信号線 B_j に出力される。

【0051】

図7において、読出回路部 29_{ij} を示す八角形の外径線は、増幅トランジスタ QA_{ij} 及び画素選択トランジスタ TS_{ij} を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部 29_{ij} の中の増幅トランジスタ QA_{ij} の活性領域及び画素選択トランジスタ TS_{ij} の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極 21_{ij} のパターンが配置された基体領域の表面と読出回路部 29_{ij} のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図2の断面図に例示したのと同様の素子分離領域 12 とチャンネルストップ領域 17 が2次元マトリクス中の他の画素の領域から連続した領域として配置されている。

【0052】

図7に示した増幅トランジスタ QA_{ij} 及び画素選択トランジスタ TS_{ij} は、耐放射線特性を持たせるため、リング型や図8に示すような型のゲート構造にすることも可能である。図8に示す型のゲート構造の基本的な概念は、特開2011-134784号公報に開示されている。即ち、図8には、読出回路部 29_{ij} の増幅トランジスタ QA_{ij} 及び画素選択トランジスタ TS_{ij} を実現するための平面パターンの一例が示されているが、読出回路部 29_{ij} の領域内の内側活性領域を延伸するように、型のゲート電極

63の主制御部が上下（縦方向）に走行している。

【0053】

ゲート電極63は、図7に示した画素選択トランジスタ $T S_{ij}$ のゲート電極に対応するが、特開2011-134784号公報に開示されているように、画素選択トランジスタ $T S_{ij}$ のソース領域54を囲むように水平方向に走行する2本のガード部を有して字型の形状をなしている。図8の読出回路部29の中央には、増幅トランジスタ $Q A_{ij}$ のソース領域と、画素選択トランジスタ $T S_{ij}$ のドレイン領域を兼ねるソース/ドレイン共通領域52が、第2導電型の半導体領域として配置されている。字型をなすゲート電極63は、図8の平面パターン上、このソース/ドレイン共通領域52とソース領域54との間のチャンネル領域を流れるキャリアの流路に直交する主制御部を縦方向に有し、更にこの縦方向の主制御部に交わる水平方向の2本のガード部を有して、ソース領域54の3方を囲んでいる。

10

【0054】

素子分離絶縁膜が、読出回路部29の領域を画定する八角形の外径線の内部において、画素選択トランジスタ $T S_{ij}$ のチャンネル領域を囲み、基体領域の上部に活性領域を定義している。活性領域の一方（左側）には、チャンネル領域にキャリア注入口を介してキャリア（電子）を注入するソース/ドレイン共通領域52が設けられ、活性領域の他方（右側）には、チャンネル領域から、キャリアを排出するキャリア排出口を有する第2導電型のソース領域54が設けられている。ソース領域54は、耐放射線特性を持たせるため、素子分離絶縁膜の他方の端部に1辺のみを接した矩形のソース領域54になっている。

20

【0055】

字型をなすゲート電極63は、活性領域の表面に設けられたゲート絶縁膜の上に設けられ、キャリアの流れを静電的に制御する。更に、活性領域に、平面パターン上、ソース領域54のゲート幅方向（図8の上下方向）の両端側には、それぞれ2本のガード部を隔てて、第1導電型で基体領域よりも高不純物密度のリーク阻止領域53b, 53dとが備えられている。リーク阻止領域53b, 53dは、それぞれ2本のガード部を隔てて上下方向に対称に配置されている。下側のリーク阻止領域53bは、図8に示すように、下側のガード部に上側の辺を、主制御部に左側の辺を接し、残余の辺は、素子分離絶縁膜に接するようにパターンニングされている。一方、上側のリーク阻止領域53dは、図8に示すように、上側のガード部に下側の辺を、主制御部に左側の辺を接し、残余の辺は、素子分離絶縁膜に接するようにパターンニングされている。

30

【0056】

図8の読出回路部29の左側には、第2導電型のドレイン領域51が配置されており、ドレイン領域51とソース/ドレイン共通領域52との間を縦方向にゲート電極62が走行している。ゲート電極62は、 (i, j) 番目の画素の電荷読出領域15に電氣的に接続される。ゲート電極62は、等価回路上は、図7に模式的に示した増幅トランジスタ $Q A_{ij}$ であり、図7において等価回路表示をした表面配線32に接続されている。表面配線32は、実際には図8において例示したようなコンタクトホール38を介して接続される表面配線72等を用いて、多層配線構造で実現されて構わない。

【0057】

コンタクトホール38は、表面配線72とゲート電極62の間に設けられた層間絶縁膜を貫通する開口部である。ドレイン領域51、ソース/ドレイン共通領域52及びゲート電極62によって増幅トランジスタ $Q A_{ij}$ が構成されている。増幅トランジスタ $Q A_{ij}$ のドレイン領域51は、コンタクトホール33を介して電源配線を構成している表面配線61に接続されている。一方、画素選択トランジスタ $T S_{ij}$ のソース領域54は、コンタクトホール34を介して垂直信号線 B_j を構成している表面配線64に接続されている。字型をなすゲート電極63は、例えば、図8に例示するようなコンタクトホール37を介して選択信号供給配線 $S L(i)$ を構成している表面配線73iに接続されている。コンタクトホール37は、表面配線72とゲート電極63の間の層間絶縁膜を貫通する開口部である。図8に平面図を例示した構成により、放射線照射によ

40

50

り型のゲート電極63の下のチャンネルとフィールド酸化膜との境界で閾値が変化しても、オフ時のリーク電流はリーク阻止領域53b, 53dでブロックされる。

【0058】

同様に、2次元マトリクス中の $(i, j+1)$ 番目の画素の電荷読出領域15_{i,j+1}には、コンタクトホール31_{i,j+1}を介して右下方向に向かう表面配線32_{i,j+1}の一方の端部が接続され、表面配線32_{i,j+1}の他方の端部には、読出回路部29_{i,j+1}の増幅トランジスタQA_{i,j+1}のゲート電極が接続されている。即ち、図7に示す回路構成では、電荷読出領域15_{i,j+1}は、リセットトランジスタのソース領域として機能しているので、電荷読出領域15_{i,j+1}に増幅トランジスタQA_{i,j+1}のゲート電極とリセットトランジスタTR_{i,j+1}のソース領域が接続されていることになる。増幅トランジスタQA_{i,j+1}のソース領域には画素選択トランジスタTS_{i,j+1}のドレイン領域が接続され、増幅トランジスタQA_{i,j+1}のドレイン領域には電源配線V_{DD}が接続されている。画素選択トランジスタTS_{i,j+1}のソース領域には $(j+1)$ 番目の列に沿って配列された垂直信号線B_{j+1}が接続され、画素選択トランジスタTS_{i,j+1}のゲート電極には、垂直シフトレジスタからi行目の選択信号SL(i)が入力される。電荷読出領域15_{i,j+1}に転送された電荷量に相当する電圧によって、増幅トランジスタQA_{i,j+1}で増幅された出力が、画素選択トランジスタTS_{i,j+1}を介して垂直信号線B_{j+1}に出力される。

10

【0059】

図7において、読出回路部29_{i,j+1}を示す八角形の外径線は、増幅トランジスタQA_{i,j+1}及び画素選択トランジスタTS_{i,j+1}を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部29_{i,j+1}の中の増幅トランジスタQA_{i,j+1}の活性領域及び画素選択トランジスタTS_{i,j+1}の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極21_{i,j+1}のパターンが配置された基体領域の表面と読出回路部29_{i,j+1}のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図2の断面図に例示したのと同様の素子分離領域12.とチャンネルストップ領域17が、 (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。

20

【0060】

又、 $(i-1, j)$ 番目の画素の電荷読出領域15_{i-1,j}には、コンタクトホール31_{i-1,j}を介して右下方向に向かう表面配線32_{i-1,j}の一方の端部が接続され、表面配線32_{i-1,j}の他方の端部には、読出回路部29_{i-1,j}の増幅トランジスタQA_{i-1,j}のゲート電極が接続されている。即ち、図7に示す回路構成では、電荷読出領域15_{i-1,j}は、リセットトランジスタのソース領域として機能しているので、電荷読出領域15_{i-1,j}に増幅トランジスタQA_{i-1,j}のゲート電極とリセットトランジスタTR_{i-1,j}のソース領域が接続されていることになる。増幅トランジスタQA_{i-1,j}のソース領域には画素選択トランジスタTS_{i-1,j}のドレイン領域が接続され、増幅トランジスタQA_{i-1,j}のドレイン領域には電源配線V_{DD}が接続されている。画素選択トランジスタTS_{i-1,j}のソース領域には垂直信号線B_iが接続され、画素選択トランジスタTS_{i-1,j}のゲート電極には、垂直シフトレジスタから $(i-1)$ 行目の選択信号SL(i-1)が入力される。電荷読出領域15_{i-1,j}に転送された電荷量に相当する電圧によって、増幅トランジスタQA_{i-1,j}で増幅された出力が、画素選択トランジスタTS_{i-1,j}を介して垂直信号線B_iに出力される。

30

40

【0061】

図7に示す平面図において、読出回路部29_{i-1,j}の外周の位置(境界)を示す八角形の外径線は、増幅トランジスタQA_{i-1,j}及び画素選択トランジスタTS_{i-1,j}が形成される活性領域を規定するフィールド絶縁膜領域が設けられている領域を示す。即ち、読出回路部29_{i-1,j}を構成している増幅トランジスタQA_{i-1,j}及び画素選択トランジスタTS_{i-1,j}のそれぞれの活性領域は、平面パターンとしては、フィールド絶縁膜に相当する厚い酸化膜で周囲を囲まれて定義されている。透明電極21_{i-1,j}のパターンが配置された基体領域の表面と読出回路部29_{i-1,j}のパターンが配置された基体領域の表面との

50

間には、厚い酸化膜は存在せず、基体領域の表面には図2の断面図に例示したのと同様の素子分離領域12とチャネルストップ領域17が、(i, j)番目の画素等の他の画素の領域から連続した領域として配置されている。

【0062】

更に、(i-1, j+1)番目の画素の電荷読出領域15_{i-1,j+1}には、コンタクトホール31_{i-1,j+1}を介して右下方向に向かう表面配線32_{i-1,j+1}の一方の端部が接続され、表面配線32_{i-1,j+1}の他方の端部には、読出回路部29_{i-1,j+1}の増幅トランジスタQ A_{i-1,j+1}のゲート電極が接続されている。即ち、図7に示す回路構成では、電荷読出領域15_{i-1,j+1}は、リセットトランジスタのソース領域として機能しているので、電荷読出領域15_{i-1,j+1}に増幅トランジスタQ A_{i-1,j+1}のゲート電極とリセットトランジスタ T R_{i-1,j+1}のソース領域が接続されていることになる。増幅トランジスタQ A_{i-1,j+1}のソース領域には画素選択トランジスタT S_{i-1,j+1}のドレイン領域が接続され、増幅トランジスタQ A_{i-1,j+1}のドレイン領域には電源配線V_{DD}が接続されている。画素選択トランジスタT S_{i-1,j+1}のソース領域には垂直信号線B_{j+1}が接続され、画素選択トランジスタT S_{i-1,j+1}のゲート電極には、垂直シフトレジスタから(i-1)行目の選択信号S L(i-1)が入力される。電荷読出領域15_{i-1,j+1}に転送された電荷量に相当する電圧によって、増幅トランジスタQ A_{i-1,j+1}で増幅された出力が、画素選択トランジスタT S_{i-1,j+1}を介して垂直信号線B_{j+1}に出力される。

10

【0063】

図7において、読出回路部29_{i-1,j+1}を示す八角形の外径線は、増幅トランジスタQ A_{i-1,j+1}及び画素選択トランジスタT S_{i-1,j+1}を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部29_{i-1,j+1}の中の増幅トランジスタQ A_{i-1,j+1}の活性領域及び画素選択トランジスタT S_{i-1,j+1}の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極21_{i-1,j+1}のパターンが配置された基体領域の表面と読出回路部29_{i-1,j+1}のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図2の断面図に例示したのと同様の素子分離領域12とチャネルストップ領域17が(i-1, j)番目の画素や(i, j+1)番目の画素等の他の画素の領域から連続した領域として配置されている。

20

【0064】

図7に示した増幅トランジスタQ A_{i,j+1}, Q A_{i,j}及びQ A_{i-1,j+1}並びに画素選択トランジスタT S_{i,j+1}, T S_{i,j}及びT S_{i-1,j+1}も、耐放射線特性を持たせるため、図8に示したような型のゲート構造やリング型のゲート構にすることが可能である。

30

【0065】

特に、第1の実施形態に係る固体撮像装置においては、図3に示すようにそれぞれの画素の電荷生成埋込領域13がn型の場合は、それぞれの画素の透明電極21_{i,j}に負電圧を印加することにより、それぞれの画素のゲート絶縁膜23中にガンマ線の照射によって生成される正孔の作用が打ち消される。したがって、暗電流の増大は抑圧され、暗電流によるノイズが少なく、又信号動作マージンとしてのダイナミックレンジも維持された画像を得ることができる。即ち、既に図3を用いて説明したとおり、それぞれの画素の電荷生成埋込領域13がn型であれば、少数キャリアは正孔(ホール)であるので、透明電極21_{i,j}の直下のゲート絶縁膜23と半導体との界面、即ち、電荷生成埋込領域13の表面に多量の正孔(ホール)による反転層14が形成され、少数キャリアである正孔で表面電位がピンングされる。それぞれの画素において、正孔でピンングされることにより、ゲート絶縁膜23と半導体との界面の界面準位が不活性化される。

40

【0066】

なお、第1の実施形態に係る固体撮像装置において、それぞれの画素にガンマ線が照射された場合に、それぞれの画素の薄いゲート絶縁膜23中にも正孔が発生するが、膜厚が薄いためそれぞれの画素のゲート絶縁膜23中に生成される正孔の絶対量も僅かである。

【0067】

第1の実施形態に係る固体撮像装置においては、それぞれの画素の透明電極21_{i,j},

50

$2\ 1_{i,j+1}$ 、 $2\ 1_{i,j}$ 及び $2\ 1_{i,j+1}$ の直下の電荷生成埋込領域 $1\ 3$ で光電変換された電荷は、対応する画素のそれぞれの電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 、 $1\ 5_{i,j}$ 及び $1\ 5_{i,j+1}$ に一定期間蓄積される。画素からの信号読み出しは行単位で行われる。まず i 行について、垂直シフトレジスタから選択信号 $S\ L(i)$ によりこの行を選択して、電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等の信号レベルを読む。次いで垂直シフトレジスタによる電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等のリセット動作を行った後、電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等のリセットレベルを読む。その後、次の $(i-1)$ 行について、垂直シフトレジスタから選択信号 $S\ L(i-1)$ によりこの行を選択して、電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等の信号レベルを読み、次いでその行で垂直シフトレジスタによる電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等のリセット動作を行った後、電荷読出領域 $1\ 5_{i,j}$ 、 $1\ 5_{i,j+1}$ 等のリセットレベルを読む。画素から読み出された信号は、各列毎に周辺回路に設けられたカラム処理回路で、信号レベルとリセットレベルの差を読み取る相関2重サンプリング動作を施されることにより、オフセット等が除去された正味の信号のみが順次出力される。但し、信号レベルと、その直後に読み取るリセットレベルにはノイズ相関がない。したがって、相関2重サンプリング動作によってもリセットノイズは除去されない。

【0068】

(第2の実施形態)

- - 第2の実施形態に係る光検出素子 - -

図9及び図10に示すように、本発明の第2の実施形態に係る光検出素子は、第1導電型(p型)の半導体からなる基体領域 $1\ 1$ と、基体領域 $1\ 1$ の上面に接して設けられたゲート絶縁膜 $2\ 3$ と、ゲート絶縁膜 $2\ 3$ に接して基体領域 $1\ 1$ の上部に環状(図9の平面図においてリング状)に埋め込まれた第2導電型(n型)の電荷生成埋込領域 $1\ 3$ と、電荷生成埋込領域 $1\ 3$ の内径側の位置の基体領域 $1\ 1$ の上部に環状に埋め込まれた、電荷生成埋込領域 $1\ 3$ よりも高不純物密度の第2導電型の電荷読出領域 $1\ 5_{i,j}$ と、電荷読出領域 $1\ 5_{i,j}$ から離間し、電荷読出領域 $1\ 5_{i,j}$ の内径側に埋め込まれた、電荷生成埋込領域 $1\ 3$ よりも高不純物密度の第2導電型のリセットドレイン領域 $1\ 6_{i,j}$ と、電荷生成埋込領域 $1\ 3$ の上方となるゲート絶縁膜 $2\ 3$ 上に環状に設けられた透明電極 $2\ 1_{i,j}$ と、電荷読出領域 $1\ 5_{i,j}$ とリセットドレイン領域 $1\ 6_{i,j}$ との間の基体領域 $1\ 1$ の上方となるゲート絶縁膜 $2\ 3$ 上に設けられたリセットゲート電極 $2\ 2_{i,j}$ とを備える点では、第1の実施形態に係る光検出素子と同様である。

【0069】

しかしながら、図10に示すように、電荷生成埋込領域 $1\ 3$ と電荷読出領域 $1\ 5_{i,j}$ は、基体領域 $1\ 1$ を介して互いに離間している点が、第1の実施形態に係る光検出素子とは異なる。そして、電荷生成埋込領域 $1\ 3$ と電荷読出領域 $1\ 5_{i,j}$ との間の基体領域 $1\ 1$ の上方となるゲート絶縁膜 $2\ 3$ の上に転送ゲート電極 $2\ 5_{i,j}$ が更に配置されており、転送ゲート電極 $2\ 5_{i,j}$ に印加する電圧により、電荷生成埋込領域 $1\ 3$ から電荷読出領域 $1\ 5_{i,j}$ へ信号電荷が転送される。転送ゲート電極 $2\ 5_{i,j}$ と透明電極 $2\ 1_{i,j}$ の間は加工最小スペースに設計すればよい。

【0070】

図9の平面図では、環状のトポロジーの一例として、透明電極 $2\ 1_{i,j}$ 、転送ゲート電極 $2\ 5_{i,j}$ 及びリセットゲート電極 $2\ 2_{i,j}$ のそれぞれの外形側及び内径側の形状が共に八角形をなす連続帯の形状を示したが、図9のトポロジーに限定されるものではない。即ち、透明電極 $2\ 1_{i,j}$ 、転送ゲート電極 $2\ 5_{i,j}$ 及びリセットゲート電極 $2\ 2_{i,j}$ の形状は、例えば、円形や他の多角形の外形線及び内径線で囲まれるように概略一定の幅で連続した他の形状であってもよい。又、平面パターンが、帯の幅を概略一定にして周回する閉じた連続帯のトポロジーであれば、リセットドレイン領域 $1\ 6_{i,j}$ の中心に関して点対称である必要もない。

【0071】

図9に示すように、第2の実施形態に係る光検出素子は、外側に透明電極 $2\ 1_{i,j}$ が環

状に配置され、透明電極 2 1_μの 패턴の内側に転送ゲート電極 2 5_μが環状に配置され、転送ゲート電極 2 5_μの图案の内側に電荷読出領域 1 5_μが環状に配置されている。実際には熱工程に依存して、図 9 の平面図に破線で示すように、転送ゲート電極 2 5_μの内径線より外側の領域に電荷読出領域 1 5_μの外径線が位置する平面パターンとなるように、電荷読出領域 1 5_μを構成する第 2 導電型の不純物元素がマスクレベルで決まる图案の境界位置よりも横方向に熱拡散していてもよい。同様に、図 9 の平面図において、電荷読出領域 1 5_μの内側には、環状のリセットゲート電極 2 2_μが配置されているが、破線で示すように、リセットゲート電極 2 2_μの外径線より内側の領域に電荷読出領域 1 5_μの内径線が位置する平面パターンとなるように、電荷読出領域 1 5_μを構成する第 2 導電型の不純物元素がマスクレベルで決まる图案の境界位置よりも横方向に熱拡散していてもよい。対応する図 1 0 の断面図では、電荷読出領域 1 5_μの横方向端部が、転送ゲート電極 2 5_μの内側端部及びリセットゲート電極 2 2_μの外側端部とオーバーラップしていることが示されている。電荷読出領域 1 5_μの内側には、環状のリセットゲート電極 2 2_μを設けることで、ゲート形状が方形の一般のトランジスタでは避けられない、チャンネル側壁酸化膜境界での放射線照射によるオフ時のリーク電流も抑圧することが可能となる。

【 0 0 7 2 】

図 9 の平面図において、リセットゲート電極 2 2_μの内側にはリセットドレイン領域 1 6_μが配置されているが、破線で示すように、リセットゲート電極 2 2_μの内径線より外側の領域にまでリセットドレイン領域 1 6_μの外径線が位置する平面パターンとなるように、リセットドレイン領域 1 6_μを構成する第 2 導電型の不純物元素がマスクレベルで決まる图案の境界位置よりも横方向に熱拡散していてもよい。対応する図 1 0 の断面図では、リセットドレイン領域 1 6_μの横方向端部が、リセットゲート電極 2 2_μの内側端部とオーバーラップしていることが示されている。

【 0 0 7 3 】

図 1 0 に示すように、リセットゲート電極 2 2_μの直下となる基体領域 1 1 の上部には、第 1 導電型で、基体領域 1 1 よりも高不純物密度のウェル領域 1 2 が配置されている。平面图案の図示を省略しているが、ウェル領域 1 2 はリセットドレイン領域 1 6_μを囲むように八角形に配置され、ウェル領域 1 2 の外径線は、平面图案上、電荷読出領域 1 5_μの外径線と内径線の間で挟まれた八角形の形状をなしている。図 1 0 の断面図では、ウェル領域 1 2 はリセットドレイン領域 1 6_μの側面及び底面の全体を囲むように配置され、ウェル領域 1 2 の側面が電荷読出領域 1 5_μの底面に接していることが分かる。更に、図 1 0 に示すように、電荷生成埋込領域 1 3 とウェル領域 1 2 とは基体領域 1 1 を介して離間している。

【 0 0 7 4 】

後述するように、電荷生成埋込領域 1 3 から電荷読出領域 1 5_μへの電荷転送を完全にするため、図示しないが、転送ゲート電極 2 5_μと透明電極 2 1_μの間のスペース領域、および転送ゲート電極 2 5_μ領域の基体領域 1 1 の表面側に、それぞれ共通ないし個別の注入層を形成しても良い。

【 0 0 7 5 】

図 1 0 に示す第 2 の実施形態に係る光検出素子では、ウェル領域 1 2 を p 型の半導体領域で構成しているので、リセットゲート電極 2 2_μ、ゲート絶縁膜 2 3、ウェル領域 1 2、電荷読出領域 1 5_μ及びリセットドレイン領域 1 6_μとからなる n M O S トランジスタでリセットトランジスタを構成している。そして、リセットゲート電極 2 2_μに印加する電圧により、電荷読出領域 1 5_μに蓄積された電荷をリセットドレイン領域 1 6_μへ排出し、電荷読出領域 1 5_μに蓄積されている電荷をリセットする。

【 0 0 7 6 】

図 1 0 の断面図の両側の端部側に示されるように、透明電極 2 1_μの外側には第 1 導電型で、基体領域 1 1 よりも高不純物密度の素子分離領域 1 2 が電荷生成埋込領域 1 3 を囲むように配置されている。更に素子分離領域 1 2 の表面には第 1 導電型で、素子分

離領域 1 2。よりも高不純物密度のチャンネルストップ領域 1 7 が配置されている。図 9 の平面図に破線で示すように、熱工程に依存して、透明電極 2 1 画の外径線より内側の領域に素子分離領域 1 2。の内径線が位置する平面パターンとなるように、素子分離領域 1 2。を構成する第 1 導電型の不純物元素がマスクレベルで決まるパターンの境界位置よりも横方向に熱拡散していてもよい。

【 0 0 7 7 】

素子分離領域 1 2。の内径線が、透明電極 2 1 画の外径線より等間隔で内側に位置する平面パターンとなることで、素子分離領域 1 2。の内径線は閉じた幾何学形状をなしている。一方、チャンネルストップ領域 1 7 の内径線は、透明電極 2 1 画の平面パターンを囲んでおり、チャンネルストップ領域 1 7 の内径線も閉じた幾何学形状をなしている。透明電極 2 1 画の外側に素子分離領域 1 2。を配置することで、透明電極 2 1 画の直下に構成される電荷生成埋込領域 1 3 の周辺部での暗電流の発生を抑えることが可能となる。

【 0 0 7 8 】

平面パターンの図示を省略しているが、基体領域 1 1 の表面側に配置される電荷生成埋込領域 1 3 のトポロジーも閉じた幾何学形状である。即ち、電荷生成埋込領域 1 3 の外径線は、図 9 では素子分離領域 1 2。の内径線と共通となる八角形の形状をなす線であり、電荷生成埋込領域 1 3 の内径線は、図 9 の平面パターン上、透明電極 2 1 画の内径線と共通となる八角形の形状をなしている。このように、基体領域 1 1 の表面側に環状で八角形の電荷生成埋込領域 1 3 が形成され、この環状で八角形の電荷生成埋込領域 1 3 の上に薄いゲート絶縁膜 2 3 を介して、環状で八角形の透明電極 2 1 画が設けられている。

【 0 0 7 9 】

透明電極 2 1 画は、第 1 の実施形態に係る光検出素子と同様にドーパドポリシリコン膜等で形成すれば、透明電極 2 1 画と電荷読出領域 1 5 画との境界を自己整合的に定めることが可能であるので製造プロセス上便利であるが、ITO 等の酸化物薄膜（透明導電性酸化物）を用いてもよい。

【 0 0 8 0 】

リセットゲート電極 2 2 画についても、第 1 の実施形態に係る光検出素子と同様にドーパドポリシリコンを用いれば、リセットゲート電極 2 2 画と電荷読出領域 1 5 画との境界、及びリセットゲート電極 2 2 画とリセットドレイン領域 1 6 画との境界を自己整合的に定めることが可能であるので好適である。

【 0 0 8 1 】

第 2 の実施形態に係る光検出素子においては、透明電極 2 1 画に負電圧を印加し、図 3 に示したのと同様に、透明電極 2 1 画がゲート絶縁膜 2 3 を介して電荷生成埋込領域 1 3 の表面に及ぼす表面ポテンシャルを、電荷生成埋込領域 1 3 の表面に電荷生成埋込領域 1 3 の少数キャリアとなる電荷でピンングする。即ち、電荷生成埋込領域 1 3 が n 型であれば、透明電極 2 1 画の直下の電荷読出領域 1 5 画の表面に多量の正孔（ホール）による反転層 1 4 が形成され、正孔でピンングされることにより、ゲート絶縁膜 2 3 と半導体との界面の界面準位が不活性化される。そして、第 2 の実施形態に係る光検出素子に対し、ガンマ線が照射された場合は、薄いゲート絶縁膜 2 3 中にも正孔が発生するが、膜厚が薄いためゲート絶縁膜 2 3 中に生成される正孔の絶対量は僅かである。

【 0 0 8 2 】

図 1 1 は、図 1 0 の断面図に示した横方向の位置に対応して、外側の素子分離領域 1 2。から、電荷生成埋込領域 1 3、基体領域 1 1、電荷読出領域 1 5 画、リセットゲート電極 2 2 画、を経て中央のリセットドレイン領域 1 6 画に至る中心対称のプロファイルとなるポテンシャル分布の例を示した図である。図 1 1 の中央の井戸の底において符号 R D で示したレベル、即ち図 1 1 において左上がりの破線からなる斜線のハッチングで示した上端のレベルが、リセットドレイン領域 1 6 画の電圧であるリセット電圧 V R D となる。

【 0 0 8 3 】

第 2 の実施形態に係る光検出素子においては、図 1 1 に示すように透明電極 2 1 画の直

下のチャンネルの空乏化電位は電荷読出領域 1 5₁₁の電位より浅く設定されており、透明電極 2 1₁₁で光電変換された信号電荷は、転送ゲート電極 2 5₁₁がオンすると電荷読出領域 1 5₁₁に転送される。即ち、透明電極 2 1₁₁の直下の電荷生成埋込領域 1 3で発生した信号電荷（電子）は、図 1 1の中心方向に向かう矢印で示すように、基体領域 1 1の表面に形成されるチャンネルの表面ポテンシャルを転送ゲート電極 2 5₁₁に印加する電圧で制御することにより、電荷生成埋込領域 1 3から内側の電荷読出領域 1 5₁₁に転送される。図 1 1において、転送ゲート電極 2 5₁₁によって、基体領域 1 1の表面のチャンネルを介して転送され、電荷読出領域 1 5₁₁に蓄積された電荷は、右上がりの実線からなる斜線のハッチングで示されている。図 1 1に示すようなポテンシャル分布のプロファイルを実現することにより、第 2の実施形態に係る光検出素子の電荷読出領域 1 5₁₁の容量を小さくでき、信号電荷による変換ゲインを高めることができる。したがって、第 2の実施形態に係る光検出素子の電圧感度を高めることが可能となる。

【 0 0 8 4 】

なお、転送ゲート電極 2 5₁₁下のチャンネルポテンシャルを適切に設定しないと、電荷生成埋込領域 1 3から電荷読出領域 1 5₁₁への転送路中にポテンシャルのディップないしバリヤが形成され、不完全転送になる可能性がある。それを避けるため、前述のように、転送ゲート電極 2 5₁₁と透明電極 2 1₁₁の間のスペース領域、および転送ゲート電極 2 5₁₁領域の基体領域 1 1の表面側に、それぞれ共通ないし個別の注入層が形成されていても良い。

【 0 0 8 5 】

第 2の実施形態に係る光検出素子の構成の場合、まず透明電極 2 1₁₁の直下の電荷生成埋込領域 1 3で光電変換された電荷を電荷生成埋込領域 1 3に一定期間蓄積する。次いで、電荷読出領域 1 5₁₁をリセットしてそのリセット電位を読む。その直後、転送ゲート電極 2 5₁₁をオンすることにより、電荷生成埋込領域 1 3に蓄積された電荷を電荷読出領域 1 5₁₁に転送し、電荷読出領域 1 5₁₁の信号レベルを読み取る。第 2の実施形態に係る光検出素子の動作では、リセットレベルと、その直後に読み取る信号レベルにはノイズ相関がある。そのため、後述するように、カラム回路等でリセットレベルと信号レベルの差を読み取る相関 2 重サンプリング動作を行えば、オフセットだけでなくリセットノイズも除去された、低ノイズの正味の信号を得ることができる。

【 0 0 8 6 】

- - 第 2の実施形態に係る固体撮像装置 - -

図 9 及び図 1 0 に示した構造の光検出素子を単位画素とし、多数の単位画素をマトリクス状に 2 次元配列すれば、本発明の第 2の実施形態に係る固体撮像装置（2 次元イメージセンサ）のピクセルアレイ領域を実現できる。説明の便宜上、ピクセルアレイ領域を構成している多数の単位画素のマトリクス状配列のうち、図 1 2 では、第 1の実施形態に係る固体撮像装置と同様に、4 つの単位画素を 2 × 2 のマトリクス状に 2 次元配列した平面構造によって、第 2の実施形態に係る固体撮像装置のピクセルアレイ領域を模式的に説明する。即ち、図 1 2 に示す第 2の実施形態に係る固体撮像装置は、左上の（*i* , *j*）番目の画素、右上の（*i* , *j* + 1）番目の画素、左下の（*i* - 1 , *j*）番目の画素及び右下の（*i* - 1 , *j* + 1）番目の画素によって、ピクセルアレイ領域のうちの 2 × 2 のマトリクス構造を構成している場合の平面パターンの一例を示したものである。

【 0 0 8 7 】

図 1 2 の左上に示す第 2の実施形態に係る固体撮像装置を構成する（*i* , *j*）番目の画素の断面構造は、図 1 0 に示した光検出素子を単位画素とするものであるから、図 1 0 に示した光検出素子の断面構造と同様である。よって、図 1 2 の平面図には図 1 0 に示した基体領域 1 1、ゲート絶縁膜 2 3 及び電荷生成埋込領域 1 3 等が表現されていないが、（*i* , *j*）番目の画素の断面構造は、基本的に図 1 0 に示した断面構造と全く同様である。

【 0 0 8 8 】

即ち、図 1 2 の左上に示す第 2の実施形態に係る固体撮像装置を構成する（*i* , *j*）番目の画素は、第 1 導電型の半導体からなる基体領域（図示省略）と、基体領域の上面に接

して設けられたゲート絶縁膜（図示省略）と、ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第2導電型の電荷生成埋込領域（図示省略）と、電荷生成埋込領域の内径側の位置の基体領域の上部に環状に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域15_{1j}と、電荷読出領域15_{1j}から離間し、電荷読出領域15_{1j}の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域16_{1j}と、電荷生成埋込領域13の上方となるゲート絶縁膜上に環状に設けられた透明電極21_{1j}と、電荷読出領域15_{1j}とリセットドレイン領域16_{1j}との間の基体領域の上方となるゲート絶縁膜上に設けられたリセットゲート電極22_{1j}とを備える。図12では図示を省略しているが、図10に示した断面構造と同様に、電荷生成埋込領域と電荷読出領域15_{1j}は、基体領域11を介して互いに離間しており、電荷生成埋込領域13と電荷読出領域15_{1j}との間の基体領域11の上方となるゲート絶縁膜23の上に転送ゲート電極25_{1j}が配置されている。転送ゲート電極25_{1j}に印加する電圧により、電荷生成埋込領域13から電荷読出領域15_{1j}へ信号電荷が転送される。リセットゲート電極22_{1j}の直下となる基体領域の上部には、第1導電型で、基体領域よりも高不純物密度のウェル領域12_{1j}が配置されている。図10に示した断面構造と同様に、透明電極21_{1j}の外側には第1導電型で、基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域13を囲むように配置されている。更に素子分離領域の表面には第1導電型で、素子分離領域よりも高不純物密度のチャンネルストップ領域17が配置されている。

【0089】

同様に、図12の右上に示すように、2次元マトリクス中の $(i, j + 1)$ 番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に環状に埋め込まれた第2導電型電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域15_{1,j+1}と、電荷読出領域15_{1,j+1}から離間し電荷読出領域15_{1,j+1}の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域16_{1,j+1}と、電荷生成埋込領域13の上方となるゲート絶縁膜上に環状に設けられた透明電極21_{1,j+1}と、電荷読出領域15_{1,j+1}とリセットドレイン領域16_{1,j+1}との間の上方に設けられたリセットゲート電極22_{1,j+1}とを備える。図10の構造と同様に、電荷生成埋込領域と電荷読出領域15_{1,j+1}は、基体領域11を介して互いに離間しており、電荷生成埋込領域13と電荷読出領域15_{1,j+1}との間の基体領域11の上方となるゲート絶縁膜23の上に転送ゲート電極25_{1,j+1}が配置されている。転送ゲート電極25_{1,j+1}に印加する電圧により、電荷生成埋込領域13から電荷読出領域15_{1,j+1}へ信号電荷が転送される。リセットゲート電極22_{1,j+1}の下方には、第1導電型で基体領域よりも高不純物密度のウェル領域12_{1,j+1}が配置され、更に、透明電極21_{1,j+1}の外側には第1導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域13を囲むように (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第1導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域17が、 (i, j) 番目の画素等の他の画素の領域から連続した領域として配置されている。

【0090】

又、図12の左下に示すように、2次元マトリクス中の $(i - 1, j)$ 番目の画素は、第1導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に埋め込まれた第2導電型電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第2導電型の電荷読出領域15_{1,j}と、電荷読出領域15_{1,j}の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域16_{1,j}と、電荷生成埋込領域13の上方に設けられた透明電極21_{1,j}と、電荷読出領域15_{1,j}とリセットドレイン領域16_{1,j}との間の上方に設けられたリセットゲート電極22_{1,j}とを備える。図10の構造と同様に、電荷生成埋込領域と電荷読出領域15_{1,j}は、基体領域11を介して互

いに離間しており、電荷生成埋込領域 1 3 と電荷読出領域 1 5_{i,j}との間の基体領域 1 1 の上方となるゲート絶縁膜 2 3 の上に転送ゲート電極 2 5_{i,j}が配置されている。転送ゲート電極 2 5_{i,j}に印加する電圧により、電荷生成埋込領域 1 3 から電荷読出領域 1 5_{i,j}へ信号電荷が転送される。リセットゲート電極 2 2_{i,j}の下方には、第 1 導電型で基体領域よりも高不純物密度のウェル領域 1 2_{i,j}が配置され、更に、透明電極 2 1_{i,j}の外側には第 1 導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域 1 3 を囲むように (i , j) 番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第 1 導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域 1 7 が (i , j) 番目の画素等の他の画素の領域から連続した領域として配置されている。

10

【 0 0 9 1 】

更に、図 1 2 の右下に示すように、2 次元マトリクス中の (i - 1 , j + 1) 番目の画素は、第 1 導電型の基体領域と、基体領域の上面に接して設けられたゲート絶縁膜と、ゲート絶縁膜に接して基体領域の上部に埋め込まれた第 2 導電型電荷生成埋込領域と、電荷生成埋込領域の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度の第 2 導電型の電荷読出領域 1 5_{i-1,j+1}と、電荷読出領域 1 5_{i-1,j+1}の内径側に埋め込まれた、電荷生成埋込領域よりも高不純物密度のリセットドレイン領域 1 6_{i-1,j+1}と、電荷生成埋込領域 1 3 の上方に設けられた透明電極 2 1_{i-1,j+1}と、電荷読出領域 1 5_{i-1,j+1}とリセットドレイン領域 1 6_{i-1,j+1}との間の上方に設けられたリセットゲート電極 2 2_{i-1,j+1}とを備える。図 1 0 の構造と同様に、電荷生成埋込領域と電荷読出領域 1 5_{i-1,j+1}は、基体領域 1 1 を介して互いに離間しており、電荷生成埋込領域 1 3 と電荷読出領域 1 5_{i-1,j+1}との間の基体領域 1 1 の上方となるゲート絶縁膜 2 3 の上に転送ゲート電極 2 5_{i-1,j+1}が配置されている。転送ゲート電極 2 5_{i-1,j+1}に印加する電圧により、電荷生成埋込領域 1 3 から電荷読出領域 1 5_{i-1,j+1}へ信号電荷が転送される。リセットゲート電極 2 2_{i-1,j+1}の下方には、第 1 導電型で基体領域よりも高不純物密度のウェル領域 1 2_{i-1,j+1}が配置され、更に、透明電極 2 1_{i-1,j+1}の外側には第 1 導電型で基体領域よりも高不純物密度の素子分離領域が電荷生成埋込領域 1 3 を囲むように、(i - 1 , j) 番目の画素及び (i , j + 1) 番目の画素等の他の画素の領域から連続した領域として配置されている。そして、素子分離領域の表面には第 1 導電型で素子分離領域よりも高不純物密度のチャンネルストップ領域 1 7 が (i - 1 , j) 番目の画素及び (i , j + 1) 番目の画素等の他の画素の領域から連続した領域として配置されている。

20

30

【 0 0 9 2 】

図 1 2 に示すように、2 次元マトリクス中の (i , j) 番目の画素の電荷読出領域 1 5_{i,j}には、コンタクトホール 3 1_{i,j}を介して右下方向に向かう表面配線 3 2_{i,j}の一方の端部が接続され、表面配線 3 2_{i,j}の他方の端部には、読出回路部 2 9_{i,j}の増幅トランジスタ Q A_{i,j}のゲート電極が接続されている。

【 0 0 9 3 】

即ち、図 1 2 に示す回路構成では、電荷読出領域 1 5_{i,j}は、リセットトランジスタのソース領域として機能しているので、電荷読出領域 1 5_{i,j}に増幅トランジスタ Q A_{i,j}のゲート電極とリセットトランジスタ T R_{i,j}のソース領域が接続されることになる。

40

【 0 0 9 4 】

なお、図 1 2 に示した表面配線 3 2_{i,j}は、模式的な等価回路上の例示的表示であって、現実には図 1 2 に示すような右下方向に向かう配線である必要はない。増幅トランジスタ Q A_{i,j}のソース領域には画素選択トランジスタ (スイッチングトランジスタ) T S_{i,j}のドレイン領域が接続され、増幅トランジスタ Q A_{i,j}のドレイン領域には電源配線 V_{DD}が接続されている。画素選択トランジスタ T S_{i,j}のソース領域には、j 番目の列に沿って配列された垂直信号線 B_jが接続され、画素選択トランジスタ T S_{i,j}のゲート電極には、i 行目の選択信号 S L (i) が入力される。電荷読出領域 1 5_{i,j}に転送された電荷量に相当する電圧によって、増幅トランジスタ Q A_{i,j}で増幅された出力が、画素選択トランジスタ T S_{i,j}を介して垂直信号線 B_jに出力される。

50

【 0 0 9 5 】

図 1 2 において、読出回路部 2 9_{i,j}を示す八角形の外径線は、増幅トランジスタ Q A_{i,j}及び画素選択トランジスタ T S_{i,j}を形成するためのフィールド絶縁膜領域の外側境界を示す。読出回路部 2 9_{i,j}の中の増幅トランジスタ Q A_{i,j}の活性領域及び画素選択トランジスタ T S_{i,j}の活性領域との間にはフィールド絶縁膜に相当する厚い酸化膜が形成される。透明電極 2 1_{i,j}のパターンが配置された基体領域の表面と読出回路部 2 9_{i,j}のパターンが配置された基体領域の表面との間には、厚い酸化膜は存在せず、基体領域の表面には図 1 0 の断面図に例示したのと同様の素子分離領域 1 2、とチャンネルストップ領域 1 7 が 2 次元マトリクス中の他の画素の領域から連続した領域として配置されている。

【 0 0 9 6 】

図 1 2 に示した増幅トランジスタ Q A_{i,j}及び画素選択トランジスタ T S_{i,j}は、耐放射線特性を持たせるため、リング型や図 8 に示すような型のゲート構造にすることも可能であることは、第 1 の実施形態に係る固体撮像装置と同様である。(i , j + 1) 番目の画素の電荷読出領域 1 5_{i,j+1}、(i - 1 , j) 番目の画素の電荷読出領域 1 5_{i-1,j}及び(i - 1 , j + 1) 番目の画素の電荷読出領域 1 5_{i-1,j+1}等の構造等、他は、第 1 の実施の形態に係る固体撮像装置と実質的に同様であるので、重複した説明を省略する。

【 0 0 9 7 】

第 2 の実施形態に係る固体撮像装置においては、既に図 3 を用いて説明したように、それぞれの画素の電荷生成埋込領域 1 3 が n 型の場合は、それぞれの画素の透明電極 2 1_{i,j}に負電圧を印加することにより、それぞれの画素のゲート絶縁膜 2 3 中にガンマ線の照射によって生成される正孔の作用が打ち消される。したがって、第 2 の実施形態に係る固体撮像装置において、暗電流の増大は抑圧され、暗電流によるノイズが少なく、又信号動作マージンとしてのダイナミックレンジも維持された画像を得ることができることも、第 1 の実施形態に係る固体撮像装置と同様である。

【 0 0 9 8 】

第 2 の実施形態に係る固体撮像装置は、第 1 の実施形態に係る固体撮像装置とは動作が異なる。まず、それぞれの画素の透明電極 2 1_{i,j}、2 1_{i,j+1}、2 1_{i-1,j}及び 2 1_{i-1,j+1}の直下の電荷生成埋込領域 1 3 で光電変換された電荷は、それぞれ対応する電荷生成埋込領域 1 3 に一定期間蓄積される。画素からの信号読み出しは行単位で行われる。まず i 行について、垂直シフトレジスタから選択信号 S L (i) によりこの行を選択し、更に垂直シフトレジスタにより電荷読出領域 1 5_{i,j}、1 5_{i,j+1}等のリセット動作を行った後、リセットレベルを読む。次いで垂直シフトレジスタにより転送ゲート電極 2 5_{i,j}、2 5_{i,j+1}等をオンすることにより、それぞれ対応する電荷生成埋込領域 1 3 に蓄積された電荷を電荷読出領域 1 5_{i,j}、1 5_{i,j+1}等に転送し、電荷読出領域 1 5_{i,j}、1 5_{i,j+1}等の信号レベルを読み取る。

【 0 0 9 9 】

その後、次の(i - 1 行)について、垂直シフトレジスタから選択信号 S L (i - 1) によりこの行を選択し、更に垂直シフトレジスタにより電荷読出領域 1 5_{i-1,j}及び 1 5_{i-1,j+1}等のリセット動作を行った後、リセットレベルを読む。次いで垂直シフトレジスタによりそれぞれ対応する転送ゲート電極 2 5_{i-1,j}及び 2 5_{i-1,j+1}等をオンすることにより、それぞれの電荷生成埋込領域 1 3 に蓄積された電荷を、それぞれ対応する電荷読出領域 1 5_{i-1,j}及び 1 5_{i-1,j+1}等に転送し、電荷読出領域 1 5_{i-1,j}、1 5_{i-1,j+1}等の信号レベルを読み取る。

【 0 1 0 0 】

画素から読み出された信号は、各列毎に周辺回路に設けられたカラム処理回路で、リセットレベルと信号レベルの差を読み取る相関 2 重サンプリング動作が施されることにより、オフセット等が除去された正味の信号のみが順次出力される。更に、第 2 の実施形態に係る固体撮像装置の場合には、リセットレベルと、その直後に読み取られる信号レベルにはノイズ相関がある。したがって、相関 2 重サンプリング動作により、オフセットだけでなくリセットノイズも除去された、低ノイズで高感度の正味の信号を得ることができる。

【 0 1 0 1 】

(その他の実施の形態)

上記のように、本発明は第 1 及び第 2 の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【 0 1 0 2 】

例えば、既に述べた第 1 及び第 2 の実施の形態の説明においては、2 次元固体撮像装置 (エリアセンサ) について例示的に説明したが、本発明の固体撮像装置は 2 次元固体撮像装置のみに用いられるように限定して解釈すべきではない。例えば、図 1 に示した 2 次元マトリクス中の 1 行分のみの配列を用いて 1 次元固体撮像装置 (ラインセンサ) としてよいことは、上記の開示の内容から容易に理解できるはずである。

10

【 0 1 0 3 】

即ち、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【符号の説明】

【 0 1 0 4 】

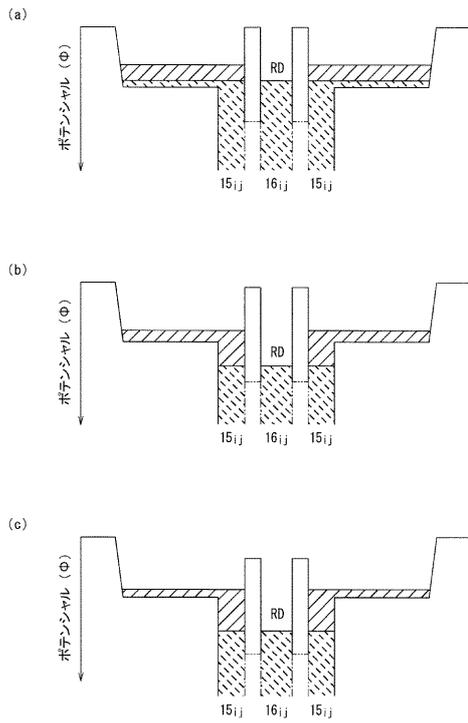
- 1 1 基体領域
- 1 2_i ウェル領域
- 1 2。素子分離領域
- 1 3 電荷生成埋込領域
- 1 4 反転層
- 1 5_{i,j}, 1 5_{i,j+1}, 1 5_{i+1,j}, 1 5_{i+1,j+1} 電荷読出領域
- 1 6_{i,j}, 1 6_{i,j+1}, 1 6_{i+1,j}, 1 6_{i+1,j+1} リセットドレイン領域
- 1 7 チャンネルストップ領域
- 2 1_{i,j}, 2 1_{i,j+1}, 2 1_{i+1,j}, 2 1_{i+1,j+1} 透明電極
- 2 2_{i,j}, 2 2_{i,j+1}, 2 2_{i+1,j}, 2 2_{i+1,j+1} リセットゲート電極
- 2 3 ゲート絶縁膜
- 2 5_{i,j}, 2 5_{i,j+1}, 2 5_{i+1,j}, 2 5_{i+1,j+1} 転送ゲート電極
- 2 9_{i,j}, 2 9_{i,j+1}, 2 9_{i+1,j}, 2 9_{i+1,j+1} 読出回路部
- 3 1_{i,j}, 3 1_{i,j+1}, 3 1_{i+1,j}, 3 1_{i+1,j+1} コンタクトホール
- 3 2_{i,j}, 3 2_{i,j+1}, 3 2_{i+1,j}, 3 2_{i+1,j+1} 表面配線
- 3 3_{i,j}, 3 3_{i,j+1}, 3 3_{i+1,j}, 3 3_{i+1,j+1} コンタクトホール
- 5 1 ドレイン領域
- 5 2 ソース/ドレイン共通領域
- 5 3 b, 5 3 d リーク阻止領域
- 5 4 ソース領域
- 6 1, 6 4 表面配線
- 6 2, 6 3 ゲート電極
- B_j, B_{j+1} 垂直信号線
- Q A_{i,j}, Q A_{i,j+1}, Q A_{i+1,j}, Q A_{i+1,j+1} 増幅トランジスタ
- T R_{i,j}, T R_{i,j+1}, T R_{i+1,j}, T R_{i+1,j+1} リセットトランジスタ
- T S_{i,j}, T S_{i,j+1}, T S_{i+1,j}, T S_{i+1,j+1} 画素選択トランジスタ

20

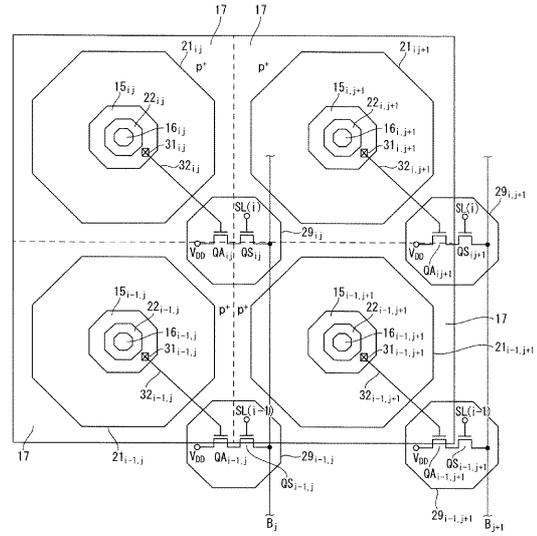
30

40

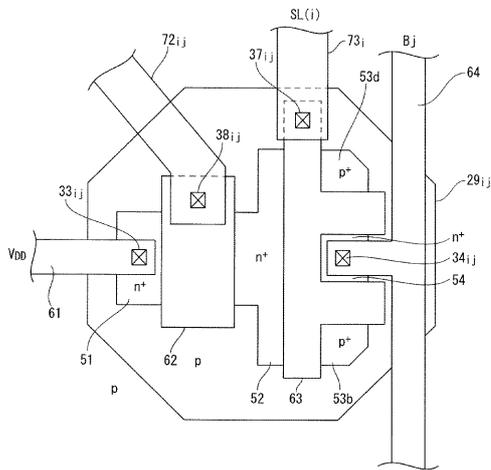
【図6】



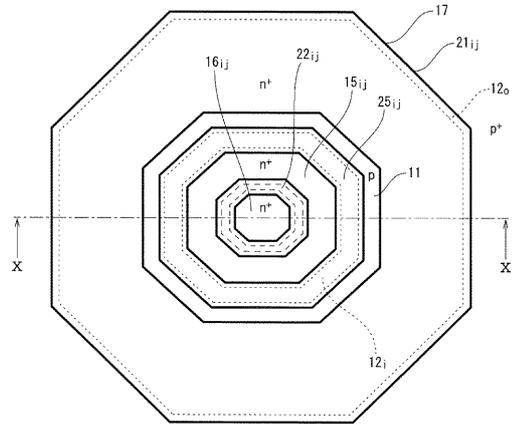
【図7】



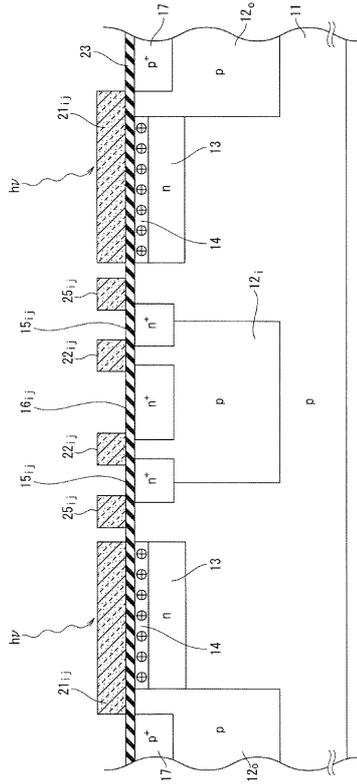
【図8】



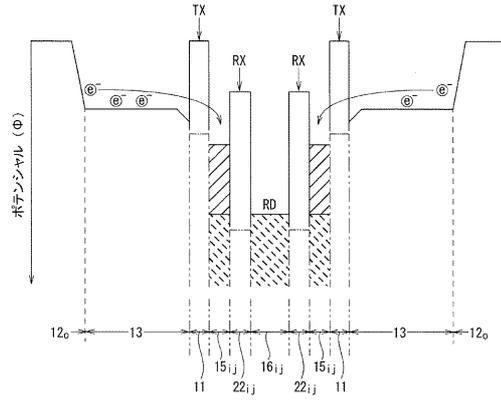
【図9】



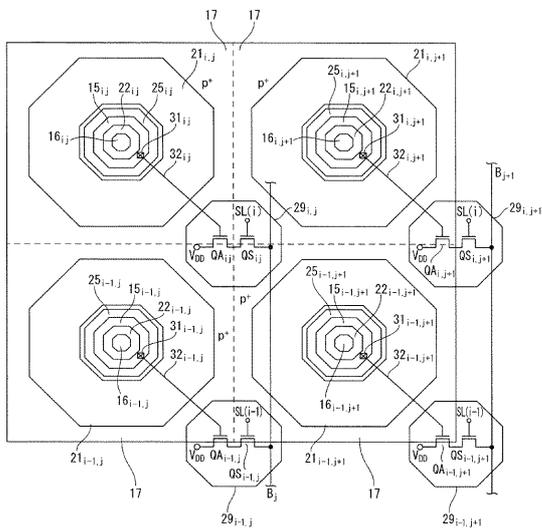
【図10】



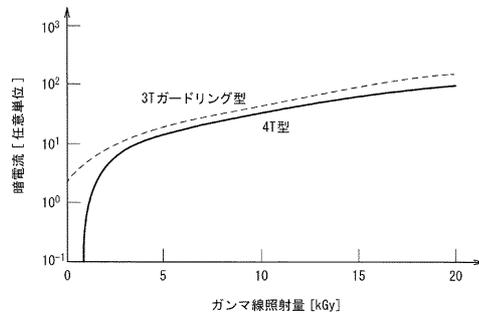
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 上柳 智裕

東京都大田区池上5丁目6番16号 池上通信機株式会社内

(72)発明者 土谷 邦彦

茨城県東茨城郡大洗町成田町4002番地 国立研究開発法人日本原子力研究開発機構 大洗研究
開発センター内

(72)発明者 武内 伴照

茨城県東茨城郡大洗町成田町4002番地 国立研究開発法人日本原子力研究開発機構 大洗研究
開発センター内

審査官 石丸 昌平

(56)参考文献 国際公開第2010/018677(WO, A1)

特開昭60-065565(JP, A)

特開2004-312039(JP, A)

米国特許出願公開第2011/0024808(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H01L 31/02

H04N 5/361

H04N 5/374