

耐放射線性マイクロコンピュータの開発 (システム設計)

(動力炉・核燃料開発事業団 契約業務報告書)

1998年3月

三菱重工業株式会社

複製又はこの資料の入手については、下記にお問い合わせ下さい。

〒319-11 茨城県那珂郡東海村大字村松 4-33

動力炉・核燃料開発事業団

東海事業所 技術開発推進部・技術管理室

Enquires about copyright and reproduction should be addressed to: Technology Management Section, Tokai Works, Power Reactor and Nuclear Fuel Development Corporation, 4-33 O-aza-Muramatsu, Tokai-mura, Naka, Ibaraki-ken, 319-11, Japan

動力炉・核燃料開発事業団 (Power Reactor and Nuclear Fuel Development Corporation)

1998年3月

耐放射線性マイクロコンピュータの開発 (システム設計)

黒田能克* 仲嶋淳*

要　　旨

FBR燃料再処理施設などの将来施設における自動化には、高放射線環境下で使用できる耐放射線性マイクロコンピュータを中心とした耐放射線性電子機器の開発が必須である。この開発により信号ケーブルの本数削減、自律制御による作業効率の向上、長寿命化による保守費の削減が可能となる。

ここでは、耐放射線性マイクロコンピュータによる施設の自動化に向けたシステムの構築を行うためのシステム検証を目的とした「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行った。

この設計にあたっては、先に実施した耐放射線性マイクロコンピュータのプレッド・ボード設計・試作の成果を踏まえ、ハイブリッドIC技術を適用した耐放射線性マイクロコンピュータを採用した。この耐放射線性マイクロコンピュータは、集積線量が 10^7 RADを越えた状態にあっても機能するものとし、 10^8 RAD(集積線量)を目標としたものを組み込んだ設計を行った。

本報告書は、三菱重工業株式会社が動力炉・核燃料開発事業団との契約により実施した業務の成果である。

契約番号：0904142

事業団担当部課室：東海事業所 再処理技術開発部 機器材料開発室

*：名古屋誘導推進システム製作所 誘導・電子機器部 電子設計二課

March, 1998

The Development of Radiation Hardened Microcomputer System —System Design—

Yoshikatsu Kuroda*, and Atsushi Nakajima*

A b s t r a c t

In order to automate electronic equipments in the future facilities ; for example, FBR fuel reprocessing facility, it is essential that radiation hardened (Rad-hard) electronic equipments, which mainly consist of Rad-hard microcomputer with operation capability in high dose rate irradiations, are developed. The development of them will enable to reduce a number of signal cables, promote the efficiency of work by autonomic control, and cut down the costs of conservation by longer term reliability of the systems.

In this development, we designed the equipment of γ -ray spectrum analysis with Rad-hard microcomputer to verify the system realizing automatic system in the facilities.

In designing this system, we applied Rad-hard microcomputer with hybrid IC technology, based on the results of its BBM design and trial manufacture implemented before. This microcomputer was designed to be able to perform in high levels of total dose, more than 10^7 rad and up to 10^8 rad as a goal.

This work was performed by Mitsubishi Heavy Industries, LTD. under contract with Power Reactor and Nuclear Fuel Development Corporation.

Contract No. : O 9 C 4 1 4 2

PNC Liaison : Components and Materials Development Section, Engineering Technology Development Division, Tokai Works.

* : No.2 Electronics Designing Section, Missile & Electronics Department, Nagoya Guidance & Propulsion System Works.

目 次

1. まえがき	1
2. 実施計画	2
2.1 目的	2
2.2 実施計画内容	2
2.3 期間	2
2.4 実施体制	2
2.5 実施工程	2
3. 設計条件	5
3.1 システム概念	5
3.2 基本機能	7
3.2.1 検出器系	7
3.2.2 耐放性マイコン	8
3.2.3 スペクトルデータモニタ系	9
3.3 インターフェース	10
3.3.1 電気的インターフェース	10
3.3.2 機械的インターフェース	10
3.4 環境	11
3.4.1 セル内	11
3.4.2 セル外	11
4. システム設計	12
4.1 システム仕様	12
4.1.1 システム構成	12
4.2 システム構成ユニット	14
4.2.1 検出器系	14
4.2.2 耐放性マイコン	30
4.2.3 スペクトルデータモニタ系	39
5. 成果	42
6. まとめ	44
7. 今後の開発計画	45
8. あとがき	48
9. 謝辞	49
10. 参考文献	50

図目次

図 1 耐放性マイコン内蔵型 γ 線スペクトル測定装置	6
図 2 本システムのブロック図	13
図 3 γ 線検出器系構成図	22
図 4 Ge 検出器の構造 (Dewar 使用時)	23
図 5 プリアンプの原理図	24
図 6 メインアンプ外形図	25
図 7 検出器用高圧電源外形図	26
図 8 LN ₂ 用 Dewar 外観及び容量	27
図 9 機械式冷却装置外観 (遮へい体を除く)	28
図 10 Ge 検出器コリメータ寸法計算	29
図 11 耐放性マイコン外形図	34
図 12 耐放性マイコンのブロック図	35
図 13 測定フローチャート	36
図 14 ピーク検出方法	37
図 15 マルチチャンネルアナライザ (波高分析機能)	38
図 16 スペクトルデータモニタ系 (画像処理ユニット、制御盤、C R T、外部記憶装置)	40
図 17 スペクトルデータモニタ系 (X-Yプロッタ)	41
図 18 システム構築例	43
図 19 試作構成	47

表目次

表1 実施体制	3
表2 実施工程	4
表3 検出器比較表	16
表4 Ge 検出器仕様	17
表5 Pre Amplifier 仕様	18
表6 メインアンプ仕様	19
表7 高圧電源仕様	20
表8 冷却方式検討	21
表9 主要部品リスト	33
表10 今後の開発スケジュール（案）	46

1. まえがき

FBR燃料再処理施設などの将来施設においては、安全性、信頼性、経済性、環境保全性及び核不拡散への一層の配慮が求められている。こうした背景から再処理施設等の安全性、信頼性等を考慮した自動化技術開発は不可避となっている。これら施設の自動化にあたっては、各種情報の的確な処理能力、及び多種多様の情報をリアルタイムで処理する技術が必要であり、高放射線環境下で使用できる耐放射線性マイクロコンピュータ（以下「耐放性マイコン」という）を中心とした耐放射線性電子機器の開発が必須となる。この開発により、信号ケーブルの本数削減、自律制御による作業効率の向上、長寿命化による保守費の削減が可能となる。

耐放性マイコンには、耐放射線能力はもとより、小型化、高信頼性、汎用性、低コスト化が要求されるが、現在、市販されているIC単体では、上記施設における高放射線環境下で機能するマイクロコンピュータは実現できない（APPENDIX1参照）。しかし、小型化、高信頼性、及び耐環境性を実現するハイブリッドIC技術（APPENDIX2参照）、及び耐放射線能力を持つSOI（Silicon On Insulator）半導体素子技術（APPENDIX3参照）を適用した耐放性マイコンを用いることにより、耐放射線性電子機器の開発が可能となる。

既に、開発を行ってきた、「耐放性マイコンの開発（要素試作Ⅰ）」、「耐放性マイコンの開発（要素試作Ⅱ）」において、各種機器に共通的に使用が予測される汎用の耐放性マイコンの回路仕様の検討、及び回路検証のためのプレッドボードの設計・試作を実施し、その機能を検証してきた。

本年度は、これらの成果を踏まえ、耐放性マイコンを適用した「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行うものとする。これにより、施設の自動化に向けたシステム構築のためのシステム検証を目的とした設計を行うことが可能となる。

この設計に使用する耐放性マイコンには、集積線量が 10^7 RADを越えた状態にあっても機能し、 10^8 RADを目標として開発されたものを組み込むこととする。

2. 実施計画

2.1 目的

本件は、「耐放性マイコンの開発」の一環として、耐放性マイコンによる施設の自動化に向けたシステムの構築を行うためのシステム検証を目的とした「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行った。

2.2 実施計画内容

平成7年度及び平成8年度で開発を行ってきた、「耐放性マイコンの開発（要素試作Ⅰ）」、「耐放性マイコンの開発（要素試作Ⅱ）」において、各種機器に共通的に使用が予測される汎用の耐放性マイコンの回路仕様の検討、及び回路検証のためのブレッドボードの設計・製作を実施し、その機能を検証してきた。

本年度は、これらの成果を踏まえ、耐放性マイコンを適用した「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行うものとする。これにより、施設の自動化に向けたシステム構築のためのシステム検証を目的とした設計を行うことが可能となる。

この設計に使用する耐放性マイコンには、集積線量が 10^7 RADを越えた状態にあっても機能し、 10^8 RADを目標として開発されたものを組み込むこととする。

2.3 期間

自： 平成 9年12月 5日
至： 平成10年 3月13日

2.4 実施体制

実施体制を表1に示す。

2.5 実施工程

実施工程を表2に示す。

表1 実施体制

動力炉・核燃料開発事業団 東海事業所

再処理技術開発部 機器材料開発室

三菱重工業株式会社

営業担当：機器事業本部 交通・電子機器部 エレクトロニクス課

課長 河村 陽 TEL 03(3212)9616

FAX 03(3212)9767

技術担当：名古屋誘導推進システム製作所

誘導・電子機器部 電子設計二課

主任 黒田 能克 TEL 0568(79)2447

FAX 0568(79)0640

技術本部 エレクトロニクス技術部

エレクトロニクス技術開発センター

表2 耐放性マイコンの開発 システム設計 実施工程表

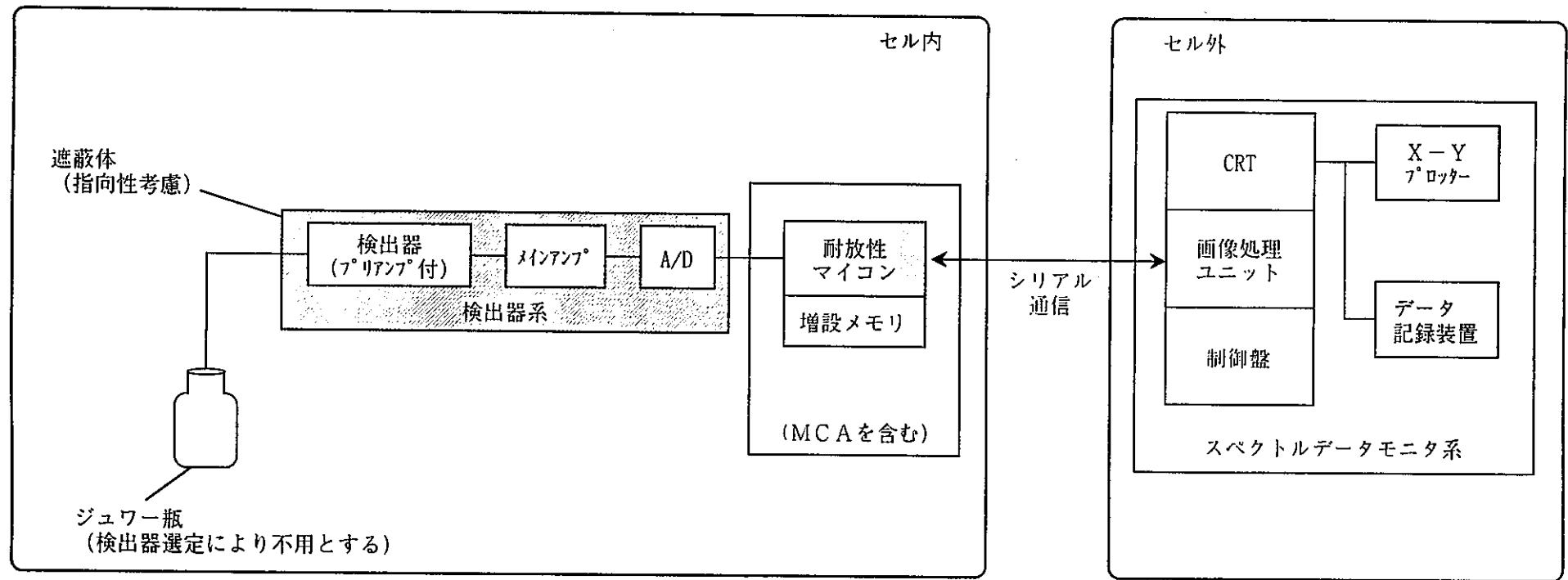
No.	項目	平成9年12月	平成10年1月	平成10年2月	平成10年3月
1	実施計画立案				
2	システム構成要素検討				
3	詳細ブロック図作成				
4	システム成立性細部検討				
5	報告書作成				
6	報告会実施				
7	納品				

3. 設計条件

3.1 システム概念

「耐放性マイコン内蔵型 γ 線スペクトル測定装置」の概念は図 1 によること。
この装置は、以下に示すシステム構成ユニットから構成される。

- (1) γ 線検出し、電気信号に変換する検出器系
- (2) 電気信号を波高分析する耐放性マイコン
- (3) 波高分析されたスペクトルデータを表示、記録するスペクトルデータモニタ系



A/D : アナログ信号／デジタル信号変換器
 MCA : マルチチャンネルアナライザー

図1 耐放性マイコン内蔵型 γ 線スペクトル測定装置

3.2 基本機能

3.2.1 検出器系

セル内に設置するシステム構成ユニットのうち、検出器系は、以下に示す基本機能を有すること。

(1) γ 線検出機能

以下の γ 線を検出し、電気信号に変換する機能を有すること。

- (a) エネルギーレンジ：約 50keV～約 10MeV
- (b) エネルギー分解能：約 2keV (@1.33MeV(Co-60))

(2) 信号処理機能

検出された電気信号を增幅、補正し、8 ビットデジタルデータに変換する機能を有すること。

3.2.2 耐放性マイコン

セル内に設置するシステム構成ユニットのうち、耐放性マイコンは以下に示す機能を有すること。

(1) 波高分析機能

波高の大小の分類・選別を行い、集計する機能を有すること。

(2) メモリ機能

(a) 32Kバイトのプログラム用メモリ容量を有すること。

(b) 32Kバイトの一時データ保管用のメモリ容量を有すること。

(3) シリアルインターフェース機能

(a) シリアル入出力を2チャネル以上有すること。

(b) RS-422A規格のデータ通信方式に対応可能のこと。

(4) パラレルインターフェース機能

(a) 40ビット以上のデジタル入出力が可能のこと。

(b) 入出力の設定はプログラムにより設定可能のこと。

(5) データ、プログラムのバックアップ機能

電源供給が停止しても、一定時間は、本装置内に記憶されているデータやプログラムが保持されること。

(6) フェイル・セーフ機能

(a) CPUの暴走を復帰させる機能を有すること。

(b) 瞬時的な電源電圧の低下に対し、本装置が異常動作しない機能を有すること。

(c) 本装置内の異常を外部信号出力できる機能を有すること。

3.2.3 スペクトルデータモニタ系

セル外に設置するシステム構成ユニットのうち、スペクトルデータモニタ系は、以下に示す基本機能を有すること。

(1) セル内制御機能

- (a) 作業者の操作により、セル内のシステム構成ユニットを制御する機能を有すること。
- (b) セル内のシステム構成ユニットに必要な電源を供給する機能を有すること。

(2) 画像処理機能

- (a) セル内のシステム構成ユニットからのデータを収集し、表示する機能を有すること。
- (b) セル内のシステム構成ユニットから、ユニットの状態を受け取り、表示する機能を有すること。

(3) データ記録機能

収集したデータを記録する機能を有すること。

記録媒体は、紙、及び磁気ディスクとする。

3.3 インターフェース

3.3.1 電気的インターフェース

セル内とセル外の信号線貫通口は、厳しく制限されているため、極力省線化をはかること。

3.3.2 機械的インターフェース

本システムでは、セル内に設置するものの内、検出器（プリアンプ付）を除くシステム構成ユニットについては、貫通口の大きさ、設置スペース範囲、及びハンドリング性からそれぞれ直径、約100mm以下、重量約5kg以下の条件を満足すること。

3.4 環境

3.4.1 セル内

セル内に配置されるマイクロコンピュータは、以下の環境要求を満足するものとする。

(1) 温度

-20～+100°C

(2) 湿度

95%RH (結露無きこと)

(3) 放射線 (γ 線)

1×10^7 rad 以上 (集積線量)

(4) 硝酸雰囲気

100 ppm 以下

3.4.2 セル外

一般室内環境とする。

4. システム設計

4.1 システム仕様

4.1.1 システム構成

本システムのブロック図を図2に示す。本システムは、以下に示す各構成ユニットから構成され、4.2項に詳細を示す。

(1) γ 線検出し、電気信号に変換する検出器系

(2) 電気信号を波高分析する耐放性マイコン

(3) 波高分析されたスペクトルデータを表示、記録するスペクトルデータモニタ系

本システムはセル内の高放射線環境下で使用可能な耐放性マイコンを用いることにより、セル内でのデータ処理が可能となり、従来のシステムに比べ省線化、作業性・作業効率が著しく向上するシステム構築を図るものである。

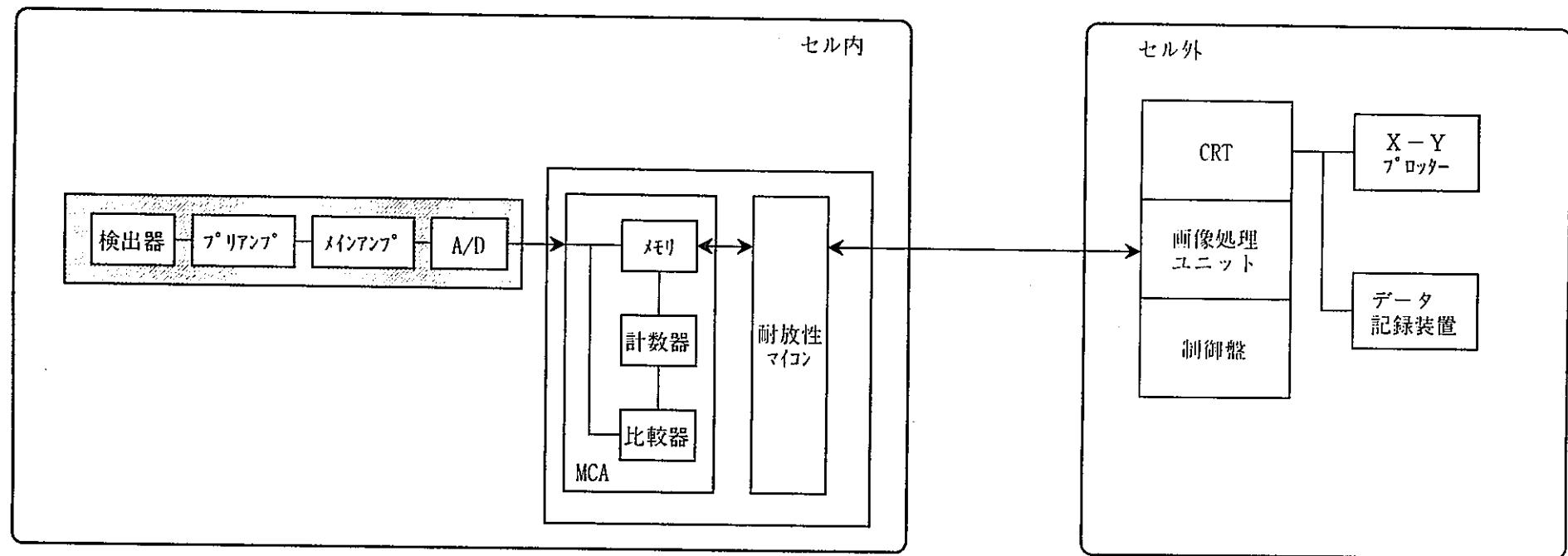


図2 本システムのブロック図

4.2 システム構成ユニット

以下に本システムの各構成ユニットの仕様を示す。

4.2.1 検出器系

図3に γ 線検出器系の構成図を示す。検出器系は、大きく4ブロックに分かれており、検出器、プリアンプ、メインアンプ、A/D変換器より構成されている。また、 γ 線検出器を構成する各部の仕様検討結果を以下に示す。ここで、試作時検出器の仕様を、測定対象の線種、エネルギーレンジ、分解能及び設置場所等により選定するものとする。ただし、検出器の仕様変更に伴う入力特性の違いを補うよう、メインアンプの選定を行うことにより、検出器の仕様に依存せず耐放性マイコンの評価が可能とする。

(1) 検出器

γ 線検出用として使用される各種検出器の比較を表3に示す。

表3より、Ge, Si, CdZnTe, NaI等各種 γ 線検出器があるが、本システムのエネルギーレンジ(約50keV～10MeV)、及び分解能(約2keV)に適用可能な検出器としてGe(半導体)検出器を選定した。Ge検出器の中でも、測定エネルギーレンジの異なる各種の検出器がある。高エネルギーレンジまで測定可能で、汎用性の高いGe検出器の仕様を一例として表4に示す。また、検出部の構造を図4に示す。

尚、このGe検出器をもとに、(2)項プリアンプ以降の仕様を検討することとする。

(2) プリアンプ

プリアンプ(前置増幅器)は、検出器からの電流パルスを電流または電荷に比例した電圧パルスに変換するためのものである。図5にプリアンプの原理図を示す。

又、Ge検出器用プリアンプの仕様を表5に示す。

(3) メインアンプ

メインアンプは、プリアンプの微弱な出力電圧を数Vに増幅するもので、波形整形回路、極性切換回路なども組み込まれている。

表6にメインアンプの仕様、図6に外形図を示す。

(4) 検出器用高圧電源

Ge検出器で使用する高圧電源の仕様を表7に、外形図を図7に示す。

(5) 冷却設備

Ge 検出器で使用される Ge は、常温では伝導電子が多く、電気抵抗が低いため、検出器として働かない。このため、Ge 検出素子を液体窒素温度 (-196°C) に冷却し、電気抵抗を大きくする必要がある。この冷却方式には液体窒素による冷却と、機械式の冷却方式があり、これらの冷却方式による比較を表 8 に示し、使用場所及び用途に応じて選定することとする。尚、液体窒素による冷却器の外形図例を図 8 に、機械式の冷却器の外形図例を図 9 に示す。

(6) コリメータ(遮へい体)

コリメータは、検出部の前面方向から飛んでくる γ 線に対しての検出を行うよう指向性を考慮し、それ以外の方向からの γ 線の影響を減らす機能を持つ。

また、プリアンプ、メインアンプ等の耐放射線性を持たない電子機器の γ 線からの遮へいの役目も同時に果たしている。

一例として、図 10 の条件のもとで検出部のコリメータ厚さを検討した結果を示す。

(7) A/D 変換器

A/D 変換器は、メインアンプからのアナログ電圧信号を、デジタル信号に変換する機能を持つ。以下の条件をもとに A/D 変換器の仕様例を設定する。

(a) メインアンプからの電圧パルス

パルス幅 : $5 \mu \text{ sec}$

Full Scale : $0 \sim 10\text{V}$

(b) サンプリングレート

20MHz (50ns)

(c) 分解能

256 チャンネル

A/D 変換器 (型番: HS-9008RH) のデータシートを APPENDIX 4 に示す。

表3 検出器比較表

検出器の種類 項目	半導体検出器			シンチレーション検出器
	Ge	Si	CdZnTe	NaI
エネルギーレンジ (検出器タイプにより異なる)	40keV～10MeV	0.3keV～50keV	～200keV	50keV～数MeV
エネルギー分解能	1.5keV～1.8keV (@662keV(¹³⁷ Cs))	0.15keV～0.17keV (@5.9keV)	3keV～6keV (@59.5keV)	50keV～60keV (@662keV(¹³⁷ Cs))
相対効率	10～100%	—	—	100%
冷却装置要否	要	要	不要	不要
形状	φ 76mm×236mm	φ 76mm×236mm	3×3×2mm ～15×15×5mm (素子サイズ)	φ 57×210mm
備考	低～高エネルギー測定用として使用	低エネルギー測定用として使用	低～中エネルギー測定用として使用	エネルギー分解能は低いが、検出効率が必要とされる測定に使用

表4 Ge 検出器仕様

No.	項目	仕様（一例）
1	製造メーカー	PRINCETON GAMMA TECH (PGT)
2	型番	IGC 20180 (p-type HP-Ge)
3	相対効率	20%
4	分解能	1.8keV @1.33MeV FWHM (Full Width at Half Maximum)
5	ピーカー／コンプトン比	52
6	冷却方法	機械式
7	エネルギーレンジ	約 40keV～10MeV

表5 プリアンプ仕様

No.	項目	仕様（一例）
1	型番	RG-11B1C (PGT社)
2	エネルギーレンジ (MAX)	70 GeV/sec
3	電荷感度	100 mV/MeV
4	入力オーブンループゲイン	>20,000
5	入力パルス極性	+/-
6	出力インピーダンス	93 Ω
7	ケーブル長 (MAX)	30 m
8	積分直線性	<0.05 %
9	減衰時定数	100 μ sec
10	エネルギー率	50,000 MeV/sec
11	絶縁耐圧	>5,000 VDC
12	電源	±12, ±24

表6 メインアンプ仕様

No.	項目	仕様(一例)
1	型式	2024型 高速Ge検出器用 アンプ
2	メーカ	米国キャンベラ
3	ゲイン	×3 ~ ×3900
4	整形時間	0.25 ~ 8.0 μsec
5	ノイズ	4.0 μV以下
6	DCドリフト	±10 μV/°C

表7 高圧電源仕様

No.	項目	仕様（一例）
1	型式	3106D型 0~6 kV高圧電源
2	メーカ	米国キャンベラ
3	出力	0~±6000 Vdc, 300 μA
4	ノイズ&リップル	3 mV _{P-P} 以下
5	その他	・過負荷、短絡保護回路付 ・高圧遮断入力付

表8 冷却方式検討

冷却方式	冷却部形状	補助冷却装置	電源	メンテナス	遮へい	備考
LN ₂ 冷却	LN ₂ 容積 1.5 liter／16 hrs 5.6 liter／72 hrs 7.5 liter／100 hrs	要 (別途 大容量 LN ₂ タンク 及び配管必要)	不要	LN ₂ 要補充	不要 (検出部は要)	図8に一例を示す。
機械式冷却 (コンプレッサ)	451×365×308 mm (遮へい体を除く)	不要 (閉ループシステム)	要	不要	要	図9に一例を示す。

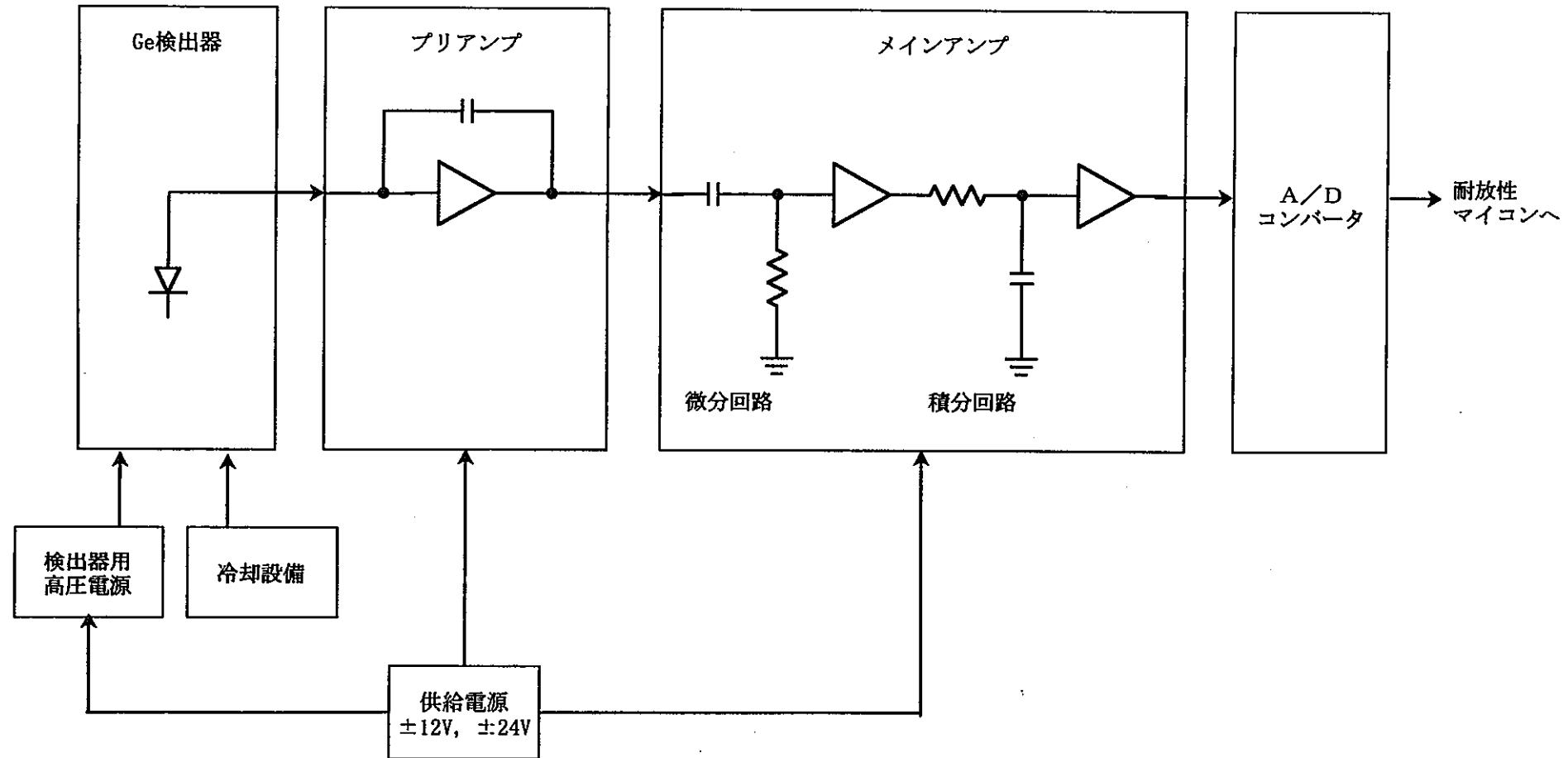


図3 γ 線検出器系構成図

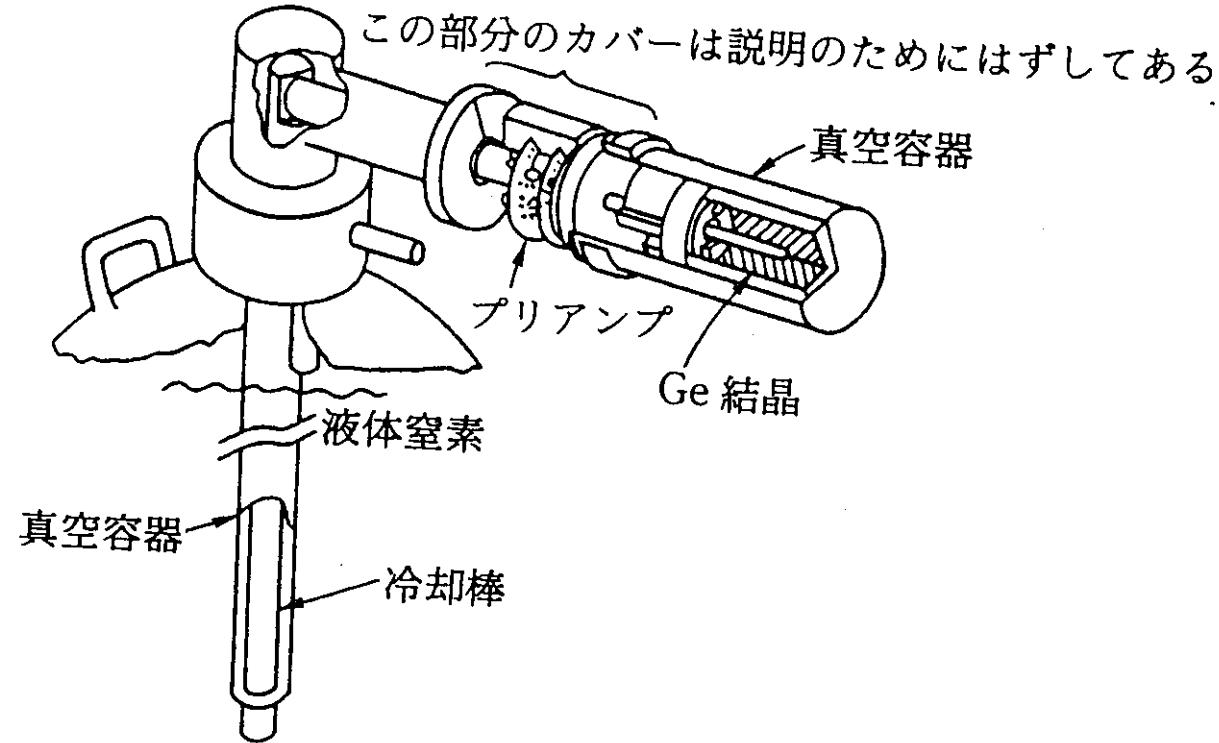
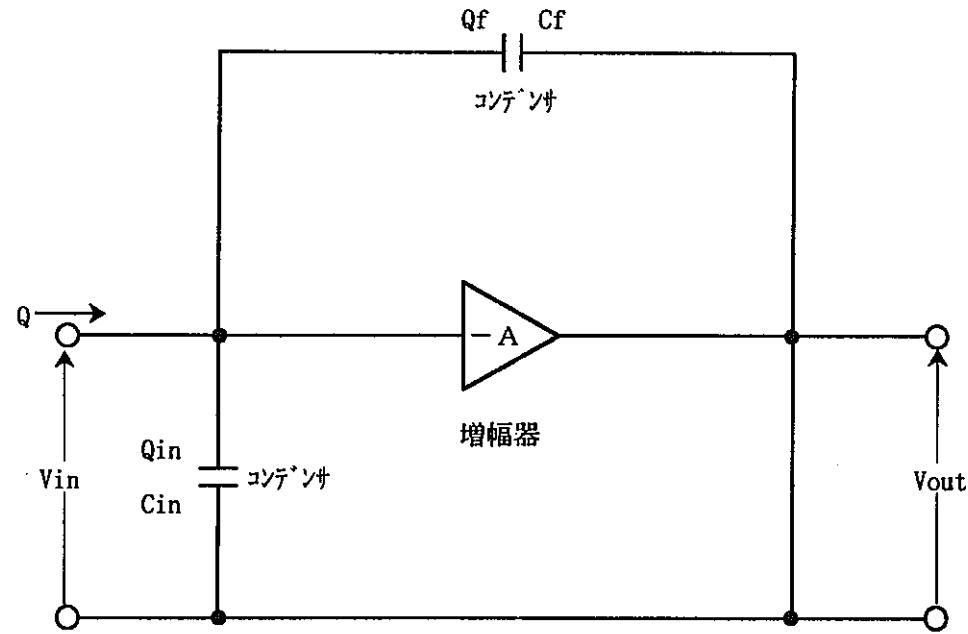


図4 Ge 検出器の構造 (Dewar 使用時)



Q : 検出器で発生した電荷
 $-A$: 増幅器の開放利得
 V_{in} : 入力電圧
 V_{out} : 出力電圧
 C_{in}, C_f : コンデンサ容量
 Q_{in}, Q_f : コンデンサの電荷

$$\begin{aligned}
 V_{out} &= -A \cdot V_{in} \\
 &= \frac{-A \cdot Q}{C_{in} + C_f \cdot (1 + A)} \\
 &\approx -\frac{Q}{C_f}
 \end{aligned}$$

図5 プリアンプの原理図

Model 2024 Spectroscopy Amplifier

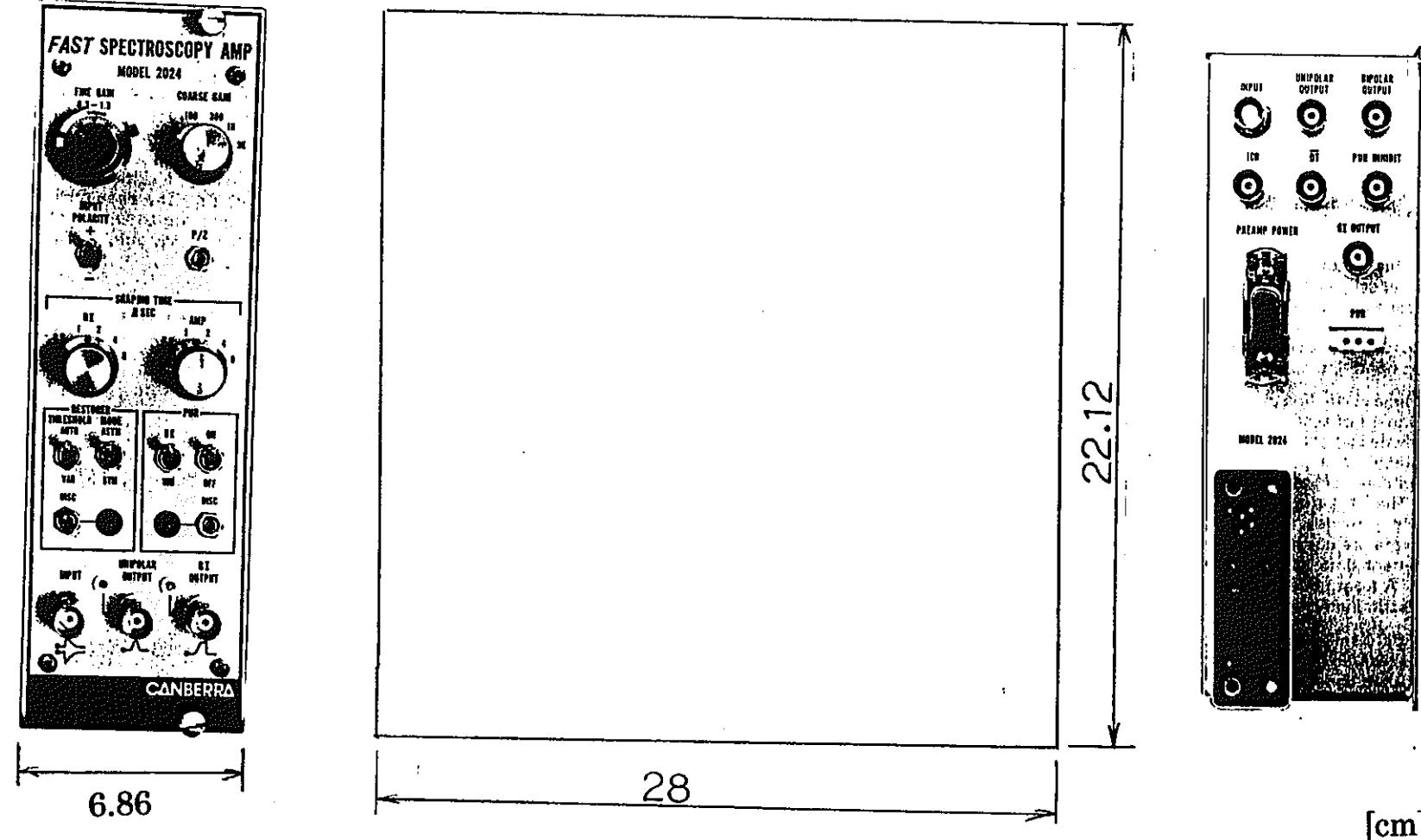


図6 メインアンプ外形図

Model 3106D 0-6 kV H.V. Power Supply

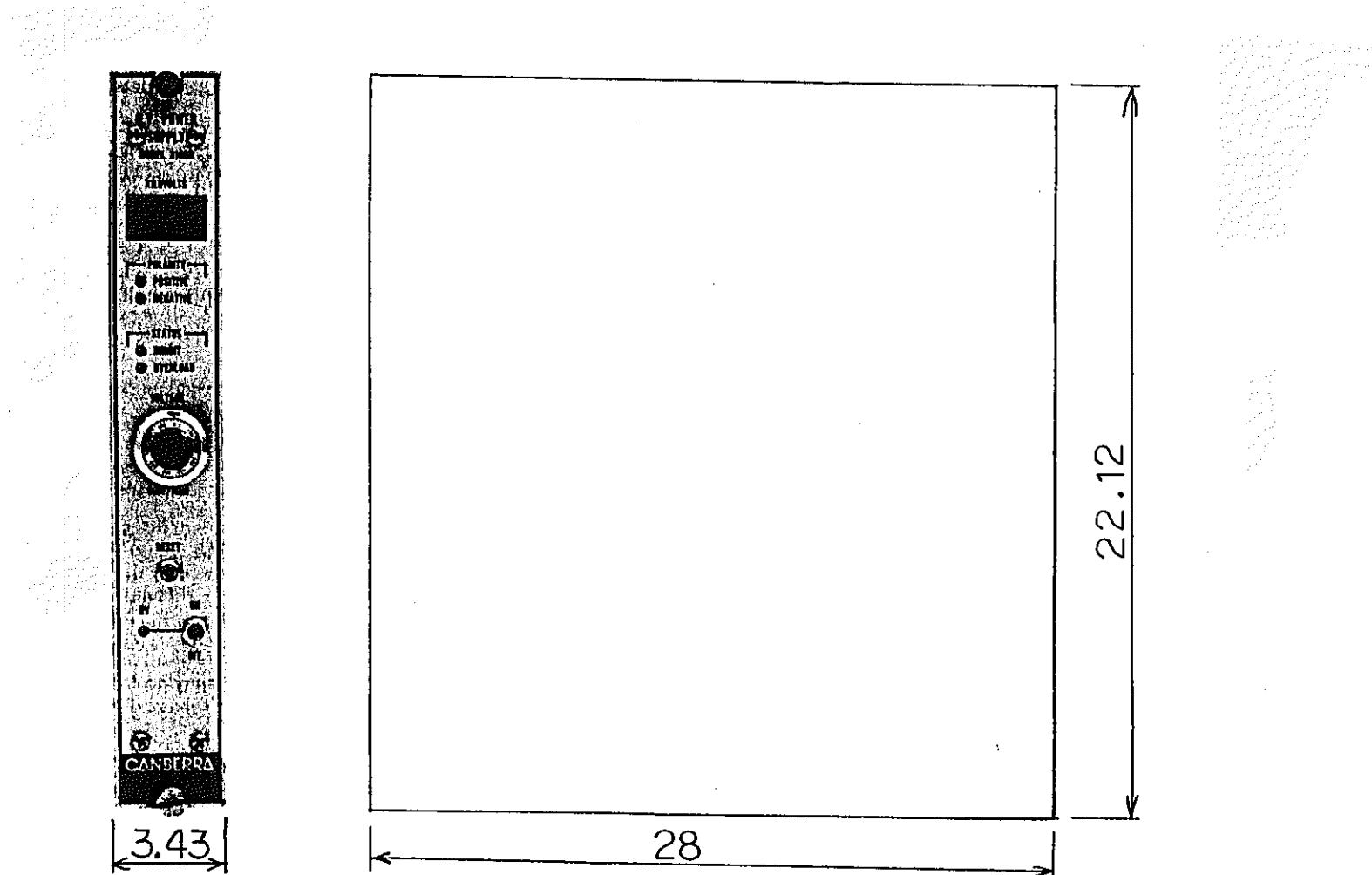


図7 検出器用高圧電源外形図

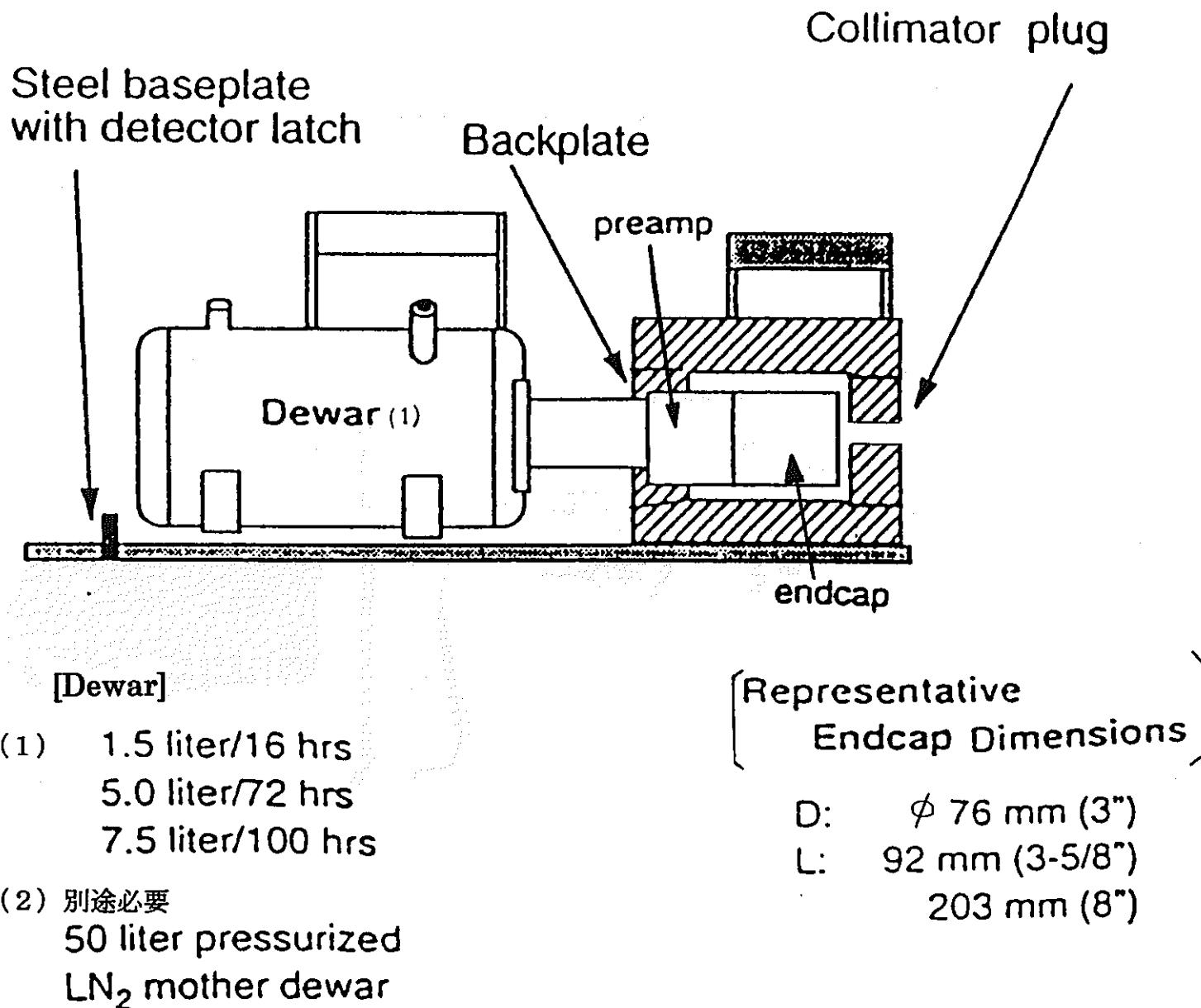


図8 LN₂用 Dewar 外観及び容量

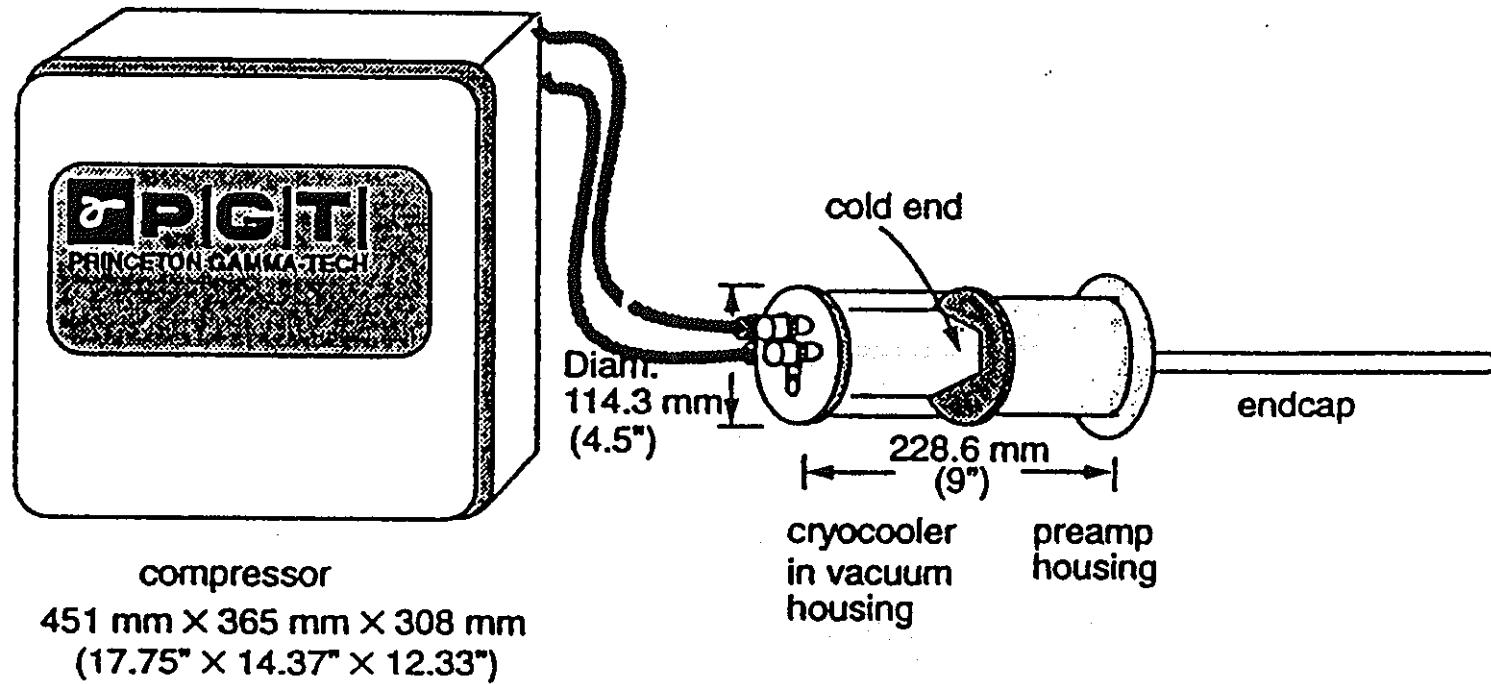
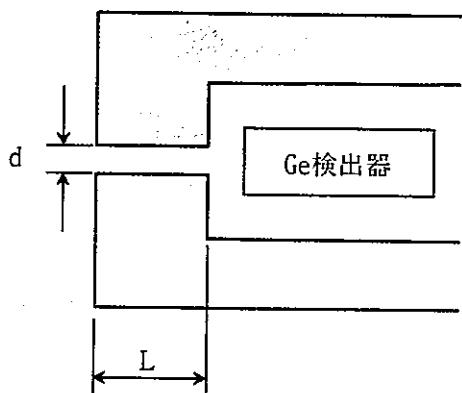
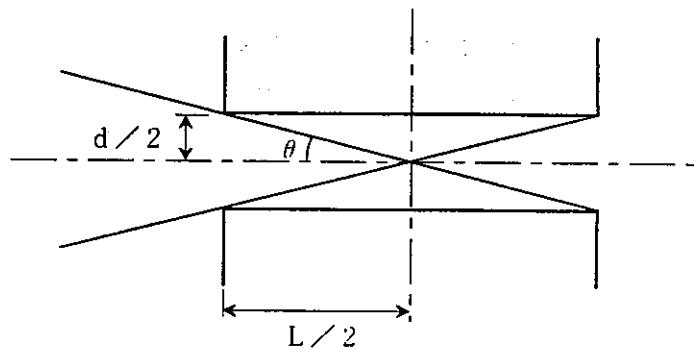


図9 機械式冷却装置外観（遮へい体を除く）



(a) 外形図



(b) 拡大図

下記条件のもとで、上記(a)の寸法d, Lを求める。

(前提条件)

- ・Ge検出器の照射窓を $\phi 50\text{mm}$ とする。
- ・コリメータ部への γ 線入射は頂角 2° の円錐とする($2\theta = 2^\circ$)。
- ・散乱成分は考慮しない。

(計算結果)

開口直径 $d = 2.5\text{mm}$ (Ge検出器照射窓の $1/20$) と設定すれば、 $\theta = 1^\circ$ より、

$$\begin{aligned} \tan \theta &= (d/2) / (L/2) \\ &= d/L \\ \therefore L &= d / \tan \theta \\ &= 2.5 / \tan (1^\circ) \\ &\approx 150 \end{aligned}$$

よって、

$$L = 150\text{mm}$$

$$d = 2.5\text{mm}$$

とする。

図10 Ge検出器コリメータ寸法計算

4.2.2 耐放性マイコン

耐放性マイコンの主要部品リストを表9に、外形図を図11に、ブロック図を図12に、また、 γ 線スペクトル測定フローチャートを図13に示す。

ここで、図12は、マルチチャンネルアナライザ（MCA）と耐放性マイコンから構成されており、概要を（1），（2）項に示す。

また、図13の測定フローを説明すると、まず、セル外の画像処理ユニットを起動し、測定用アプリケーションソフトをセル内に設置した耐放性マイコンにダウンロードし、 γ 線スペクトル測定に必要なソフトウェアを立ち上げる。次に、セル外の制御盤より、測定時間などの γ 線スペクトル測定条件の入力を行う。そして、マルチチャンネルアナライザのメモリのデータをリセットした後、測定スタートの信号をセル外から耐放性マイコンに送り、設定した時間測定を行う。

測定後、セル外にて測定終了を確認した後、 γ 線スペクトルデータである各メモリの計数値をセル内の耐放性マイコンから読み出し、セル外の画像処理ユニットにデータを転送する。

最後に、 γ 線スペクトルの表示等を行い、測定データをファイルにセーブし、データ処理などを行う。

(1) マルチチャンネルアナライザ

マルチチャンネルアナライザは、ピーク検出回路、ヒストグラム作成回路、及び制御回路により構成されており、各回路の概要を以下に示す。

(a) ピーク検出回路

スペクトラムのピーク位置を検出する。

ピーク検出回路は、レジスタと比較器より構成される。

レジスタ：A/D変換された先回のデータを記憶している。

比較器：レジスタに記憶されている先回のデータとA/D変換器から出力される今回のデータを比較して極性の変換点（ピーク位置）を検出する（図14参照）。

(b) ヒストグラム作成回路

A/D変換されたパルスの電圧レベルを分類し、発生数対パルス波高を表すヒストグラムを作成する。

この回路は、メモリと計数器より構成される。

メモリ：各チャンネルのパルス発生数を格納する。

計数器：メモリよりチャンネルに対応するアドレスのデータを読み出して1を足した後、メモリに書き戻す。

入力電圧を0~10V、A/D変換器の分解能を256チャンネルにした場合の例を図15に示す。ここで、図15について説明する。図15(a)においてピーク高さから、電圧値（ピーク波高値）及び、電圧値に対応したチャンネル番号がわかる。ある時間内で、同じチャンネル内（電圧範囲内）のピーク数をカウント(+1)していく値が、右端の入力パルス個数（カウント数）である。図15(b)は、図15(a)のチャンネルをメモリのアドレスとして横軸に、また、図15(a)の入力パルス個数をパルスピークカウント数として縦軸にとり、表したものである。ここで、各チャンネルはγ線のエネルギーの大きさを示すため、このヒストグラムがγ線スペクトルデータとなる。

(c) 制御回路

本回路は、ASIC-ICからの測定スタートを受けて、上記(a), (b)のレジスタ、比較器、メモリ、計数器の制御を行う。

ピーク検出回路において、ピーク位置が検出されると本制御回路へ信号が出され、それをトリガとしてヒストグラム作成回路が動作し、各チャンネルのパルス発生数をカウントしていく。

(2) 耐放性マイコン

耐放性マイコンでは、マルチチャンネルアナライザの制御、スペクトルデータモニタ系への通信、及びフェイルセーフ機能の3つの役割を担っている。以下に、その概要を示すとともに、耐放性マイコンの設計書をAPPENDIX 5に示す。APPENDIX 5は、耐放性マイコンの回路設計、仕様、及びプログラム設計仕様を各機能ごとにまとめたものである。

(a) マルチチャンネルアナライザの制御

(1) 項のピーク検出回路、ヒストグラム作成回路及び制御回路は耐放性マイコンによって制御されており、以下の制御を行っている。

- ・セル外からの測定スタート信号を受け、マルチチャンネルアナライザの制御回路へγ線スペクトル測定のスタート信号を送る。
- ・測定開始時、マルチチャンネルアナライザ内のメモリをクリアする。（全チャンネルクリア）
- ・測定終了時に、ヒストグラム作成回路のメモリ内のデータを耐放性マイコンへ読み込む。

(b) スペクトルデータモニタ系への通信伝送

画像処理ユニットと耐放性マイコン間はRS-422A規格のシリアル回線で接続されており、省線化及び長距離伝送を可能としている。

このシリアル回線により、画像処理ユニットから耐放性マイコンへのγ線スペクトル測定プログラムのダウンロード、及び耐放性マイコンから画像処理ユニットへのγ線スペクトル測定データの伝送を行う。

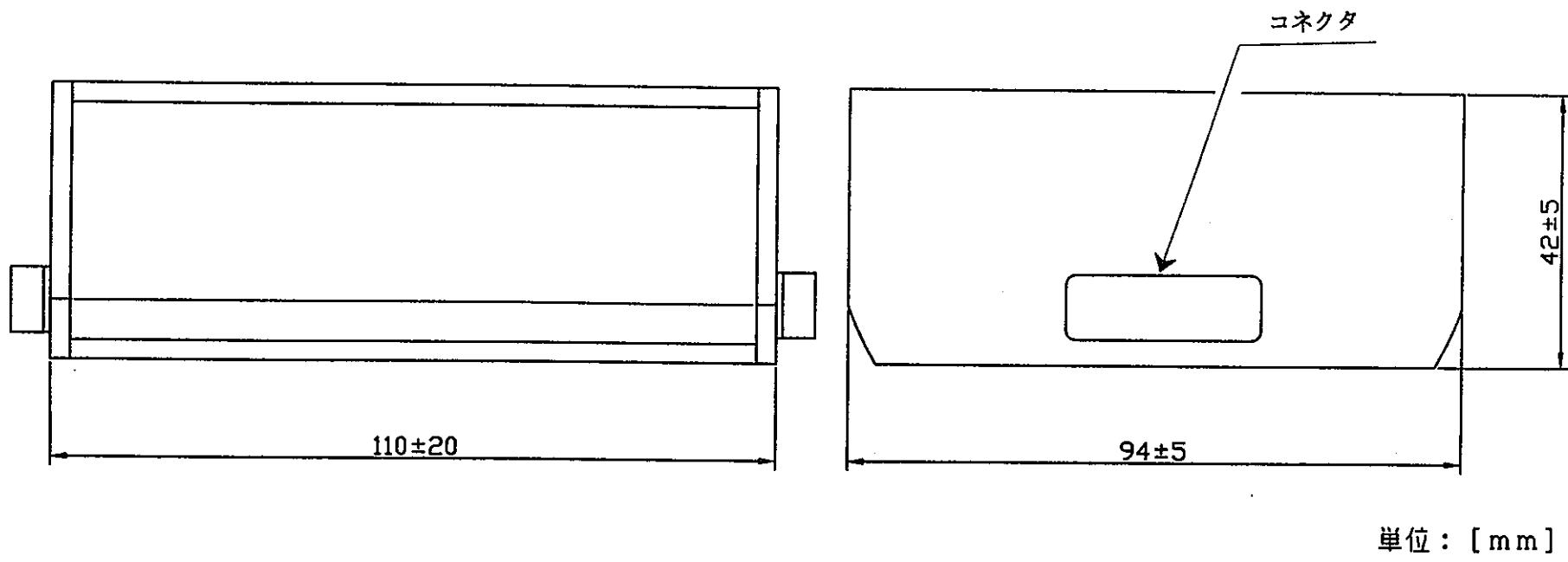
(c) フェイルセーフ機能

耐放性マイコンのASIC-ICは、自己の異常を外部へ知らせる等の以下のフェイルセーフ機能を有する。

- ・CPU内部で発生したエラー信号を外部に出力することにより、耐放性マイコンの異常を検知する機能。
- ・外部からのリセット信号及び内部で発生するリセット信号により、CPUの暴走を復帰する機能。
- ・電源供給の停止時、バッテリバックアップ回路によりデータやプログラムを保持する機能。
- ・電源電圧の低下を検出し、耐放性マイコンの異常動作を防ぐ機能。

表9 主要部品リスト

機能	仕様	型式	メーカー	備考
ASIC-IC	8bit micro computer	NE-65320	MHI	APPENDIX 6にASIC-IC仕様書を示す。
プログラムメモリ	8K×8 SRAM	HS-65647RH	HARRIS	APPENDIX 4に各部品のデータシートを示す。
	2K×8 PROM	HS-6617RH		
データメモリ	32K×8 SRAM	HX6256	Honeywell	
シリアルインターフェース	ラインドライバー	HS-26C31RH	HARRIS	
	ラインレシーバー	HS-26C32RH		
制御回路用ロジック IC	Programmable Array Logic	UT22VP10	UTMC	



注1) 本外形図は設計の進展に伴い、セル内での設置場所も考慮し、適宜変更する。

注2) 使用する部品、材料は 10^8 [rad]の γ 線吸収線量に耐えうること。

図11 耐放性マイコン外形図

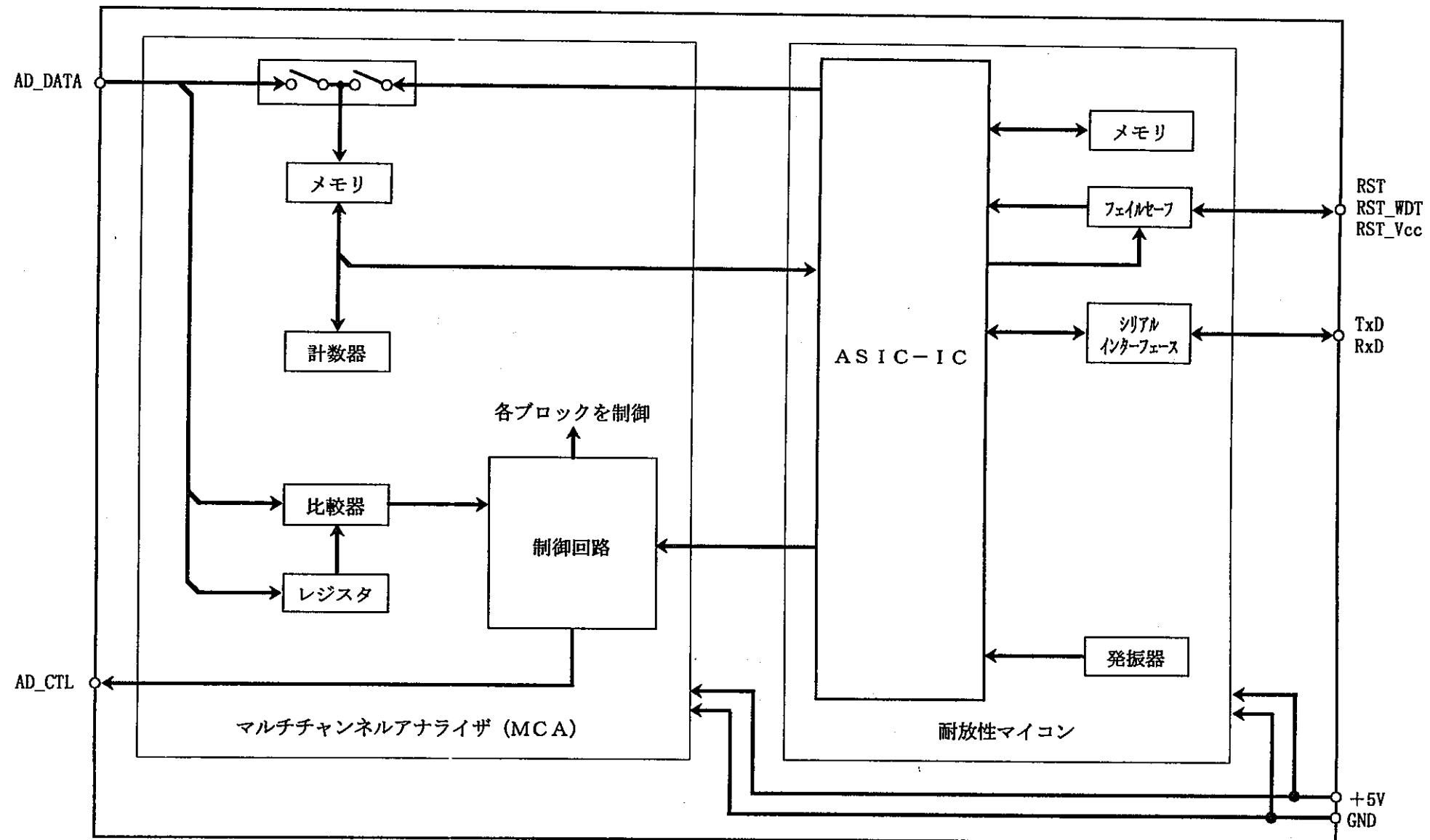


図12 耐放性マイコンのブロック図 (MCAを含む)

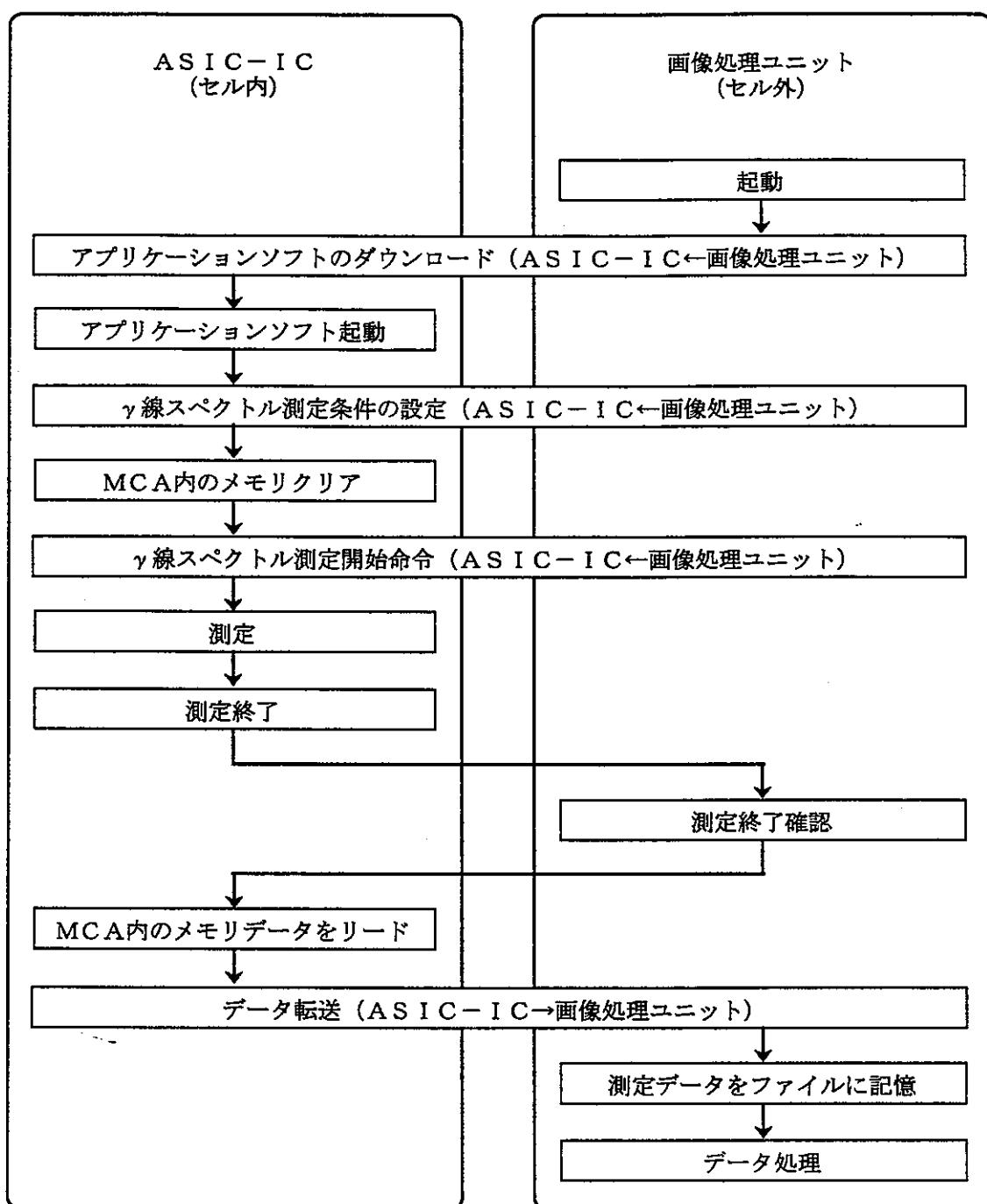


図13 測定フローチャート

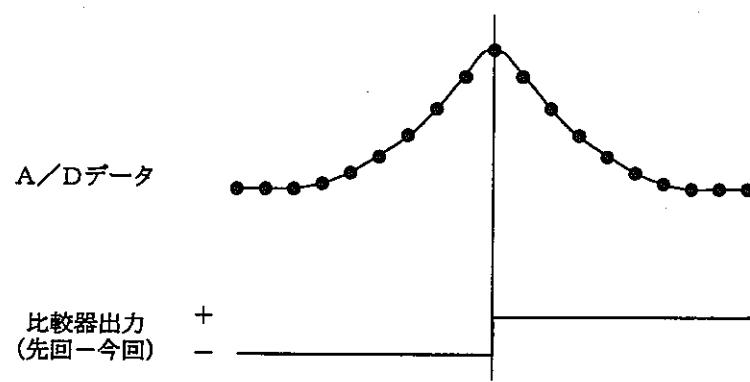
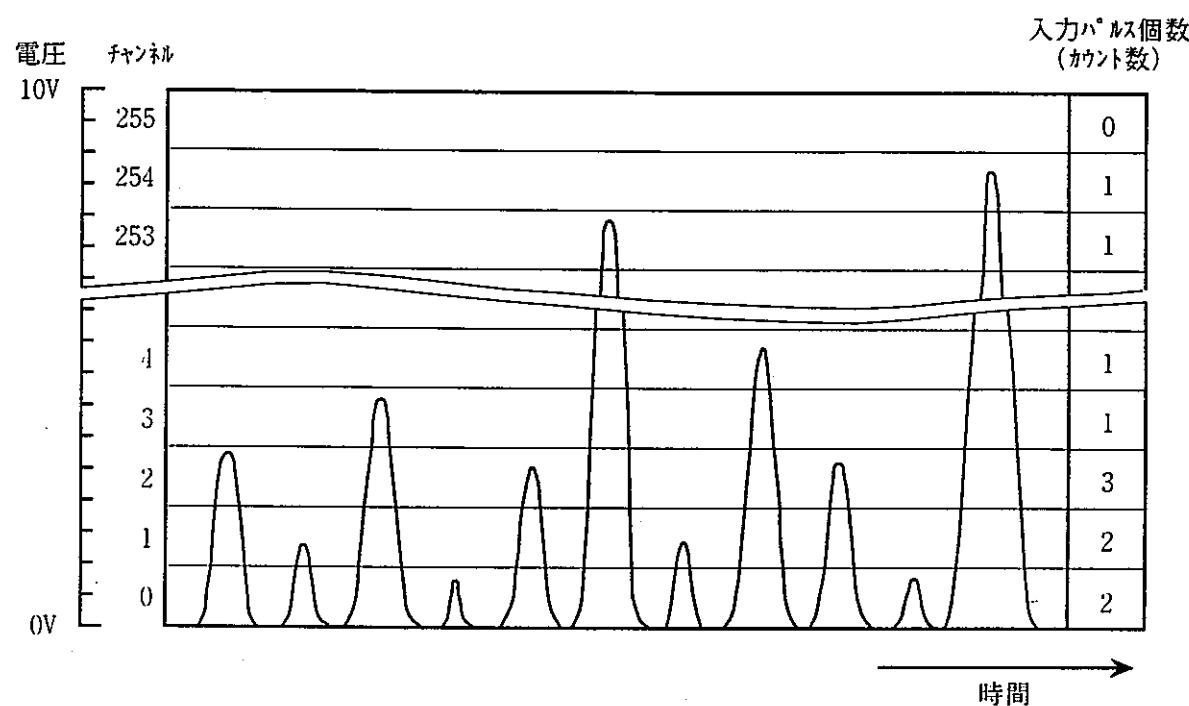
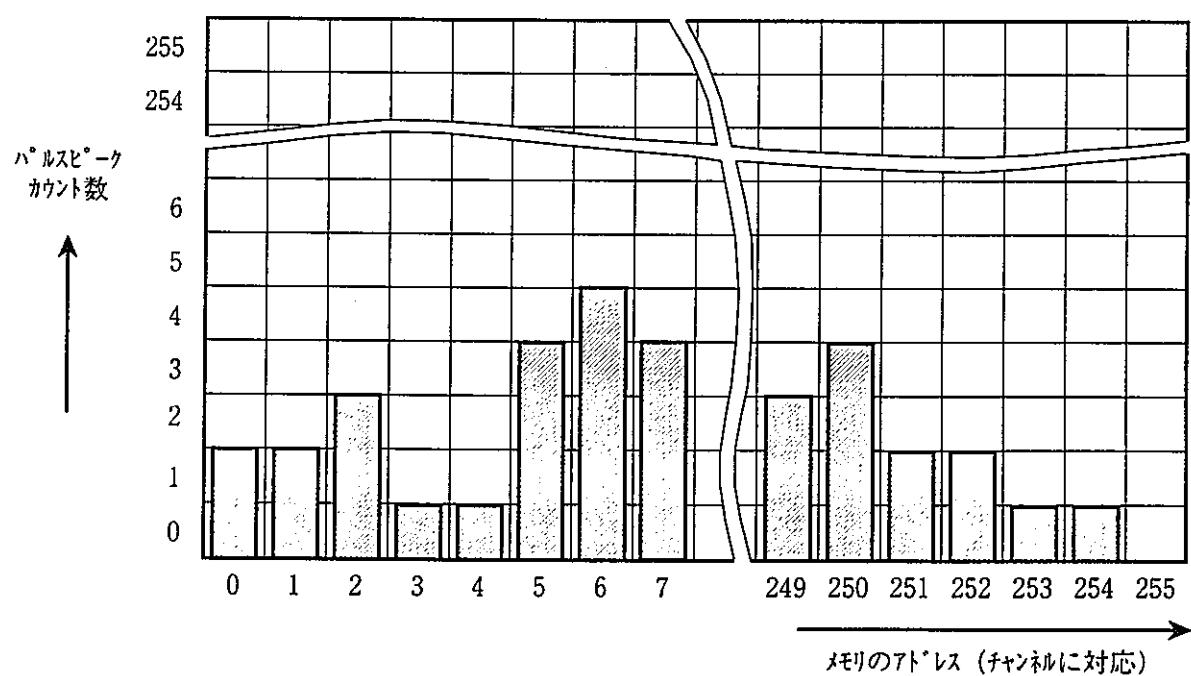


図14 ピーク検出方法



(a) 入力パルスのカウント



(b) ヒストグラム作成

図15 マルチチャンネルアナライザ（波高分析機能）

4.2.3 スペクトルデータモニタ系

各ブロックの仕様例を以下に示す。（所要電源は AC 100V±10%）

また、スペクトルデータモニタ系の構築例を図16及び図17に示す。

(1) 画像処理ユニット及び制御盤

- (a) マシン : DOS/V 又は AT コンパチブル PC
- (b) CPU : 486 クラス以上
- (c) 内蔵メモリ : 8MB 以上
- (d) OS : Microsoft Windows95

(2) CRT

- (a) カラーディスプレイ : 256 色以上
- (b) サイズ : 15" 以上
- (c) 解像度 : 640×480 以上

(3) 外部記憶装置

- (a) 容量 : 170MB 以上

(4) X-Yプロッタ

画像処理ユニットと接続可能なプリンタ、もしくはデータレコーダ

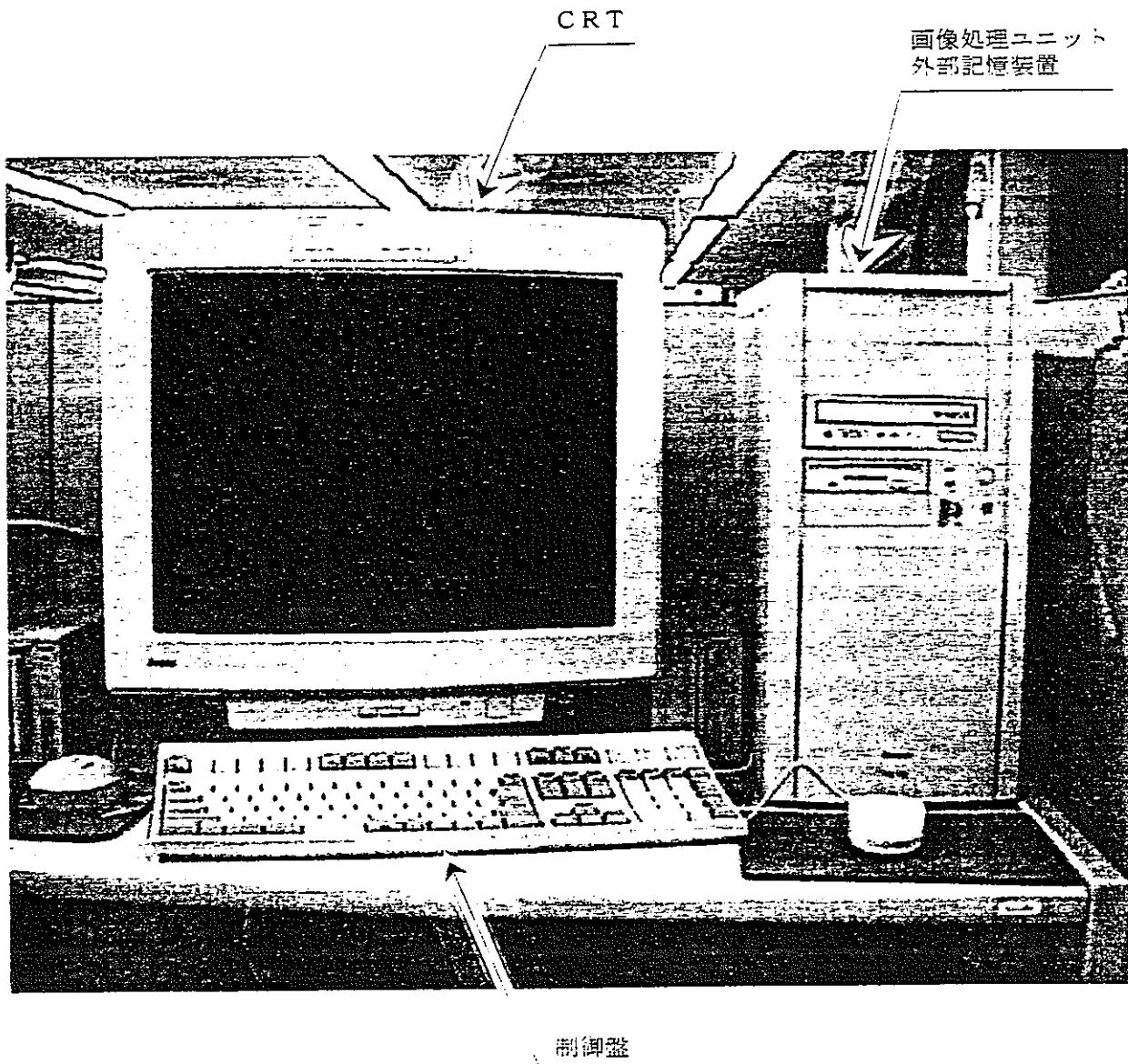


図16 スペクトルデータモニタ系
(画像処理ユニット、制御盤、CRT、外部記憶装置)

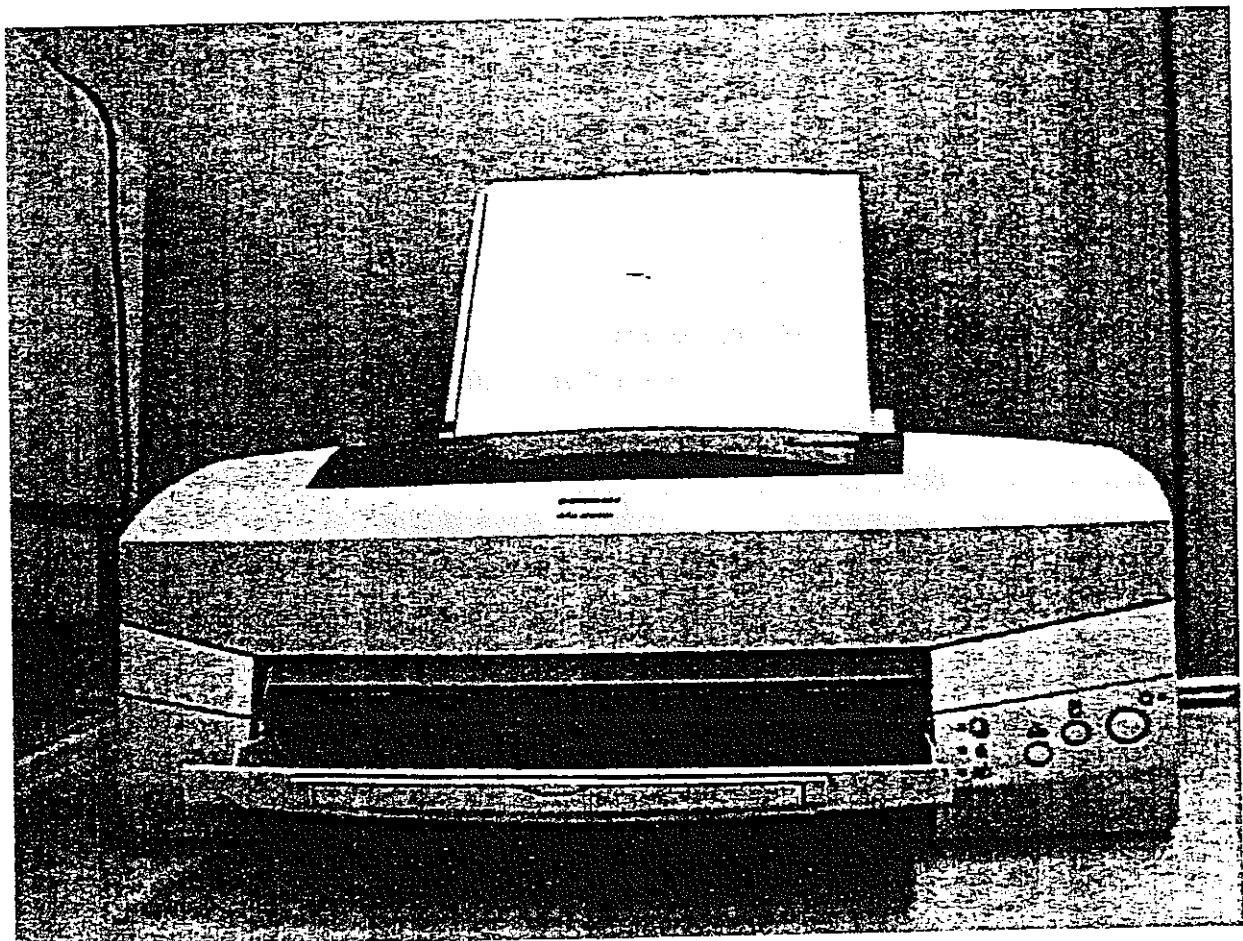


図17 スペクトルデータモニタ系(X-Yプロッタ)

5. 成果

今年度、耐放射線性ハイブリッドICを適用した耐放性マイコンによる、施設の自動化に向けたシステムを構築するためのシステム検証を目的とした「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行った。

ここでは、本システムに適した γ 線検出器系、耐放性マイコン、スペクトルデータモニタ系の構成品の仕様を決定し、耐放性マイコンの評価が可能なシステムの設計を行った。その結果として、本システム構築図例を図18に示す。

本システムは、 γ 線の入射エネルギーに比例したパルス波高の信号が γ 線検出器で得られ、セル内の高放射線環境下で使用可能な耐放性マイコンを用いて、それぞれのパルス波高についてのパルス発生数を計測し、ヒストグラムを作成する機能を有する。これにより、 γ 線エネルギースペクトル測定が可能となる。

本システムと一般の γ 線スペクトル測定装置との大きな違いは、 γ 線検出器から得られた信号を処理し、データ伝送を行うマイコンの部分が高放射線環境であるセル内に設置できる点である。一般的なシステムでは、検出部以外のエレクトロニクスは、耐放射線能力が低くセル内で使用できないため、数多くのケーブルを用いてセル外に設置されデータの処理及びモニタを行っている。このため、作業性・作業効率が悪く、ノイズの影響を受けやすい等の問題があった。しかし、本耐放性マイコンを用いることにより、セル内でデータ処理を行うことが出来、大幅にケーブル数を削減することが可能となり、上記問題点の大幅な改善が図れる。

このように、高放射線下で使用できる耐放性マイコンを用いることにより、取得したデータをセル内において耐放性マイコンで処理等を行うことができ、処理後のデータをセル外へ伝送するシステム設計が可能となった。

これにより、施設の自動化システムを構築するためのシステム検証を、設計レベルで検証できた。

この成果をもとに、来年度「耐放性マイコン内蔵型 γ 線スペクトル測定装置」の試作・評価を実施し、実際の環境下でシステムの検証を行う必要がある。その後、耐放性マイコンによる施設の自動化に向けた各種耐放射線性機器への展開を図っていく。

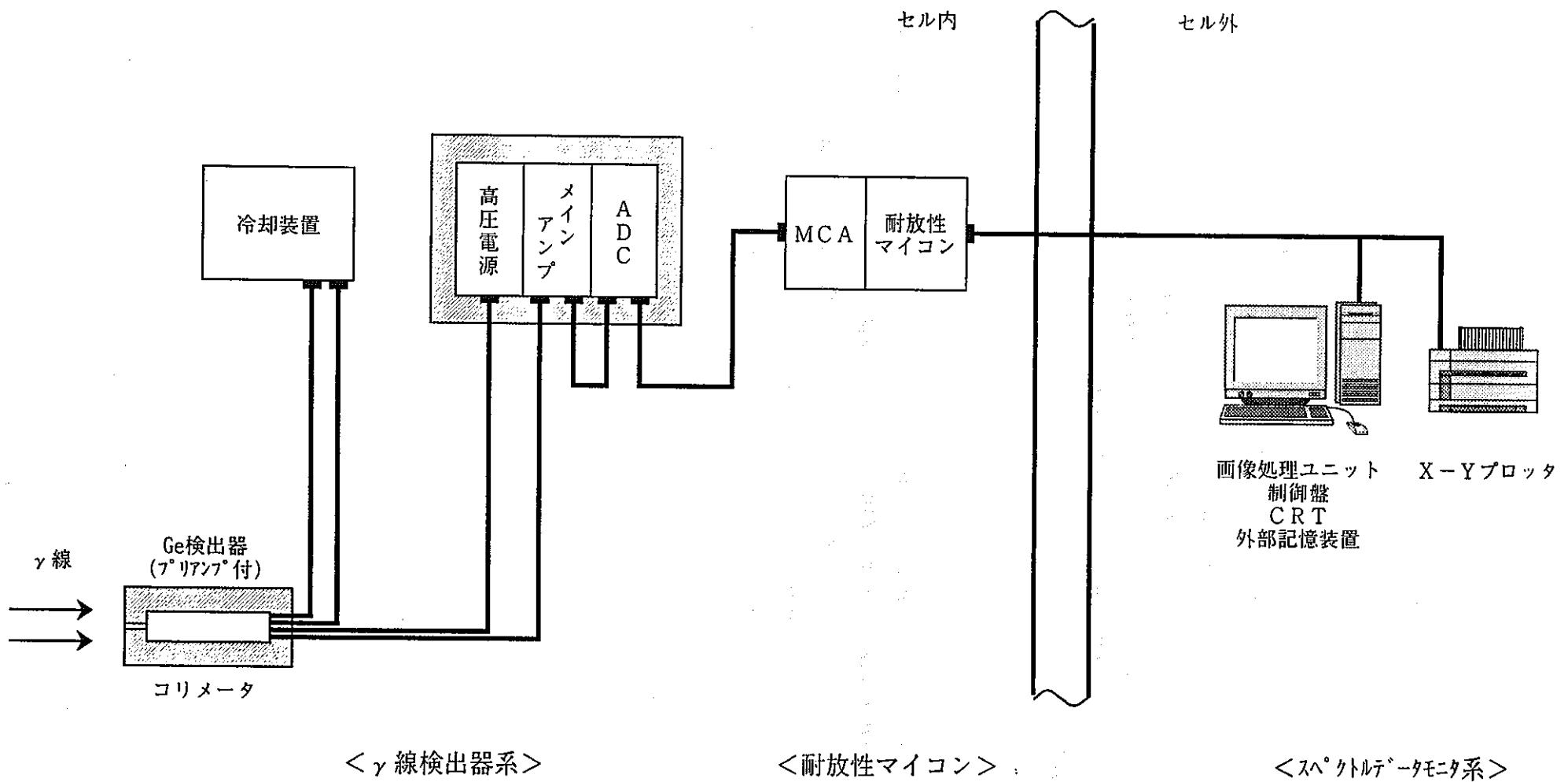


図18 システム構築例

6. まとめ

平成7年度に実施した、「耐放性マイコンの開発（要素試作I）」において、耐放性マイコンの回路設計を、平成8年度に実施した「耐放性マイコンの開発（要素試作II）」において、要素試作Iで設計した回路の検証を、プレッドボードモデル（BBM）を試作し、機能性能試験を実施することにより、設計に問題がないことを確認した。

今回、平成9年度はこれらの成果を踏まえ、耐放射線性ハイブリッドICを適用した耐放性マイコンによる、施設の自動化に向けたシステムを構築するためのシステム検証を目的とした「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行い、要求を満足するシステム構築ができた。

なお、本システムに用いた耐放性マイコンには、要素試作I、IIの成果である耐放性マイコンの回路をベースにした耐放性ASIC-ICチップが用いられている。このASIC-ICチップは、CPUに8ビットの8051を使用し、周辺回路も含めて1つのICにしたものであり、耐放性マイコンの核として必要不可欠なICである。また昨年度、機能性能試験及び放射線照射試験を実施し、設計に問題のないことを確認したものである。

このASIC-ICチップを用いることにより、セル内等高放射線環境下で使用可能な本耐放性マイコンシステムを開発できた。APPENDIX6に、このASIC-ICチップの仕様を、また、APPENDIX7にASIC-ICチップの放射線照射試験の報告書（抜粋）を参考資料として添付する。

7. 今後の開発計画

7.1 今後の開発スケジュール（案）

H 8 年度に耐放性マイコンのブレッドボードの試作を実施し、その機能を検証してきた。今年度、施設の自動化へのシステム検証を目的とした耐放性マイコン内蔵型 γ 線スペクトル測定装置のシステム設計を実施した。これらの成果を踏まえて、今後の開発スケジュール（案）を表 10 に示す。

今後は、 γ 線スペクトル測定装置の試作・評価により、システム検証を実施し、耐放性マイコンの各種耐放射線性機器への展開を図っていく。

7.2 実施内容概要

今後の実施内容のうち、特に重要な平成 10 年度の内容について、以下に概要をまとめる。

7.2.1 来年度実施内容概要

平成 10 年度は、今回（平成 9 年度）実施した「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計のうち、検出器からの信号を受けるセンサインターフェース回路、最も重要な要素である信号処理を行う耐放性マイコン及び放射線簡易モニタ装置への通信を行う通信インターフェース等を試作する必要がある。

試作構成を図 19 に示す。

7.2.2 来年度予想成果

- 1) 耐放性マイコンをセル内で動作させることで耐放射線性などの実証ができる。
- 2) 特許出願した、放射線検出素子を試作し、同様に実証できる。
- 3) セル内の複数本の信号を 1 セットのシリアル通信でセル外に出せる「セル内信号ケーブル削減システム」の主要部の実証ができる。

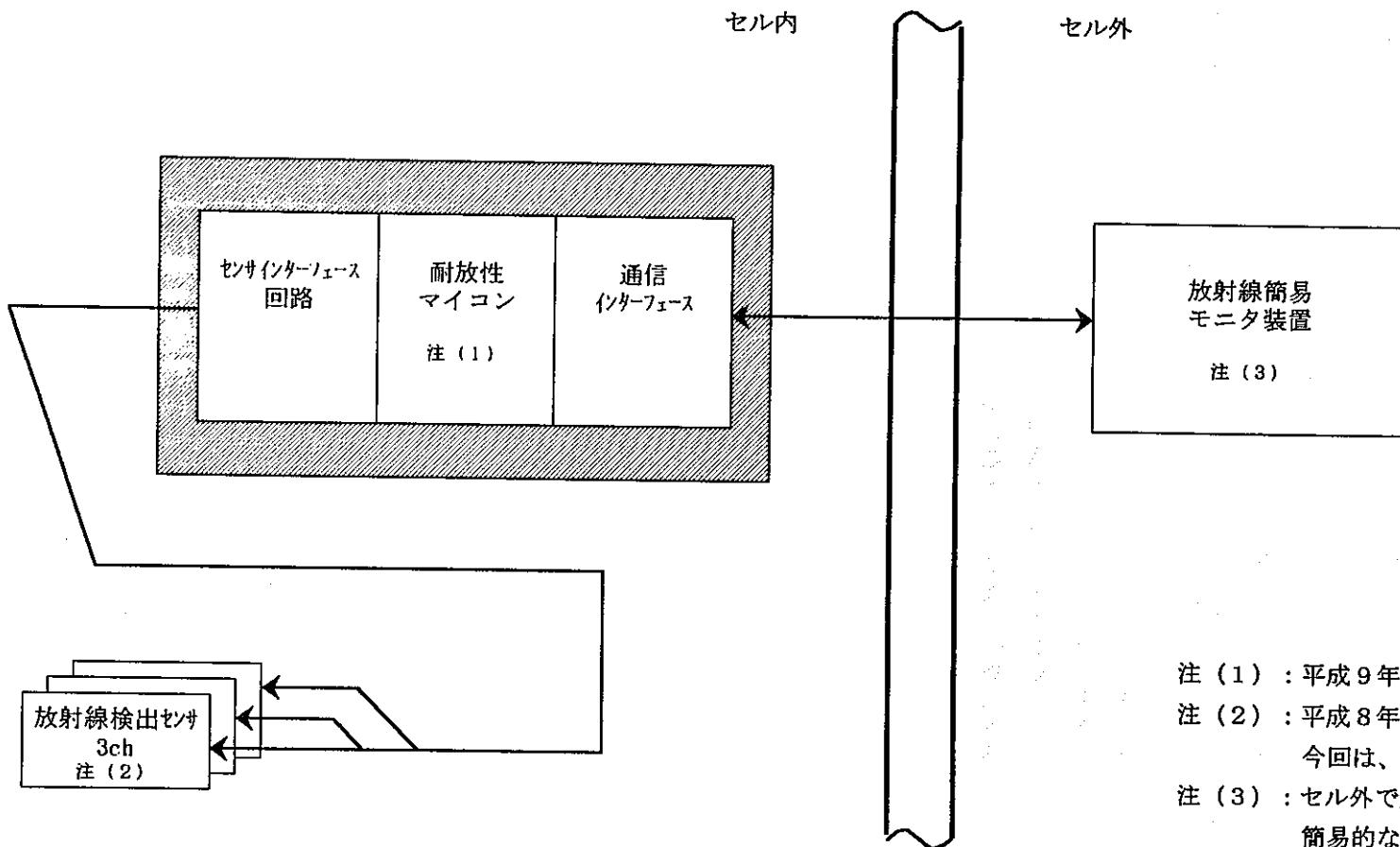
7.3 耐放性マイコンの各種電子機器への適用（案）

7.2.2 項の成果をもとに、平成 11 年度より耐放性マイコンの各種耐放射線性機器への展開をはかり、将来再処理施設における各種自動化システムへの適用を随時していく。

APPENDIX 8 に耐放性マイコンの将来再処理施設への適用案を示す。

表10 今後の開発スケジュール(案)

項目	スケジュール					備考
	平成8年度	平成9年度	平成10年度	平成11年度	平成12年度	
耐放性マイコン開発 BBM試作						
耐放性マイコン開発 システム設計						
耐放性マイコン開発 耐放性マイコン内蔵型 γ 線スペクトル測定装置試作・評価						
耐放射線機器開発(吐き等へ適用) 試作・評価						
耐放性マイコン拡販						



- 注(1) : 平成9年出願特許の実現
 注(2) : 平成8年出願特許の検出素子を使用。
 今回は、3点の検出とする。
 注(3) : セル外で放射線レベルをモニタできる
 簡易的なもの。 (パソコンレベル)

図19 試作構成

8. あとがき

今回、耐放性マイコンによる施設の自動化に向けたシステムの構築を行うためのシステム検証を目的とした「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計を行った。

この設計にあたっては、先に実施した耐放性マイコンのブレッド・ボード設計・試作の成果を踏まえ、ハイブリッドIC技術を適用した耐放性マイコンを採用した。この耐放性マイコンは、集積線量が 10^7 RADを越えた状態にあっても機能するものとし、 10^8 RAD(集積線量)を目標としたものを組み込んだ設計を行った。

平成10年度は、今回実施した、「耐放性マイコン内蔵型 γ 線スペクトル測定装置」のシステム設計のうち、最も重要な要素を試作し、以下の項目を実証する必要がある。

- ・耐放性マイコンをセル内で動作させ、耐放射線性などを実証する。
- ・特許出願した、放射線検出素子の試作し、実証する。
- ・セル内の複数本の信号を1セットのシリアル通信でセル外に出せる「セル内信号ケーブル削減システム」の主要部を実証する。

9. 謝辞

本システム設計を実施するに際し、動力炉・核燃料開発事業団 東海事業所のご協力を頂き、特に、再処理技術開発部 機器材料開発室の方々には多大なるご支援を頂いたことに厚く感謝いたします。

10. 参考資料

APPENDIX 1	電子部品の耐放射線能力	5 1
APPENDIX 2	ハイブリッドIC技術	5 5
APPENDIX 3	SOI (Silicon On Insulator) 技術	6 3
APPENDIX 4	各システム構成ユニット及び主要部品のデータシート	6 9
APPENDIX 5	耐放性マイコン設計書	1 7 0
APPENDIX 6	ASIC-IC仕様書	1 8 6
APPENDIX 7	ASIC-IC耐放射線照射試験報告書	2 0 1
APPENDIX 8	耐放性マイコンの将来再処理施設への適用（案）	2 3 0

APPENDIX 1

電子部品の耐放射線能力

<電子部品の耐放射線能力>

電子部品の中で最も放射線の影響を受けやすい要素は半導体素子であり、集積度の高いものほど影響を受けやすい。一般に、半導体に放射線が当たると電離作用により、電流増幅率の低下、漏れ電流の増加、しきい値電圧の変動等の特性劣化が生じ、正常な機能を果たさなくなり、最終的に故障に到る場合がある。また、ICによっては、大電流が流れ焼損する場合もある。

電子部品の耐放射線レベルを表1に、放射線による故障発生レベル（一例）を表2に示す。通常の電子部品では、耐放射線性の低いもので γ 線の集積線量（Total Dose）が 10^2 rad程度から影響を受け始め、耐放射線性の高いものでも 10^4 rad程度であると言われている。

また、耐放射線性電子部品においては、メーカ保証レベルは 10^6 rad(MAX)であり、国内ではほとんど販売されておらず海外からの輸入となるが、高価かつ納期が長く 5×10^5 rad以上のICを輸入する際には輸出規制等があり入手が困難である。

近年、Si半導体に比べて耐放射線能力に優れたGaAs^{*1}（ガリウム・ヒ素）、SiC^{*2}（炭化ケイ素）半導体等の開発が行われている。しかし、コストが高く、トランジスタ等の個別の半導体部品レベルであり、トランジスタ等が1つのチップ上に数多く配置されたIC（集積回路）化に必要な素子分離や、ゲート酸化膜形成などのプロセス確立には、まだかなり時間がかかり、高集積化は難しいのが現状である。

(*1) 森田 洋右, 宇宙用半導体素子の耐放射線性研究：放射線と産業, No.52, P40 (1991)

(*2) 松田 純夫, 宇宙開発と耐放射線性材料：放射線と産業, No.66, P25 (1995)

梨山 勇ほか, SiC半導体加工のための要素技術の開発

: 第6回 TIARA研究発表会要旨集, P10

表1 電子部品の耐放射線レベル

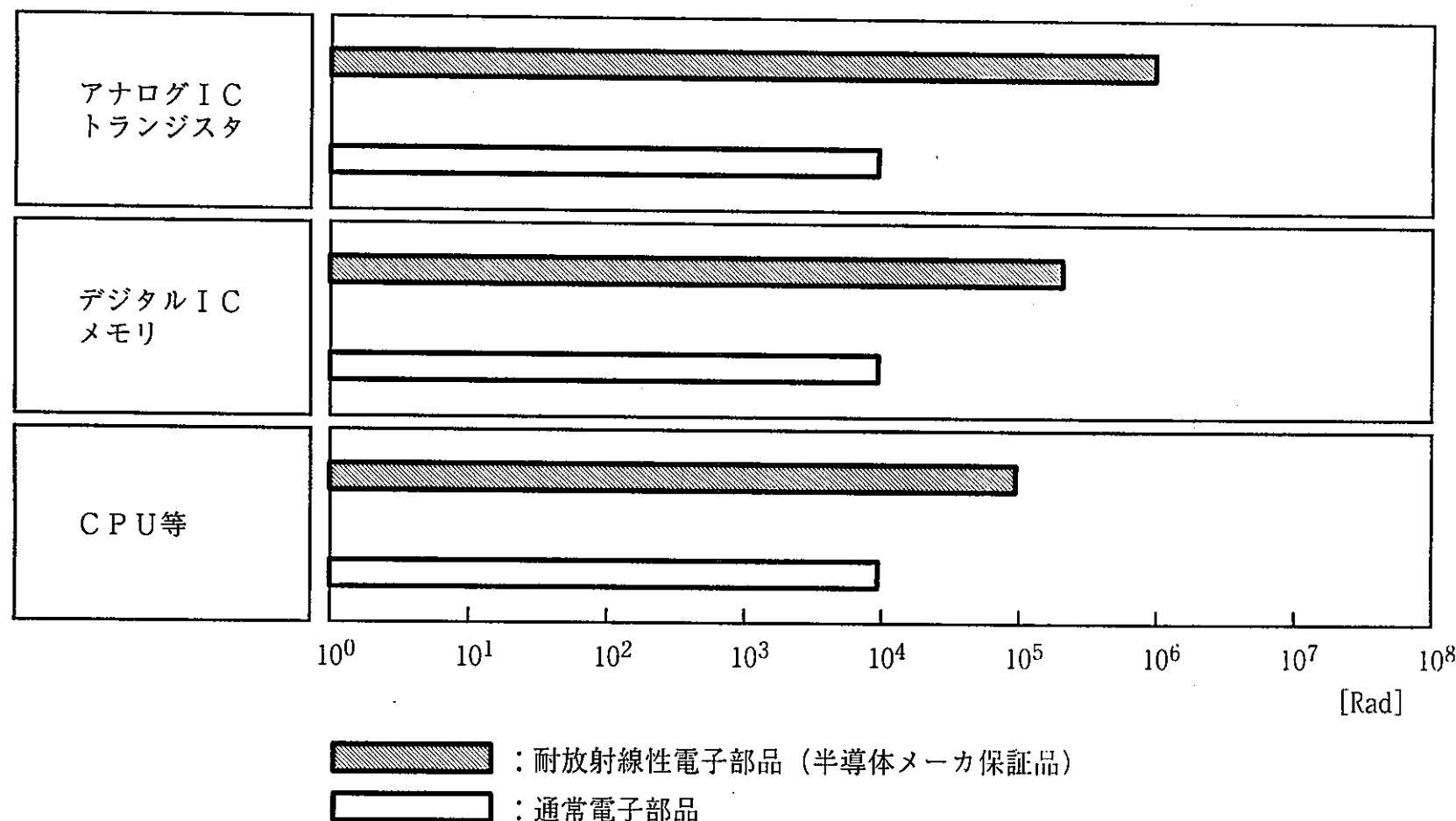


表2 放射線による故障発生レベル

タイプ	メーカ	型式	故障レベル (rad)		
			10^2	10^3	10^4
マイクロ プロセッサ	インテル	8080A		//////	
		8086			//////
	NATIONAL	6800		///	
	FAIRCHILD	F - 8		/	
	ZILOG	Z80A		//////	
		Z8002		//////	
ROM	インテル	MD2732B		/	
		D2732		//////	
	AMD	2732DMB		/	
	TI	SMJ2532 -45JDM		//////	
DRAM	インテル	2118		/	
		2164		//////	
	MOSTEK	5464		//////	
	モトローラ	6665		//////	
	TI	4164		/	
	AMD	4116		//////	
	NATIONAL	4116		//////	
	MOSTEK	4116		/	

////印は故障が発生した照射線量エリアを示す。

APPENDIX 2

ハイブリッドIC技術

ハイブリッドIC技術

1. 概要

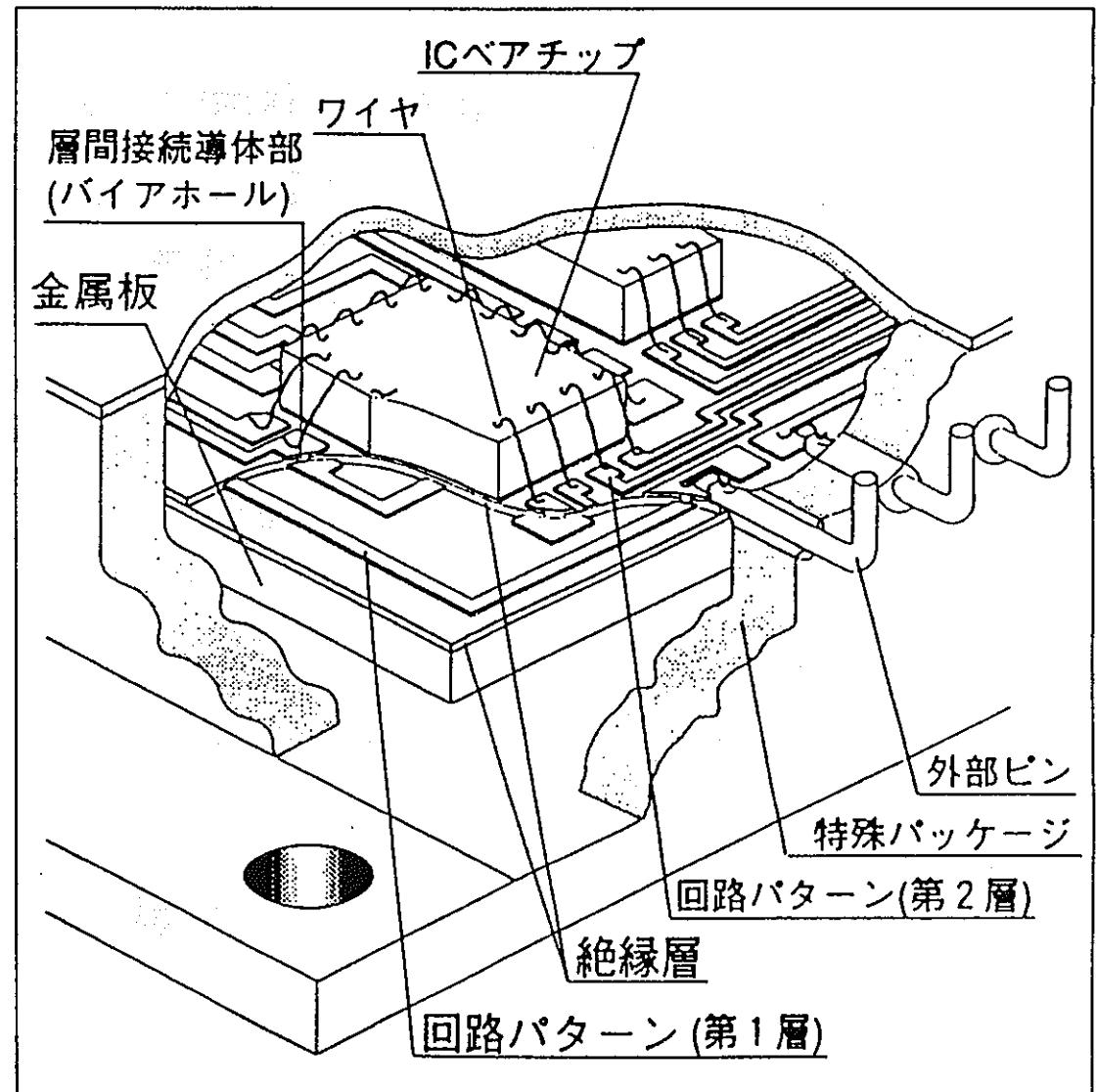
電子機器の小型化、軽量化、高密度化への要求が強まる中、これらの要求を満たすための技術としてハイブリッドIC（混成集積回路）技術が発展してきた。

本APPENDIXでは、このハイブリッドIC技術について、その構造、特長について説明する。

2. ハイブリッド IC 技術

2. 1 構造

- ▷ ICベアチップ等の部品を多層金属基板上に高密度実装。
- ▷ 不活性ガスを入れた金属パッケージで気密封止。



2. 2 特徴技術

(1) SOI-IC^{*}の開発

- ・放射線による帯電防止構造

(2) ベアチップ実装技術

- ・高密度ワイヤボンディング
- ・HICの小型化の為のフェースダウンボンディング

(3) パッケージング技術

- ・水分含有率の極めて低い密封
- ・耐放射線材料を使い密封

(4) 薄膜技術

- ・熱膨張を考慮した金属基板上の蒸着

(5) 厳しい環境(熱、放射線)を考慮した回路設計技術

- ・環境マージンが得られる回路定数等

(6) 放熱解析技術

- ・ベアチップレベルの3次元熱流体解析

* (SOI-IC : Silicon On Insulator)

3. ハイブリッド I C の特長

3. 1 ハイブリット I C とは

一般的の I C が 1 個のチップをパッケージングしたものであるのに対して、ハイブリット I C は、複数のベアチップを有機的に接続し 1 つのモジュールとしたものです。

3. 2 特 長

小型化が可能

ベアチップを使用するため、個々のパッケージがなく、従来の個別部品を使用した実装や表面実装より 1/3 ~ 1/10 に小型化できます。

大規模システムが経済的に早く開発できる

システムの開発は、大規模になればなるほど設計段階でシステム全体の動作を把握することが困難であり、それだけ完成システム全体での試験が重要になります。従って大規模システムの開発には、変更が容易な手法であることが重要です。

その点マルチチップモジュールは、既存のチップを組み合わせ、または小さな単位で A S I C を開発しても小型化が犠牲にならず、変更に対しても部分的変更ですみ、大規模システムの開発に適した方法です。

設計自由度が高い

モノリシック I C では困難な、アナログ、デジタル、信号、またはパワー等性格の異なるチップを混載することが可能なため、より設計が自由で種々の応用に対応ができます。

3. 3 高信頼度型

- ・航空・宇宙等厳しい耐環境性と共に、一段と高い信頼度が必要なエレクトロニクスに使用して頂けるモジュールです。
- ・MIL規格に従ったスクリーニングも可能です。

3. 4 耐放射線型

- ・アルファ線、ガンマ線、中性子線等の放射線に対する耐力が強く原子力機器、宇宙機器、放射線器等へ安心して使用して頂けます。

3. 5 耐環境型

- ・航空・宇宙用の耐環境性を維持してコストダウンを図り、手軽に利用して頂けるモジュールです。
- ・車載電子機器、産業機械等で従来耐環境性不足のためエレクトロニクスが利用できなかった場所にも使用して頂けます。

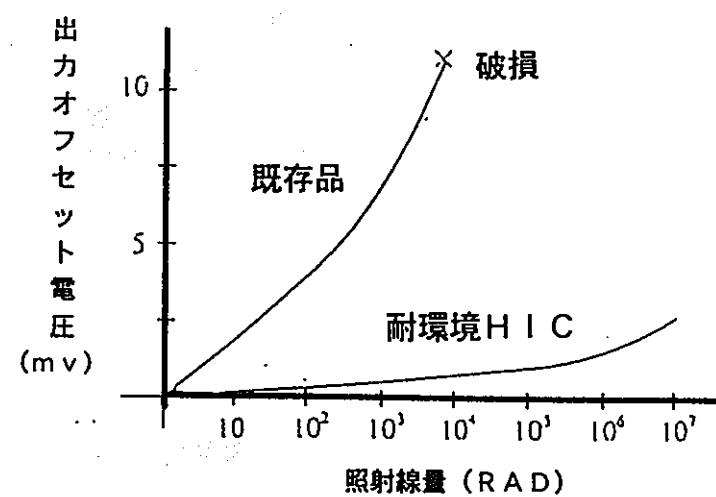
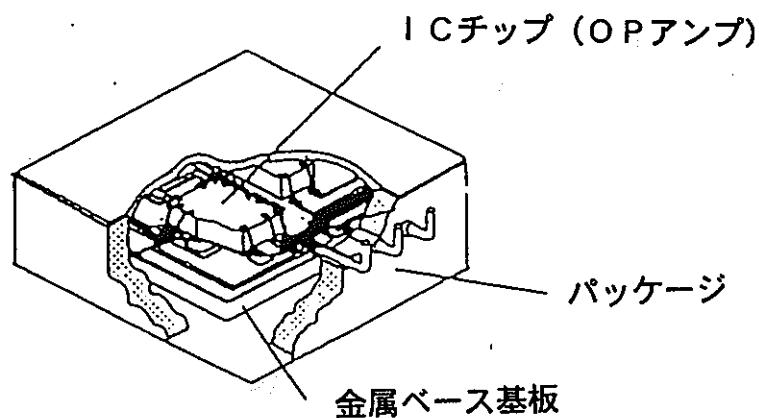
3. 6 放射線の影響

一般に半導体に放射線が当たると電離作用により、電流増幅率の低下、漏れ電流の増加、閾圧電圧の変動となって現われこれは照射された放射線の累積量にしたがって大きくなり、ついには機能低下または機能逸失、焼損に至ります。また、ICによってはラッチアップ現象を起こし瞬間に焼損する場合があります。

- ・ダイオード : 逆バイアス時の漏れ電流が増加し、整流作用が低下または逸失。
- ・トランジスタ : 増幅率の低下、漏れ電流の増加
- ・演算増幅器 : 増幅率の低下、バイアス電流の増加、入力オフセット（電流、電圧）の増加。
- ・デジタルIC : しきい値電圧（“0”、“1”の境界電圧）。
場合によってはラッチアップによる電源短絡。

〔耐放射線特性例〕

アナログICのオフセット電圧変化



APPENDIX 3

S O I (Silicon On Insulator) 技術

S O I (Silicon On Insulator) 技術

1. 概要

一般に、ICは放射線にさらされると放射線の総被ばく量の増加とともに電気的パラメータが変化していき、故障に到る。

この為、電子機器の周囲を鉛などの遮蔽材で覆うなどの放射線対策が講じられているが、電子機器が大型化、大重量化する為、ICチップそのものの耐放射線能力を向上させる必要がある。この解決手段の一つとして、S O I 技術が挙げられる。本APPENDIXでは、S O I 構造、及びS O I 技術によるICチップの耐放射線能力向上方法について述べる。

2. S O I 技術とは

S O I (Silicon On Insulator) 技術とは、絶縁性基板（サファイア等）上に構成したトランジスタ集積回路構造をもつ ICチップを製造する技術である。一般に、この構造は誘電分離構造と呼ばれている。

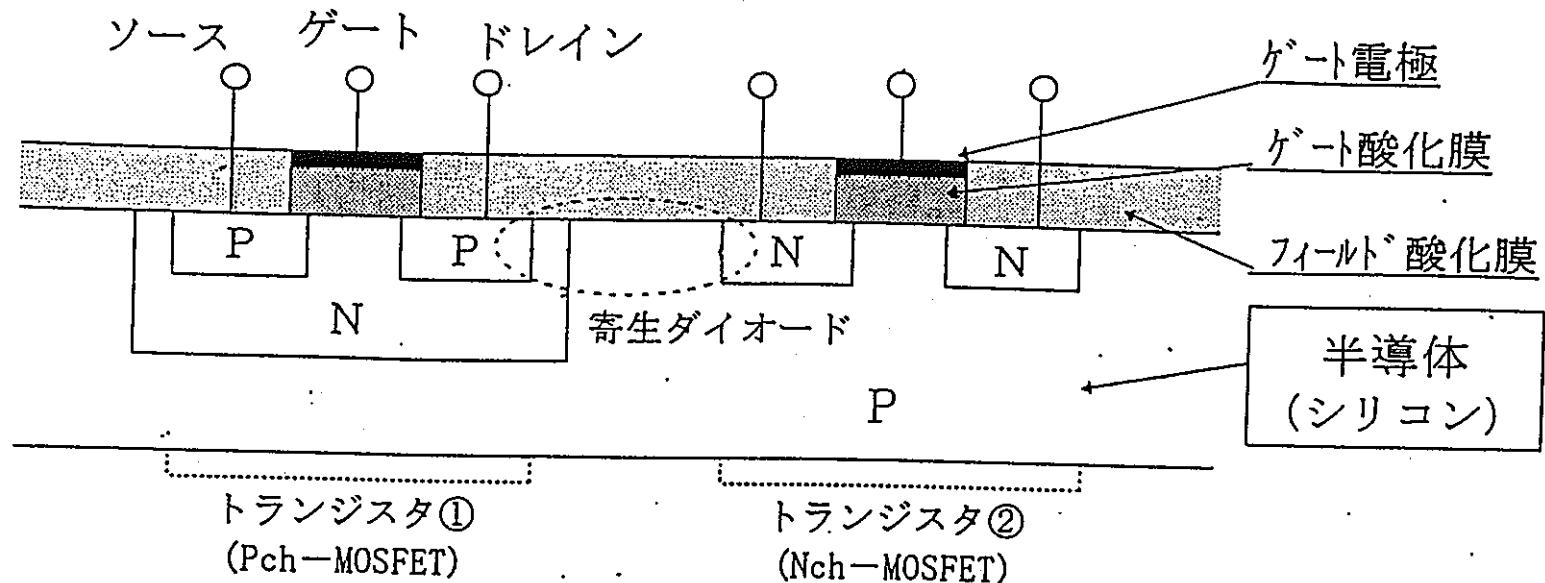
従来構造（単一シリコン構造）と S O I 構造との相違を図 1 に示す。また、下表に図 1 の相違点をまとめる。

構造	構造の相違点
従来構造	ICを構成するそれぞれのトランジスタ（図 1 の①, ②）は半導体により電気的に絶縁されている。
S O I 構造	ICを構成するそれぞれのトランジスタ（図 1 の①, ②）は絶縁体により物理的に絶縁されている。

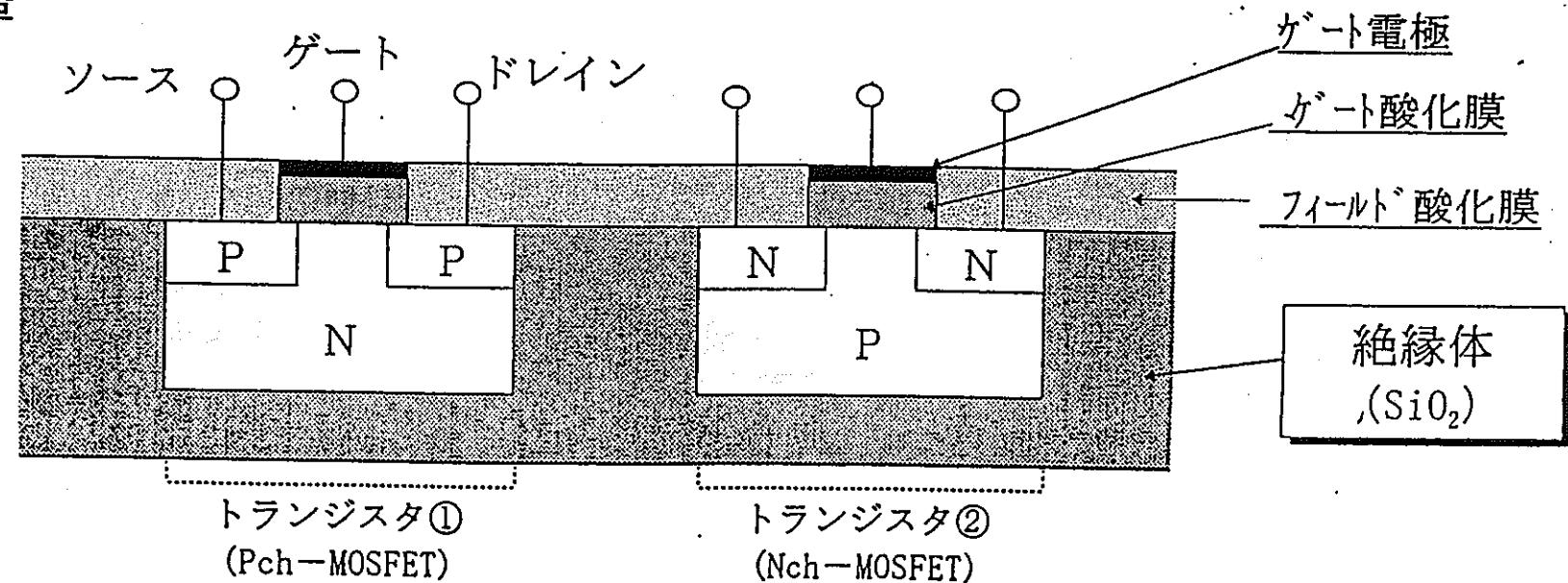
この S O I 構造をとることにより、隣り合う 2 つのトランジスタ間の分離が放射線環境下においても保たれるため、素子間の漏れ電流が発生せず、従来構造のような特性劣化は生じない。この為、一般に S O I 構造の IC は耐放射線能力が高い。

図 1 ICのSOI構造及び従来構造の相違

○ 従来構造

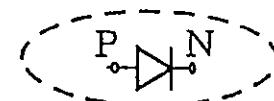
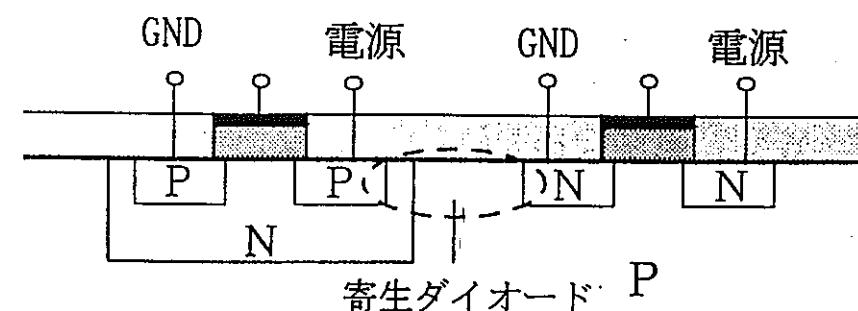
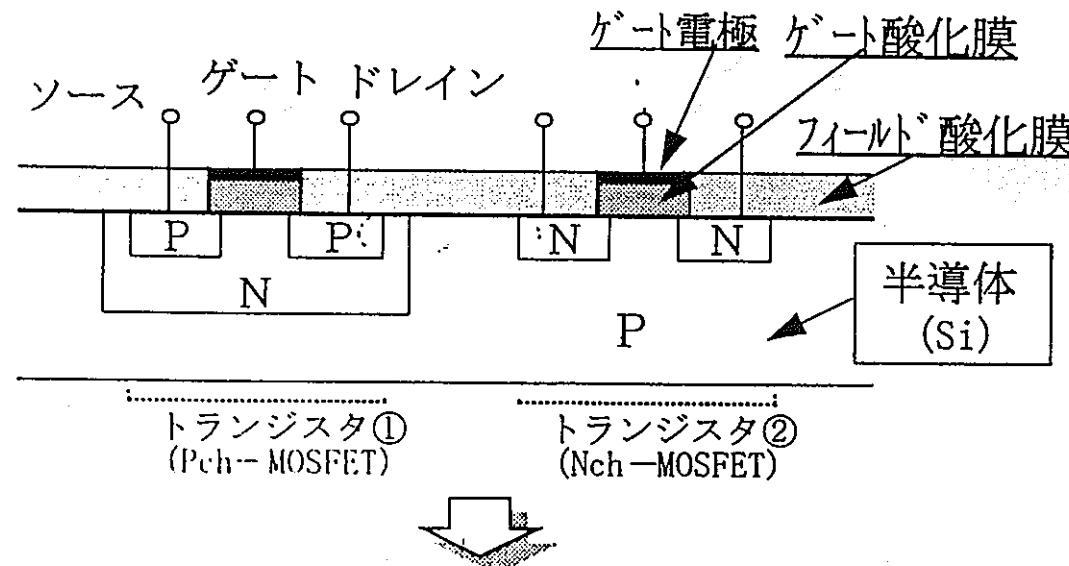


○ SOI構造



3 I Cチップの耐放射線能力向上

(1) I Cが放射線により特性劣化する理由



I Cに放射線が当たる

ゲート酸化膜、フィールド酸化膜に正電荷発生

ゲート入力にオフセット電圧として作用

トランジスタ間に寄生ダイオードが形成されもれ電流発生

・出力信号のドリフト
・動作遅れ、タイミングずれ

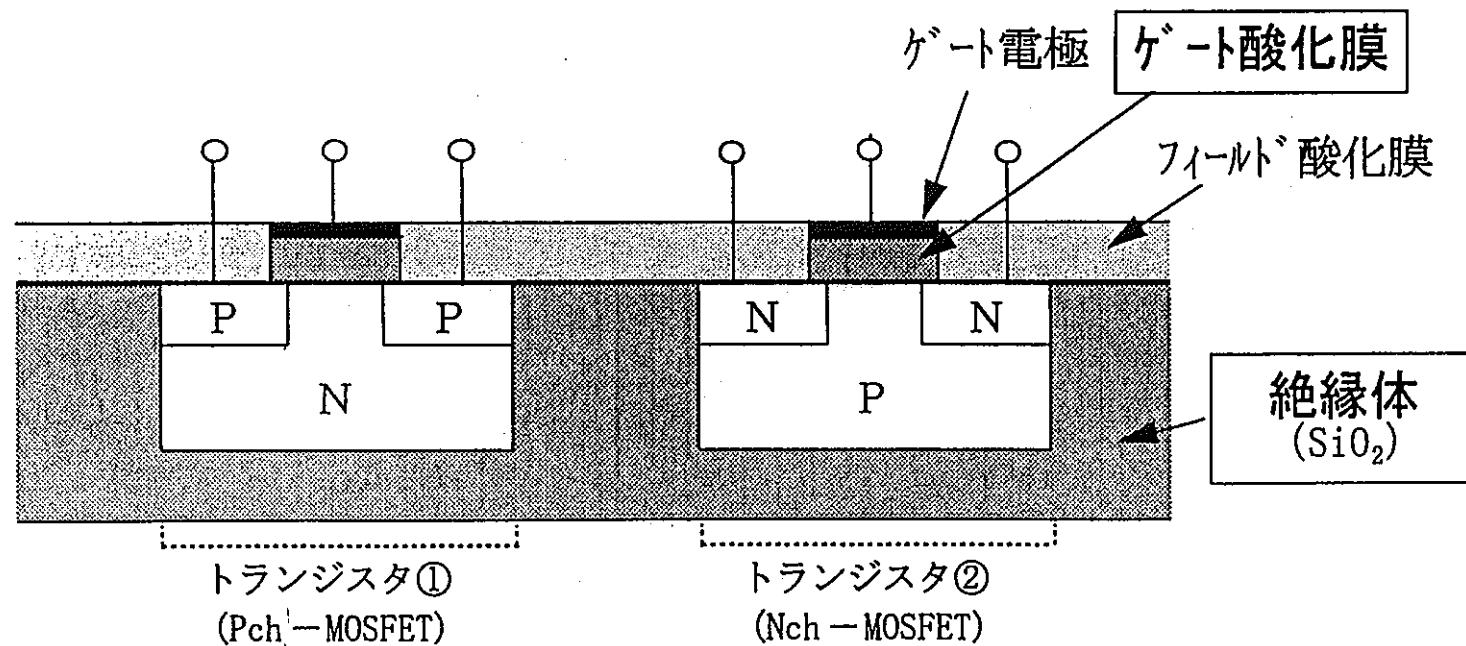
・消費電流増加
→ 熱破壊
・誤動作、暴走、機能停止

特性変動

I Cの機能停止
・破壊

(2) ICチップの耐放射線能力向上方法

- ◇ ゲート酸化膜の薄膜化
 - 正電荷発生量を減らす \rightarrow 特性変動を軽減
- ◇ トランジスタ間を絶縁体で分離(SOI^(*)構造)
 - もれ電流の抑制 \rightarrow ICの機能停止・破壊の防止



(*) SOI : Silicon On Insulator

APPENDIX 4

各システム構成ユニット及び主要部品のデータシート

データシート目次

1. HS-65647RH (8K×8SRAM)	71
2. HS-6617RH (2K×8PROM)	87
3. HX6256 (32K×8SRAM)	101
4. HS-26C31RH (ラインドライバー)	114
5. HS-26C32RH (ラインレシーバー)	123
6. UT22VP10 (PAL)	134
7. HS-9008RH (A/D変換器)	153

1. HS-65647RH

- ・用途 : プログラム格納用メモリ
- ・機能 : 8 K×8 Static RAM
- ・耐放射線性 : TOTAL DOSE 3×10^5 Rad (Si)
- ・スタンバイ電流 : 10 mA (MAX)
- ・動作電流 : 100 mA (2 MHz)
- ・アクセスタイム : 50 ns (MAX), 35 ns (TYP)
- ・動作温度範囲 : -55°C ~ +125°C

August 1995

Features

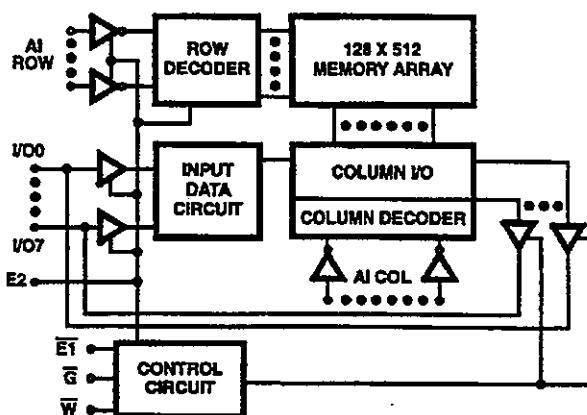
- 1.2 Micron Radiation Hardened SOS CMOS
 - Total Dose 3×10^5 RAD (SI)
 - Transient Upset $>1 \times 10^{11}$ RAD (SI)/s
 - Single Event Upset $<1 \times 10^{-12}$ Errors/Bit-Day
- Latch-up Free
- LET Threshold >250 MEV/mg/cm²
- Low Standby Supply Current 10mA (Max)
- Low Operating Supply Current 100mA (2MHz)
- Fast Access Time 50ns (Max), 35ns (Typ)
- High Output Drive Capability
- Gated Input Buffers (Gated by E2)
- Six Transistor Memory Cell
- Fully Static Design
- Asynchronous Operation
- CMOS Inputs
- 5V Single Power Supply
- Military Temperature Range -55°C to +125°C
- Industry Standard JEDEC Pinout

Description

The Harris HS-65647RH is a fully asynchronous 8K x 8 radiation hardened static RAM. This RAM is fabricated using the Harris 1.2 micron silicon-on-sapphire CMOS technology. This technology gives exceptional hardness to all types of radiation, including neutron fluence, total ionizing dose, high intensity ionizing dose rates, and cosmic rays.

Low power operation is provided by a fully static design. Low standby power can be achieved without pull-up resistors, due to the gated input buffer design.

Functional Diagram



TRUTH TABLE

E1	E2	G	W	MODE
X	0	X	X	Low Power Standby
1	1	X	X	Disabled
0	1	1	1	Enabled
0	1	0	1	Read
0	1	X	0	Write

Ordering Information

PART NUMBER	TEMPERATURE RANGE	PACKAGE
HS1-65647RH-Q	-55°C to +125°C	28 Lead SBDIP
HS1-65647RH-8	-55°C to +125°C	28 Lead SBDIP
HS1-65647RH/Proto	-55°C to +125°C	28 Lead SBDIP
HS1-65647RH/Sample	+25°C	28 Lead SBDIP
HS9-65647RH-Q	-55°C to +125°C	28 Lead Ceramic Flatpack
HS9-65647RH-8	-55°C to +125°C	28 Lead Ceramic Flatpack
HS9-65647RH/Proto	-55°C to +125°C	28 Lead Ceramic Flatpack
HS9-65647RH/Sample	+25°C	28 Lead Ceramic Flatpack
HS9A-65647RH-Q	-55°C to +125°C	36 Lead Ceramic Flatpack

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.
 Copyright © Harris Corporation 1995

Spec Number 518729
 File Number 2928.2

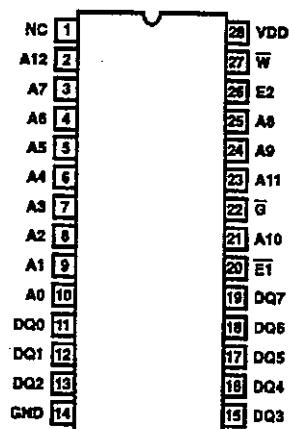
■ 4302271 0063429 118 ■

1

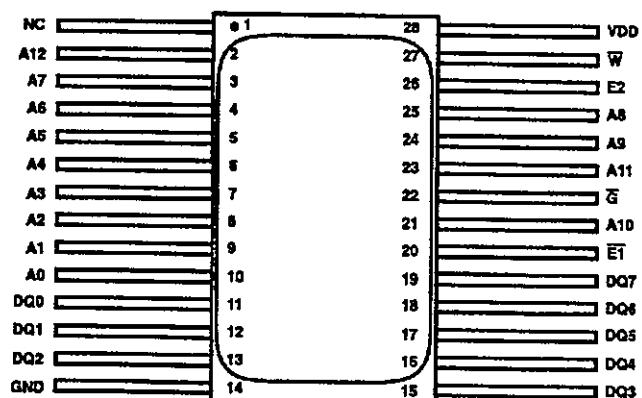
HS-65647RH

Pinouts

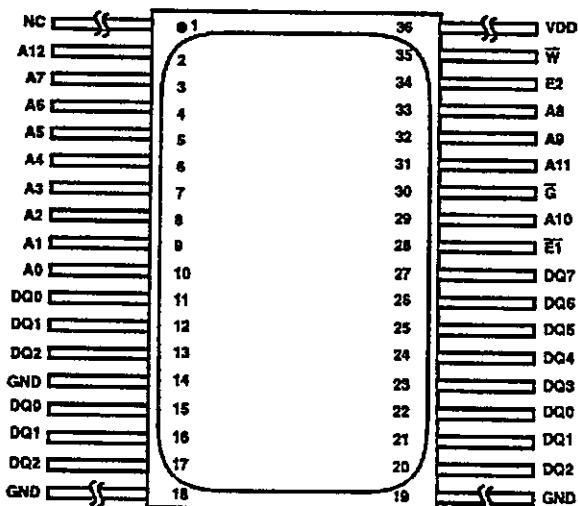
HS1-65647RH 28 LEAD CERAMIC DUAL-IN-LINE
METAL SEAL PACKAGE (SBDIP)
MIL-STD-1835 CDIP2-T28
TOP VIEW



HS9-65647RH 28 LEAD CERAMIC METAL
SEAL FLATPACK PACKAGE (FLATPACK)
MIL-STD-1835 CDFP3-F28
TOP VIEW



HS9A-65647RH 36 LEAD CERAMIC METAL
SEAL FLATPACK PACKAGE (FLATPACK)
HARRIS OUTLINE K36.A
TOP VIEW



Spec Number 518729

■ 4302271 0063430 93T ■

2

Specifications HS-65647RH

Absolute Maximum Ratings

Supply Voltage	+7.0V
Input, Output or I/O Voltage	GND-0.3V to VDD+0.3V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	+175°C
Lead Temperature (Soldering 10s)	+300°C
Typical Derating Factor	3mA/MHz Increase in IDDOP
ESD Classification	Class 1

Reliability Information

	θ_{JA}	θ_{JC}
28 Lead SBDIP Package	45°C/W	8.0°C/W
28/36 Lead Ceramic Flatpack Package	53.4°C/W	7.4°C/W
Maximum Package Power Dissipation at +125°C Ambient		
28 Lead SBDIP Package	1.11W	
28/36 Lead Ceramic Flatpack Package	0.94W	
If device power exceeds package dissipation capability, provide heat sinking or derate linearly at the following rate:		
28 Lead SBDIP Package	22.2mW/C	
28/36 Lead Ceramic Flatpack Package	18.7mW/C	

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range (VDD)	+4.5V to +5.5V	Input High Voltage (VIH)0.8VDD to VDD
Operating Temperature Range (TA)	-55°C to +125°C	Data Retention Supply Voltage	2.0V
Input Low Voltage (VIL)	0V to +0.2VDD	Input Rise and Fall Time	40ns Max.

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
High Level Output Voltage	VOH	VDD = 4.5V, IO = -5mA VI = VDD or GND	1, 2, 3	-55°C, +25°C, +85°C, +125°C	VDD-0.4	-	V
Low Level Output Voltage	VOL	VDD = 4.5V, IO = 8.0mA VI = VDD or GND	1, 2, 3	-55°C, +25°C, +85°C, +125°C	-	0.4	V
High Impedance Output Leakage Current	IOZL or IOZH	VDD = 5.5V, VO = GND or VDD, VI = VDD or GND $E_1 = VDD, E_2 = 0V$	1, 3	-55°C, +25°C	-10	10	μA
			2	+85°C	-30	30	μA
			2	+125°C	-60	60	μA
Input Leakage Current	IIH or IIL	VDD = 5.5V, VI = VDD or GND	1, 2, 3	-55°C, +25°C, +85°C, +125°C	-1.0	1.0	μA
Standby Supply Current (Note 3)	IDDSB	VDD = 5.5V, IO = 0mA, VI = VDD or GND $E_1 = VDD, E_2 = 0V$	1, 3	-55°C, +25°C	-	500	μA
			2	+85°C	-	4	mA
			2	+125°C	-	10	mA
Enable Supply Current	IDDEN	VDD = 5.5V, IO = 0mA, VI = VDD or GND $E_1 = 0.0V, E_2 = VDD$	3	-55°C	-	77	mA
			1	+25°C	-	73	mA
			2	+85°C, +125°C	-	64	mA
Operating Supply Current (Note 2)	IDDOP	VDD = 5.5V, IO = 0mA, VI = VDD or GND, $E_2 = VDD, E_1 = 0V,$ $f = 2MHz$	3	-55°C	-	100	mA
			1	+25°C	-	86	mA
			2	+85°C, +125°C	-	75	mA
Data Retention Supply Current	IDDDR	VDD = 2.0V, IO = 0mA, VI = VDD or GND $E_1 = VDD, E_2 = 0V$	1, 3	-55°C, +25°C	-	50	μA
			2	+85°C	-	1	mA
			2	+125°C	-	4	mA
Functional Tests	FT	VDD = 4.5V and 5.5V VI = VDD or GND, f = 1MHz	7, 8A, 8B	-55°C, +25°C, +85°C, +125°C	-	-	-
Noise Immunity Functional Test	FN	VDD = 4.5, VIL = 0.2 VDD VIH = 0.8 VDD, f = 1MHz	7, 8A, 8B	-55°C, +25°C, +85°C, +125°C	-	-	-

NOTES:

1. All voltages referenced to device GND.
2. Typical IDDOP derating = 3mA/MHz (3mA increase in IDDOP per 1MHz increase in address frequency.)
3. In order for this device to be in low power standby mode, E2 must be disabled (low).

Spec Number 518729

■ 4302271 0063431 876 ■

Specifications HS-65647RH

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTES 1, 2, 3) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Address Access Time	TAVQV	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	-	50	ns
Output Enable Access Time	TGLQV	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	-	15	ns
Chip Enable Access Time	TE1LQV TE2HQV	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	-	50	ns
Write Recovery Time	TWHAX TE1HAX TE2LAX	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	0	-	ns
Chip Enable to End-of-Write	TE1LE1H TE2HE2L	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	35	-	ns
Address Setup Time	TAVWL TAVE1L TAVE2H	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	5	-	ns
Write Enable Pulse Width	TWLWH	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	25	-	ns
Data Setup Time	TDVWH	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	30	-	ns
	TDVE1H TDVE2L	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	30	-	ns
Data Hold Time	TWHDX	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	0	-	ns
Address Hold Time	TAVE1H TAVE2L	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	40	-	ns
	TE2LDX TE1HDX	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +85°C, +125°C	0	-	ns

NOTES:

1. AC measurements tested at worst case VDD. Guaranteed over full operating range.
2. AC measurements assume transition time $\leq 5\text{ns}$; input levels = 0.0V to VDD; timing reference levels = 2.0V; output load = 1 TTL equivalent load and $CL \geq 50\text{pF}$, for $CL > 50\text{pF}$, access times are derated 0.15ns/pF.
3. For timing waveforms, see Low Voltage Data Retention and Read/Write Cycles.

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Input Capacitance	CIN	VDD = Open, f = 1MHz	1, 2, 4	$T_A = +25^\circ\text{C}$	-	12	pF
		VDD = Open, f = 1MHz	1, 2, 4	$T_A = +25^\circ\text{C}$	-	12	pF
I/O Capacitance	CI/O	VDD = Open, f = 1MHz	1, 2, 4	$T_A = +25^\circ\text{C}$	-	12	pF
		VDD = Open, f = 1MHz	1, 2, 4	$T_A = +25^\circ\text{C}$	-	12	pF
Write Enable to Output in High Z	TWLQZ	VDD = 4.5V and 5.5V	1	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-	10	ns

■ 4302271 0063432 702 ■

Spec Number 518729

Specifications HS-65647RH

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Write Enable High to Output ON	TWHQX	VDD = 4.5V and 5.5V	1	-55°C ≤ TA ≤ +125°C	0	-	ns
Chip Enable to Output ON	TE1LQX TE2HQX	VDD = 4.5V and 5.5V	1	-55°C ≤ TA ≤ +125°C	0	-	ns
Output Enable to Output ON	TGLQX	VDD = 4.5V and 5.5V	1	-55°C ≤ TA ≤ +125°C	0	-	ns
Chip Enable to Output in High Z	TE1HQZ TE2LQZ	VDD = 4.5V and 5.5V	1	-55°C ≤ TA ≤ +125°C	-	15	ns
Output Disable to Output in High Z	TGHQZ	VDD = 4.5V and 5.5V	1	-55°C ≤ TA ≤ +125°C	-	15	ns
Output Hold from Address Change	TAXQX	VDD = 4.5V and 5.5V	1	-55°C ≤ TA ≤ +125°C	0	-	ns

NOTES:

1. The parameters listed are controlled via design or process parameters and are not directly tested. These parameters are characterized upon initial design release and upon design changes which would affect these characteristics.
2. Applies to DIP device types only.
3. Applies to Flatpack device types only.
4. All measurements referenced to device GND.

TABLE 4. POST 300K RAD DC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	TEMPERATURE	LIMITS		UNITS
				MIN	MAX	
Standby Supply Current	IDDSB	VDD = 5.5V, IO = 0mA, E1 = VDD, E2 = 0V, VI = VDD or GND	+25°C	-	10	mA
Enabled Supply Current	IDDEN	VDD = 5.5V, IO = 0mA, E1 = 0.0V, E2 = VDD, VI = VDD or GND	+25°C	-	82	mA
Operating Supply Current (Note 2)	IDDOP	VDD = 5.5V, IO = 0mA, f = 2MHz, E = 0V, VI = VDD or GND	+25°C	-	100	mA
Data Retention Supply Current	IDDDR	VDD = 2.0V, IO = 0mA, E = VDD	+25°C	-	6	mA

NOTES:

1. DC parameters not listed in this table are tested at the +25°C pre-irradiation test limits. All AC parameters are tested at the +25°C pre-irradiation test limits.
2. Typical IDDOP derating = 3mA/MHz (3mA increase in IDDOP per 1MHz increase in address frequency.)

Spec Number **518729**

■ 4302271 0063433 649 ■

TABLE 5. BURN-IN DELTA PARAMETERS (+25°C), GROUP B, SUBGROUP 5

PARAMETER	SYMBOL	DELTA LIMITS
Standby Supply Current	IDDSB	$\pm 150\mu A$
High Impedance Output Leakage Current	IOZH, IOZL	$\pm 2\mu A$
Input Leakage Current	IIH, IIL	$\pm 150nA$
Low Level Output Voltage	VOL	$\pm 60mV$
Output High Voltage	VOH	$\pm 150mV$

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS			
		TESTED FOR -Q	RECORDED FOR -Q	TESTED FOR -B	RECORDED FOR -B
Initial Test	100% 5004	1, 7, 9	1 (Note 2)	1, 7, 9	
Interim Test	100% 5004	1, 7, 9, Δ	1, Δ (Note 2)	1, 7, 9	
PDA	100% 5004	1, 7, Δ	-	1, 7	
Final Test	100% 5004	2, 3, 8A, 8B, 10, 11	-	2, 3, 8A, 8B, 10, 11	
Group A (Note 1)	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	-	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Subgroup B5	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11, Δ	1, 2, 3, Δ (Note 2)	N/A	
Subgroup B6	Sample 5005	1, 7, 9	-	N/A	
Group C	Sample 5005	N/A	N/A	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Group D	Sample 5005	1, 7, 9	-	1, 7, 9	
Group E, Subgroup 2	Sample 5005	1, 7, 9	-	1, 7, 9	

NOTES:

1. Alternate Group A testing in accordance with MIL-STD-883 method 5005 may be exercised.
2. Table 5 parameters only

4302271 0063434 585

6

Spec Number 518729

Harris Space Level Product Flow -Q

Wafer Lot Acceptance (All Lots) Method 5007 (Includes SEM)	100% Interim Electrical Test 1 (T1) 100% Delta Calculation (T0-T1)
GAMMA Radiation Verification (Each Wafer) Method 1019, 2 Samples/Wafer, 0 Rejects	100% PDA 1, Method 5004 (Note 1) 100% Dynamic Burn-In, Condition D, 240 Hours, +125°C or Equivalent, Method 1015
100% Nondestructive Bond Pull, Method 2023	100% Interim Electrical Test 2(T2)
Sample - Wire Bond Pull Monitor, Method 2011	100% Delta Calculation (T0-T2)
Sample - Die Shear Monitor, Method 2019 or 2027	100% PDA 2, Method 5004 (Note 1) 100% Final Electrical Test
100% Internal Visual Inspection, Method 2010, Condition A	100% Fine/Gross Leak, Method 1014
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	100% Radiographic (X-Ray), Method 2012 (Note 2) 100% External Visual, Method 2009
100% Constant Acceleration, Method 2001, Condition per Method 5004	Sample - Group A, Method 5005 (Note 3) Sample - Group B, Method 5005 (Note 4) Sample - Group D, Method 5005 (Notes 4 and 5)
100% PIND, Method 2020, Condition A	100% Data Package Generation (Note 6)
100% External Visual	
100% Serialization	
100% Initial Electrical Test (T0)	
100% Static Burn-In 1, Condition A or B, 72 Hours Min, +125°C Min, Method 1015	

NOTES:

1. Failures from subgroup 1, 7 and deltas are used for calculating PDA. The maximum allowable PDA = 5% with no more than 3% of the failures from subgroup 7.
2. Radiographic (X-Ray) inspection may be performed at any point after serialization as allowed by Method 5004.
3. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
4. Group B and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B Test, Group Samples, Group D Test and Group D Samples.
5. Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group D Generic Data. Generic data is not guaranteed to be available and is therefore not available in all cases.
6. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - Wafer Lot Acceptance Report (Method 5007). Includes reproductions of SEM photos with percent of step coverage.
 - GAMMA Radiation Report. Contains Cover page, disposition, Rad Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - X-Ray report and film. Includes penetrometer measurements.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Lot Serial Number Sheet (Good units serial number and lot number).
 - Variables Data (All Delta operations). Data is identified by serial number. Data header includes lot number and date of test.
 - Group B and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

■ 4302271 0063435 411 ■

Harris Space Level Product Flow -8

GAMMA Radiation Verification (Each Wafer) Method 1019, 2 Samples/Wafer, 0 Rejects	100% Dynamic Burn-In, Condition D, 160 Hours, +125°C or Equivalent, Method 1015
Periodic- Wire Bond Pull Monitor, Method 2011	100% Interim Electrical Test
Periodic- Die Shear Monitor, Method 2019 or 2027	100% PDA, Method 5004 (Note 1)
100% Internal Visual Inspection, Method 2010, Condition B	100% Final Electrical Test
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	100% Fine/Gross Leak, Method 1014
100% Constant Acceleration, Method 2001, Condition per Method 5004	100% External Visual, Method 2009
100% External Visual	Sample - Group A, Method 5005 (Note 2)
100% Initial Electrical Test	Sample - Group B, Method 5005 (Note 3)
	Sample - Group C, Method 5005 (Notes 3 and 4)
	Sample - Group D, Method 5005 (Notes 3 and 4)
	100% Data Package Generation (Note 5)

NOTES:

1. Failures from subgroup 1, 7 are used for calculating PDA. The maximum allowable PDA = 5%.
2. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
3. Group B, C and D Inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B Test, Group C Test, Group C Samples, Group D Test and Group D Samples.
4. Group C and/or Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group C Generic Data and/or Group D Generic Data. Generic data is not guaranteed to be available and is therefore not available in all cases.
5. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - GAMMA Radiation Report. Contains Cover page, disposition, Rad Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Group B, C and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

■ 4302271 0063436 358 ■

Spec Number 518729

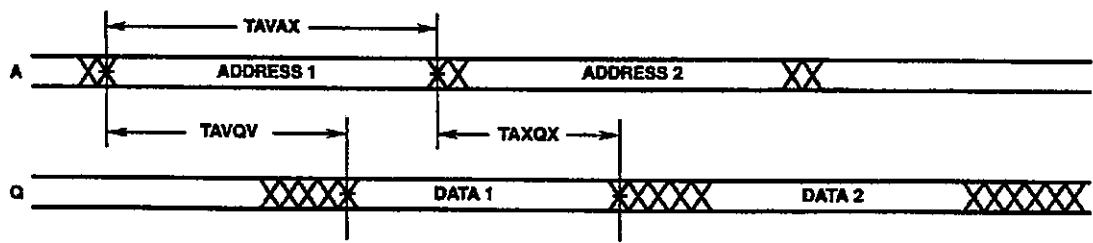
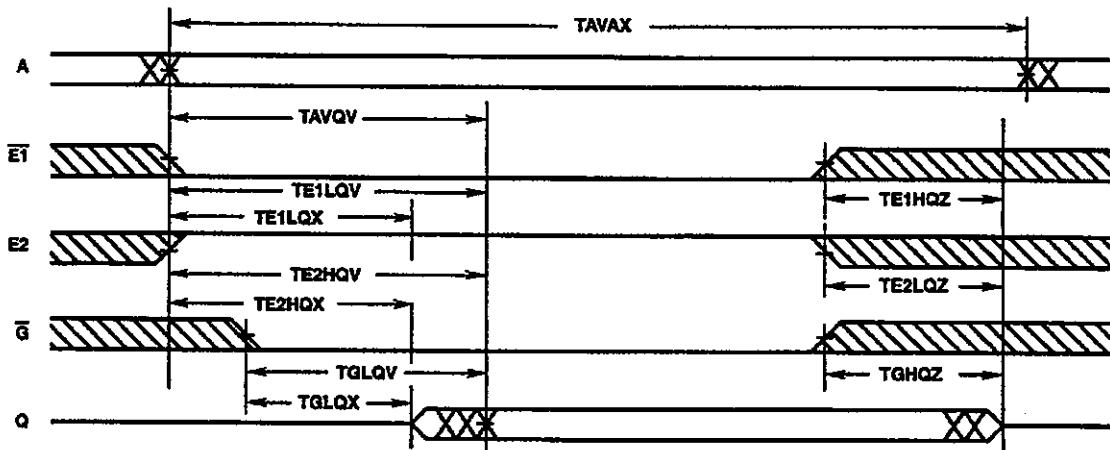
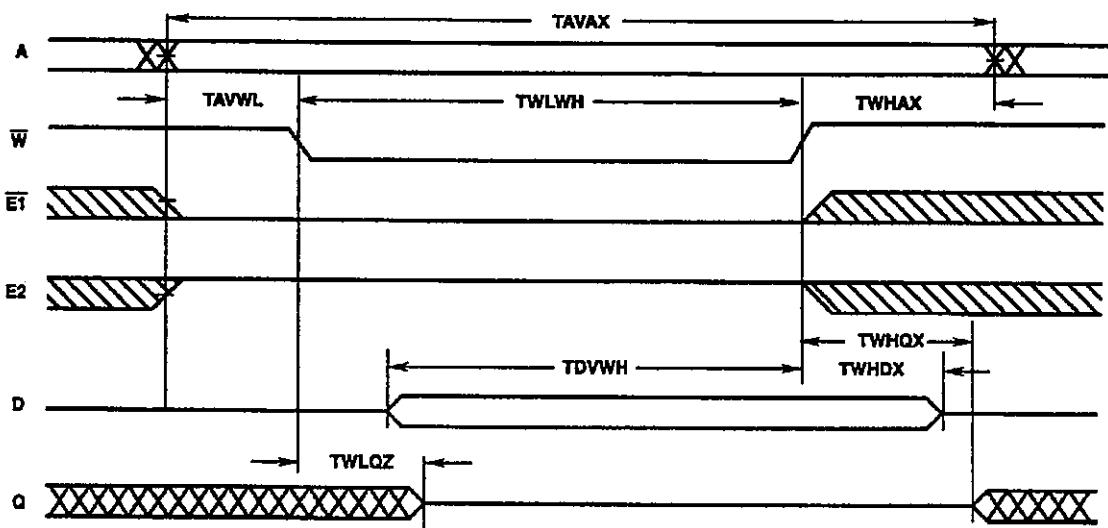
Timing WaveformsFIGURE 1. READ CYCLE I: \overline{W} , E2 HIGH; \overline{G} , $\overline{E1}$ LOWFIGURE 2. READ CYCLE II: \overline{W} HIGH

FIGURE 3. WRITE CYCLE I: LATE WRITE

4302271 0063437 294

Spec Number 518729

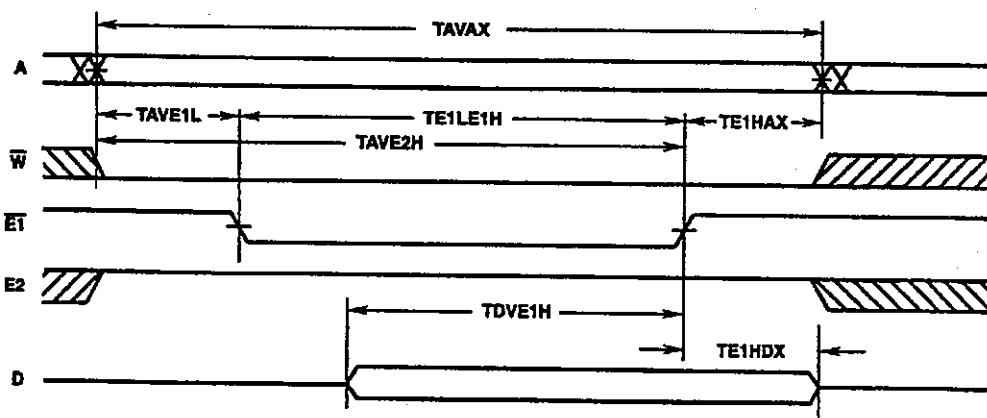
Timing Waveforms (Continued)

FIGURE 4. WRITE CYCLE II: EARLY WRITE - CONTROLLED BY E1

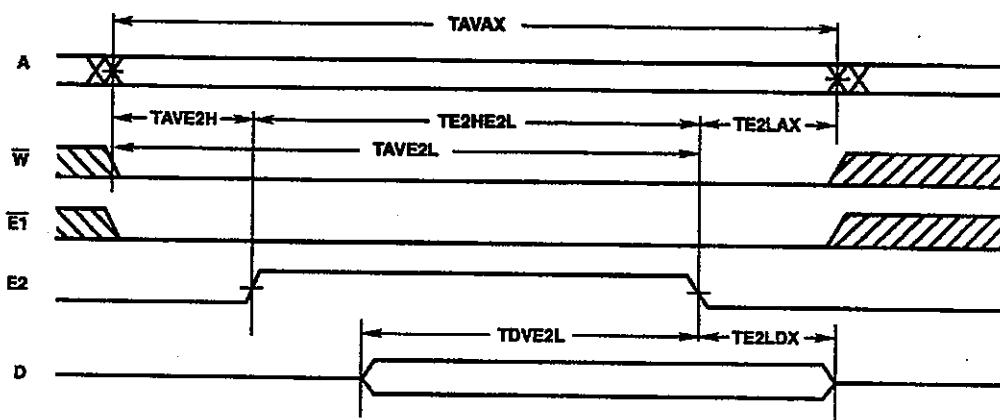


FIGURE 5. WRITE CYCLE III: EARLY WRITE - CONTROLLED BY E2

4302271 0063438 120

10

Spec Number 518729

Performance Curves

HS-65647RH TYPICAL PERFORMANCE CHARACTERISTICS
 $T_A = +25^\circ\text{C}$, Unless Otherwise Specified

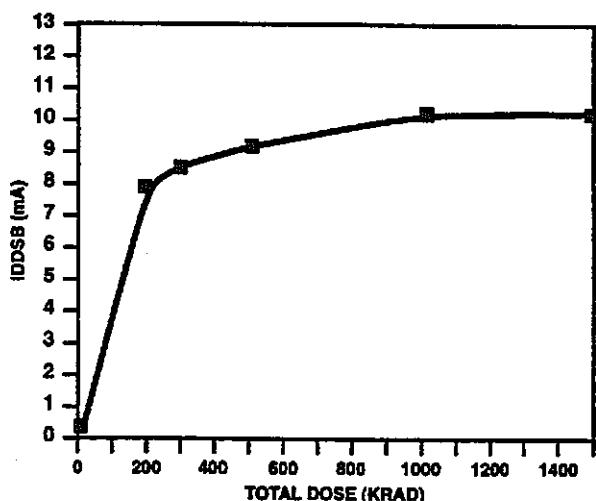


FIGURE 6

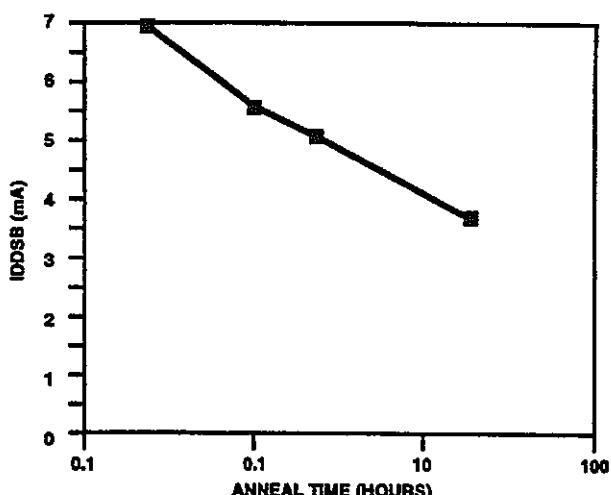


FIGURE 7

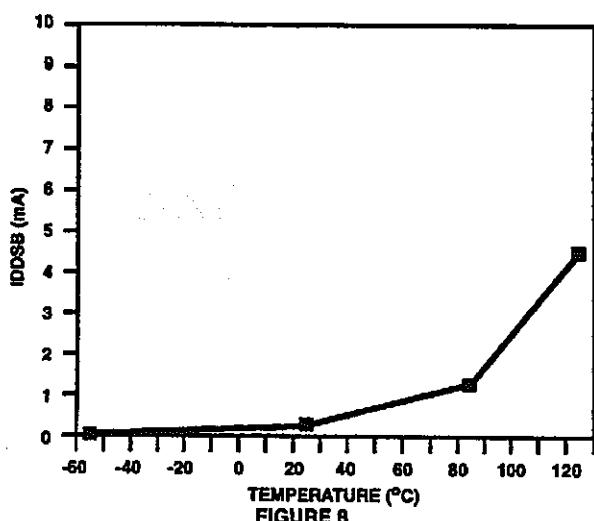


FIGURE 8

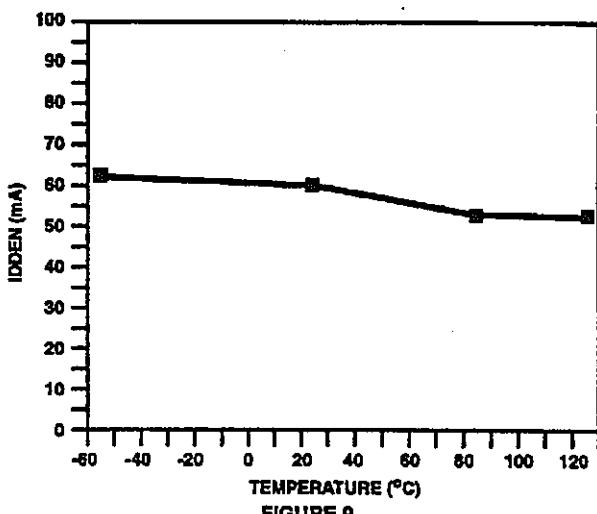


FIGURE 9

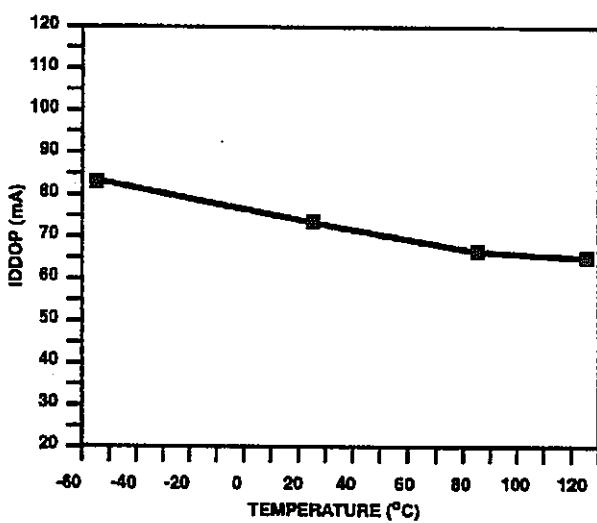


FIGURE 10

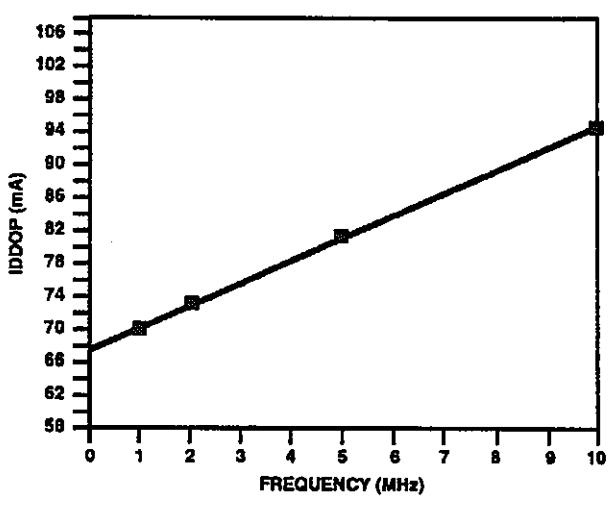


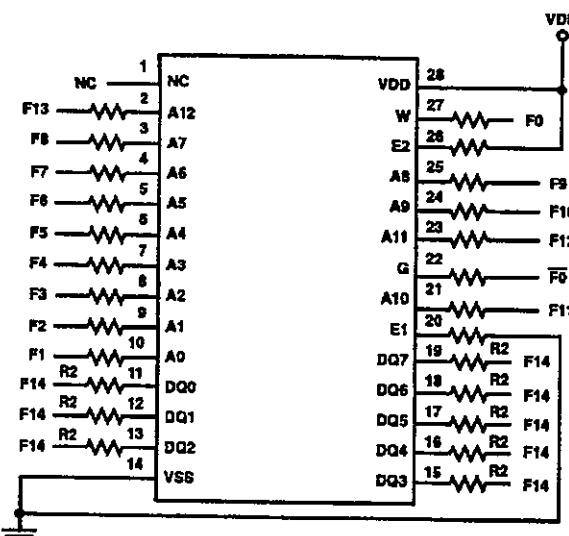
FIGURE 11

■ 4302271 0063439 067 ■

Spec Number 518729

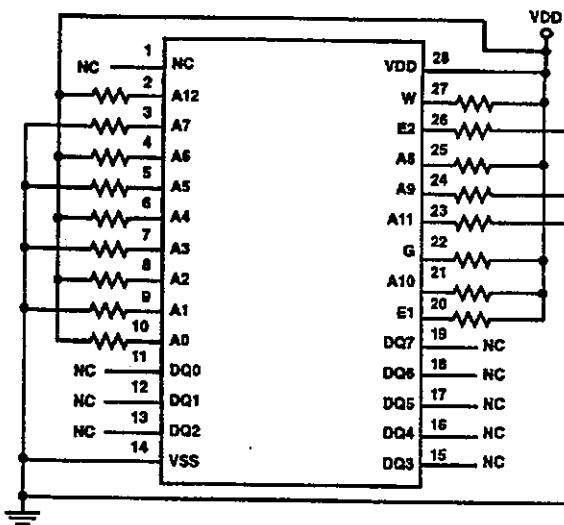
Burn-In Circuits

HS-65647RH 28 LEAD FLATPACK AND CERAMIC DIP

**DYNAMIC CONFIGURATION****NOTES:**

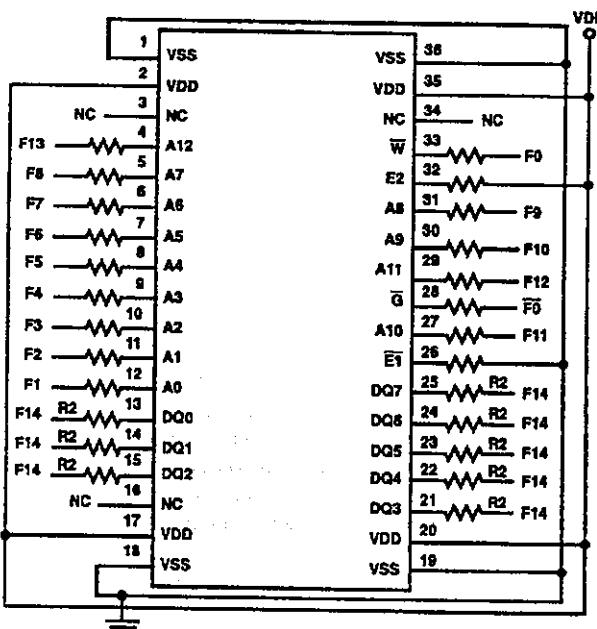
1. VDD = 5.5V Min
2. R = $10k\Omega \pm 10\%$, except R2 = $47k\Omega \pm 10\%$
3. VIH: $VDD \pm 0.5V$, Vil: $0.4V \pm 0.4V$
4. F0 = $100kHz \pm 10\%$, 50% Duty Cycle
5. F1 = F0/2; F2 = F1/2; F3 = F2/2; ... F14 = F13/2
6. \bar{F}_0 = inverted F0

HS-65647RH 28 LEAD FLATPACK AND CERAMIC DIP

**STATIC CONFIGURATION****NOTES:**

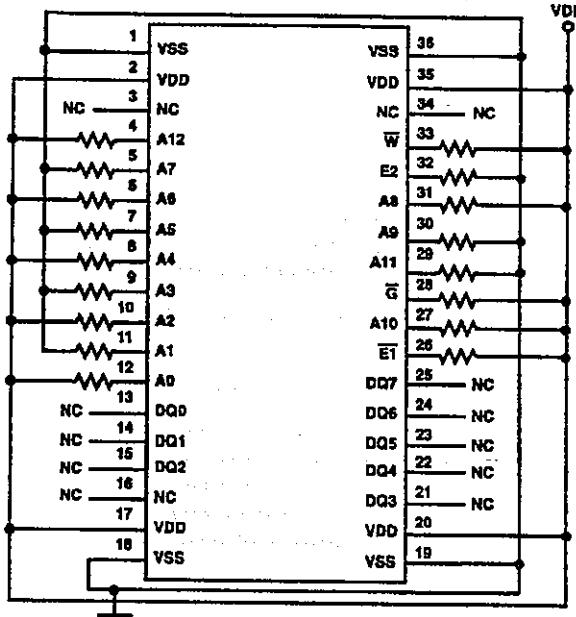
1. VDD = 5.5V Min
2. R = $10k\Omega \pm 10\%$

HS-65647RH 36 LEAD FLATPACK

**DYNAMIC CONFIGURATION****NOTES:**

1. VDD = 5.5V Min
2. R = $10k\Omega \pm 10\%$, except R2 = $4.7k\Omega \pm 10\%$
3. VIH: $VDD \pm 0.5V$, Vil: $0.4V \pm 0.4V$
4. F0 = $100kHz \pm 10\%$, 50% Duty Cycle
5. F1 = F0/2; F2 = F1/2; F3 = F2/2; ... F14 = F13/2
6. \bar{F}_0 = Inverted F0

HS-65647RH 36 LEAD FLATPACK

**STATIC CONFIGURATION****NOTES:**

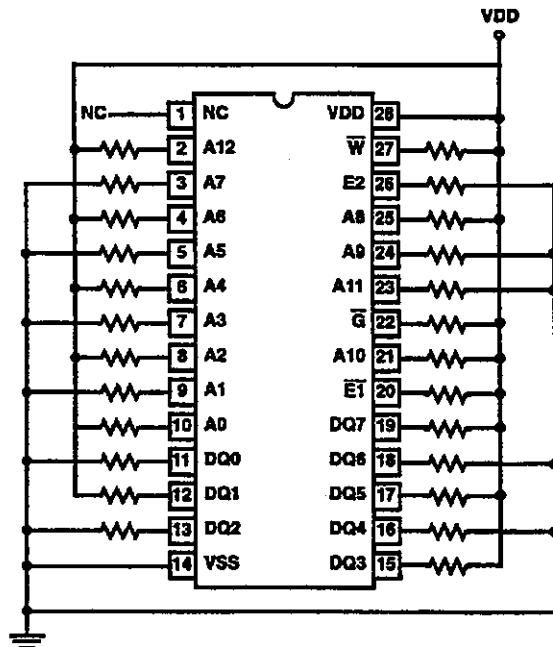
1. VDD = 5.5V Min
2. R = $10k\Omega \pm 10\%$

■ 4302271 0063440 869 ■

Spec Number 518729

Irradiation Circuit

HS-65647RH (8K x 8 TSOS4 SRAM) 28 LEAD CERAMIC DIP

**NOTES:**

1. $V_{DD} = 5.5V \pm 0.5V$
 $R = 10k\Omega \pm 10\%$
2. Group E sample size is two die/wafer.

Test Patterns**MARCH (II)PATTERN**

After a background of zeros is written, each cell (from beginning to end in sequence) is read, written to a one and reread. When the array is full of ones each cell (from the end to the beginning) is read, restored to a zero and reread.

After this the pattern is repeated but with complemented data.

MASEST PATTERN (Multiple Address Select Pattern)

A checkerboard pattern is written into the memory. Then the first cell is read, then its binary address complement is read. The second cell is read and then its binary address complement is read. This pattern of incrementing the address and then reading its binary address complement is repeated until the entire memory is read.

This is then repeated but using a checkerboard bar pattern.

GALROW PATTERN (Row Galloping Pattern)

After a background of zeros is written into the memory a one is written into the first cell. It is then read alternately with

each other cell in the row. The test cell is then rewritten back to a zero. The test cell is then incremented and the sequence is repeated until all cells in the memory have been used as a test cell.

This is pattern then repeated but using complemented data.

GALCOL PATTERN (Column Galloping Pattern)

After a background of zeros is written into the memory a one is written into the first cell. It is then read alternately with each other cell in the column. The test cell is then rewritten back to a zero. The test cell is then incremented and the sequence is repeated until all cells in the memory have been used as a test cell.

This is pattern then repeated but using complemented data.

CHECKERBOARD PATTERN and CHECKERBOARD BAR

A checkerboard is written (101010) into the memory and then the pattern is read back. This is then repeated but using complemented data.

4302271 0063441 715

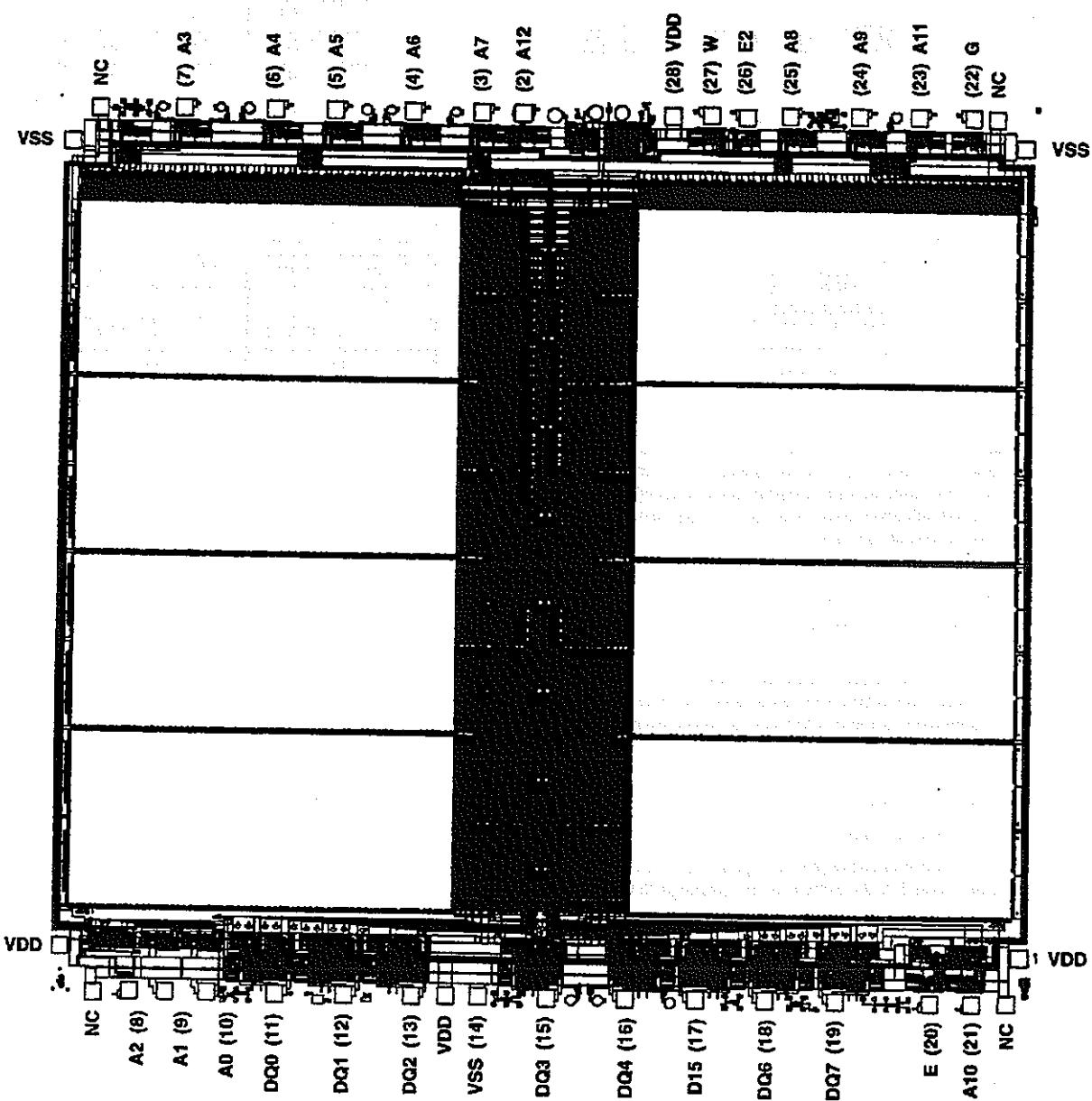
Spec Number 518729

Metallization Topology**DIE DIMENSIONS:**313 x 291 x 21 \pm 1 mils**METALLIZATION:**

Type: Al/Si/Cu

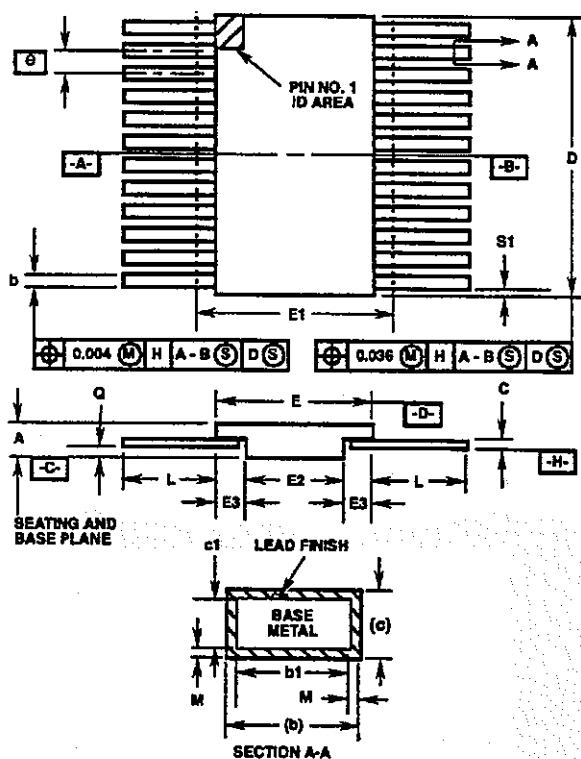
Metal 1 Thickness: 7500 Å \pm 2kÅMetal 2 Thickness: 10kÅ \pm 2kÅ**GLASSIVATION:**Type: SiO₂Thickness: 8kÅ \pm 1kÅ**WORST CASE CURRENT DENSITY:**1.5 x 10⁵ Amps/cm²***Metallization Mask Layout***

HS-65647RH



4302271 0063442 651

Spec Number 518729

Packaging

K36.A
36 LEAD CERAMIC METAL SEAL FLATPACK PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.138	-	3.51	-
b	0.006	0.013	0.15	0.33	-
b1	0.006	0.010	0.15	0.25	-
c	0.004	0.011	0.10	0.28	-
c1	0.004	0.008	0.10	0.20	-
D	0.620	0.640	15.75	16.26	3
E	0.620	0.640	15.75	8.64	-
E1	-	0.660	-	16.76	3
E2	0.470	0.490	11.94	12.45	-
E3	0.030	-	0.76	-	7
e	0.025 BSC	0.64 BSC	-	-	-
k	-	-	-	-	-
L	0.240	0.280	6.10	7.11	-
Q	0.026	0.045	0.66	1.14	8
S1	-	-	-	-	-
M	-	0.0015	-	0.04	-
N	36		36		-

Rev. 0 5/18/94

NOTES:

1. Index area: A notch or a pin one identification mark shall be located adjacent to pin one and shall be located within the shaded area shown. The manufacturer's identification shall not be used as a pin one identification mark. Alternately, a tab (dimension k) may be used to identify pin one.
2. If a pin one identification mark is used in addition to a tab, the limits of dimension k do not apply.
3. This dimension allows for off-center lid, meniscus, and glass overrun.
4. Dimensions b1 and c1 apply to lead base metal only. Dimension M applies to lead plating and finish thickness. The maximum limits of lead dimensions b and c or M shall be measured at the centroid of the finished lead surfaces, when solder dip or tin plate lead finish is applied.
5. N is the maximum number of terminal positions.
6. Measure dimension S1 at all four corners.
7. For bottom-brazed lead packages, no organic or polymeric materials shall be molded to the bottom of the package to cover the leads.
8. Dimension Q shall be measured at the point of exit (beyond the meniscus) of the lead from the body. Dimension Q minimum shall be reduced by 0.0015 inch (0.038mm) maximum when solder dip lead finish is applied.
9. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
10. Controlling dimension: INCH.

4302271 0063443 598

Spec Number 518729

2. HS-6617RH

- ・用途 : プログラム格納用メモリ
- ・機能 : 2 K × 8 Programmable ROM
- ・耐放射線性 : TOTAL DOSE 1×10^5 Rad (Si)
- ・スタンバイ電力 : 1. 1 mW (MAX)
- ・動作電力 : 137. 5 mW/MHz (MAX)
- ・アクセスタイム : 100 ns (MAX)
- ・動作温度範囲 : -55 ~ +125 °C

August 1995

Radiation Hardened 2K x 8 CMOS PROM

Features

- Total Dose 1×10^5 RAD (Si)
- Latch-Up Free $> 1 \times 10^{12}$ RAD (Si)/s
- Field Programmable
- Functionally Equivalent to HM-6617
- Pin Compatible with Intel 2716
- Low Standby Power 1.1mW Max
- Low Operating Power 137.5mW/MHz Max
- Fast Access Time 100ns Max
- TTL Compatible Inputs/Outputs
- Synchronous Operation
- On Chip Address Latches
- Three-State Outputs
- Nicrome Fuse Links
- Easy Microprocessor Interfacing
- Military Temperature Range -55°C to +125°C

Description

The Harris HS-6617RH is a radiation hardened 16K CMOS PROM, organized in a 2K word by 8-bit format. The chip is manufactured using a radiation hardened CMOS process, and is designed to be functionally equivalent to the HM-6617. Synchronous circuit design techniques combine with CMOS processing to give this device high speed performance with very low power dissipation.

On chip address latches are provided, allowing easy interfacing with recent generation microprocessors that use multiplexed address/data bus structure, such as the HS-80C85RH or HS-80C86RH. The output enable control (\bar{G}) simplifies microprocessor system interfacing by allowing output data bus control, in addition to, the chip enable control. Synchronous operation of the HS-6617RH is ideal for high speed pipe-lined architecture systems and also in synchronous logic replacement functions.

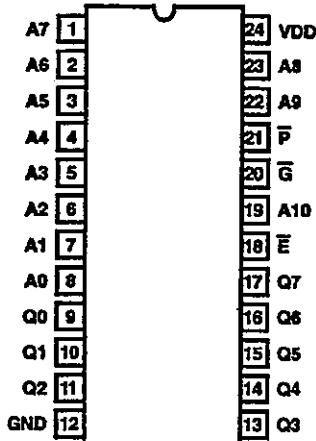
Applications for the HS-6617RH CMOS PROM include low power microprocessor based instrumentation and communications systems, remote data acquisition and processing systems, processor control store, and synchronous logic replacement.

Ordering Information

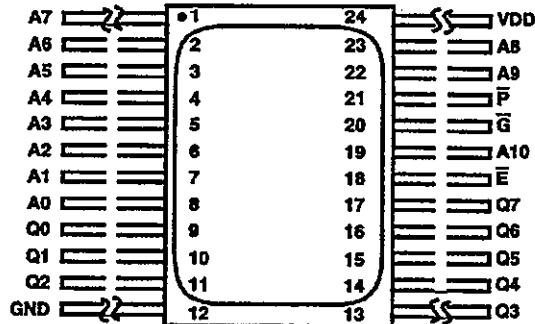
PART NUMBER	TEMPERATURE RANGE	PACKAGE
HS1-6617RH-Q	-55°C to +125°C	24 Lead SBDIP
HS1-6617RH-8	-55°C to +125°C	24 Lead SBDIP
HS1-6617RH/SAMPLE	25°C	24 Lead SBDIP
HS1-6617RH/PROTO	-55°C to +125°C	24 Lead SBDIP
HS9-6617RH-Q	-55°C to +125°C	24 Lead Flatpack
HS9-6617RH-8	-55°C to +125°C	24 Lead Flatpack
HS9-6617RH/Sample	25°C	24 Lead Flatpack
HS9-6617RH/PROTO	-55°C to +125°C	24 Lead Flatpack

Pinouts

24 LEAD CERAMIC DUAL-IN-LINE
METAL SEAL PACKAGE (SBDIP)
MIL-STD-1835 CDIP2-T24
TOP VIEW



24 LEAD CERAMIC METAL SEAL FLATPACK
PACKAGE (FLATPACK)
MIL-STD-1835 CDFP4-F24
TOP VIEW



PIN	DESCRIPTION
A	Address Input
Q	Data Output
\bar{E}	Chip Enable
\bar{G}	Output Enable
\bar{P}	Program Enable (\bar{P} Hardwired to VDD, except during programming)

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

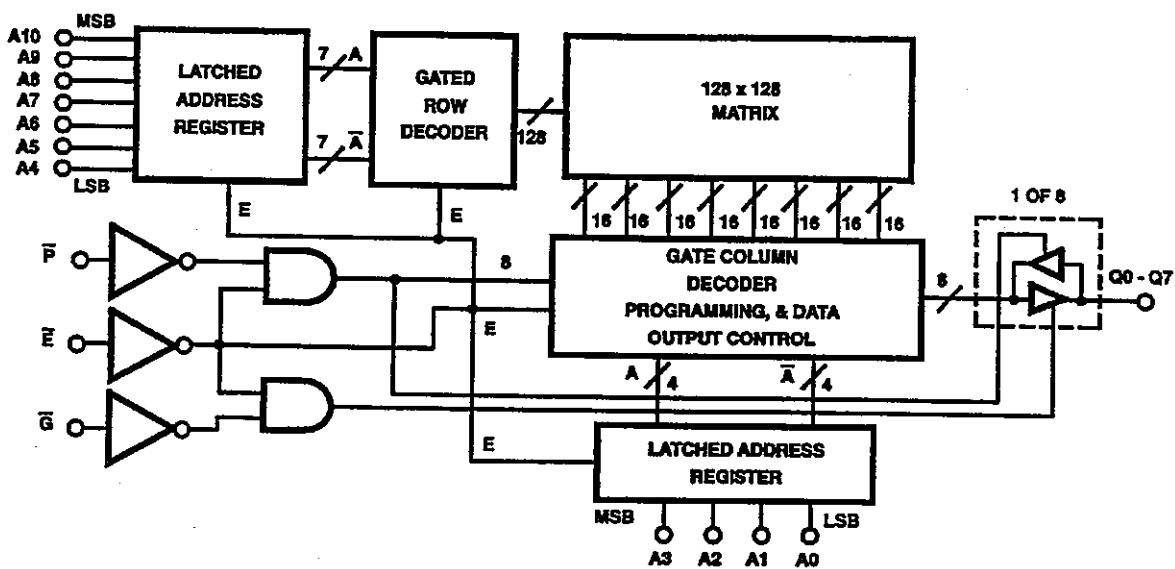
Copyright © Harris Corporation 1995

■ 4302271 0063444 424 ■

1

Spec Number 518742

File Number 3033.3

Functional Diagram

ALL LINES POSITIVE LOGIC:

ACTIVE HIGH

THREE STATE BUFFERS:

A HIGH → OUTPUT ACTIVE

ADDRESS LATCHES & GATED DECODERS:

LATCH ON FALLING EDGE OF \bar{E} GATE ON FALLING EDGE OF \bar{G} \bar{P} = HARDWIRED TO VDD EXCEPT DURING PROGRAMMING

TRUTH TABLE

\bar{E}	\bar{G}	MODE
0	0	Enabled
0	1	Output Disabled
1	X	Disabled

■ 4302271 0063445 360 ■

2

Spec Number 518742

Specifications HS-6617RH

Absolute Maximum Ratings

Supply Voltage (All Voltages Reference to Device GND)	+7.0V
Input or Output Voltage	
Applied for All Grades.	GND-0.3V to VDD+0.3V
Storage Temperature Range	-65°C to +150°C
Junction Temperature.	+175°C
Lead Temperature (Soldering 10s).	+300°C
ESD Classification	Class 1

Reliability Information

	θ_{JA}	θ_{JC}
Sidebraze DIP Package	40°C/W	5°C/W
Ceramic Flatpack Package	60°C/W	4°C/W
Maximum Package Power Dissipation at +125°C		
Sidebraze DIP Package	1.251W	
Ceramic Flatpack Package	0.83W	
If device power exceeds package dissipation capability, provide heat sinking or derate linearly at the following rate:		
Sidebraze DIP Package	25.0mW/C	
Ceramic Flatpack Package	16.7mW/C	

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Supply Voltage Range (VDD)	+4.5V to +5.5V	Input Low Voltage (VIL)0V to +0.8V
Operating Temperature Range (T _A)	-55°C to +125°C	Input High Voltage (VIH)	+2.4V to VDD

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

Device Guaranteed and 100% Tested.

PARAMETER	SYMBOL	(NOTES 1, 2) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
High Level Output Voltage	V _{OH}	V _{DD} = 4.5V, I _O = -2.0mA	1, 2, 3	-55°C ≤ T _A ≤ +125°C	2.4	-	V
Low Level Output Voltage	V _{OL}	V _{DD} = 4.5V, I _O = 4.8mA	1, 2, 3	-55°C ≤ T _A ≤ +125°C	-	0.4	V
High Impedance Output Leakage Current	I _{OZ}	V _{DD} = 5.5V, G = 5.5V, V _{I/O} = GND or V _{DD}	1, 2, 3	-55°C ≤ T _A ≤ +125°C	-10.0	10.0	μA
Input Leakage Current	I _I	V _{DD} = 5.5V, V _I = GND or V _{DD} , P Not Tested	1, 2, 3	-55°C ≤ T _A ≤ +125°C	-1.0	1.0	μA
Standby Supply Current	I _{DDSB}	V _{DD} = 5.5V, I _O = 0mA, V _I = V _{DD} or GND	1, 2, 3	-55°C ≤ T _A ≤ +125°C	-	200	μA
Operating Supply Current	I _{DDOP}	V _{DD} = 5.5V, G = GND, (Note 3), f = 1MHz, I _O = 0mA, V _I = V _{DD} or GND	1, 2, 3	-55°C ≤ T _A ≤ +125°C	-	25	mA
Functional Test	F _T	V _{DD} = 4.5V (Note 4)	7, 8A, 8B	-55°C ≤ T _A ≤ +125°C	-	-	-

NOTES:

1. All voltages referenced to device GND.
2. All tests performed with P hardwired to VDD.
3. Typical derating = 20mA/MHz increase in IDDOP.
4. Tested as follows: f = 1MHz, VIH = 2.4V, VIL = 0.8V, IOH = -1mA, IOL = +1mA, VOH ≥ 1.5V, VOL ≤ 1.5V.

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

Device Guaranteed and 100% Tested.

PARAMETERS	SYMBOL	(NOTES 1, 2, 3) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Address Access Time	T _{AVQV}	V _{DD} = 4.5V and 5.5V (Note 4)	9, 10, 11	-55°C ≤ T _A ≤ +125°C	-	120	ns
Output Enable Access Time	T _{GLQV}	V _{DD} = 4.5V and 5.5V	9, 10, 11	-55°C ≤ T _A ≤ +125°C	-	50	ns
Chip Enable Access Time	T _{ELQV}	V _{DD} = 4.5V and 5.5V	9, 10, 11	-55°C ≤ T _A ≤ +125°C	-	100	ns
Address Setup Time	T _{ADEL}	V _{DD} = 4.5V and 5.5V	9, 10, 11	-55°C ≤ T _A ≤ +125°C	20	-	ns

Spec Number 518742

■ 4302271 0063446 2T7 ■

Specifications HS-6617RH

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)
Device Guaranteed and 100% Tested.

PARAMETERS	SYMBOL	(NOTES 1, 2, 3) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Address Hold Time	TELAX	VDD = 4.5V and 5.5V	9, 10, 11	-55°C ≤ TA ≤ +125°C	25	-	ns
Chip Enable Low Width	TELEH	VDD = 4.5V and 5.5V	9, 10, 11	-55°C ≤ TA ≤ +125°C	120	-	ns
Chip Enable High Width	TEHEL	VDD = 4.5V and 5.5V	9, 10, 11	-55°C ≤ TA ≤ +125°C	40	-	ns
Read Cycle Time	TELEL	VDD = 4.5V and 5.5V	9, 10, 11	-55°C ≤ TA ≤ +125°C	160	-	ns

NOTES:

1. All voltages referenced to device GND.
2. AC measurements assume transition time ≤ 5ns; input levels = 0.0V to 3.0V; timing reference levels = 1.5V; output load = 1 TTL equivalent load and CL ≥ 50pF.
3. All tests performed with \bar{P} hardwired to VDD.
4. TAVQV = TELQV + TAVEL.

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS, AC AND DC

PARAMETERS	SYMBOL	(NOTE 2) CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Input Capacitance	CIN	VDD = Open, f = 1MHz	1, 3	TA = +25°C	-	10	pF
I/O Capacitance	C/I/O	VDD = Open, f = 1MHz	1, 3	TA = +25°C	-	12	pF
Chip Enable Time	TELQX	VDD = 4.5V and 5.5V	3	-55°C ≤ TA ≤ +125°C	5	-	ns
Output Enable Time	TGLOX	VDD = 4.5V and 5.5V	3	-55°C ≤ TA ≤ +125°C	5	-	ns
Chip Disable Time	TEHQZ	VDD = 4.5V and 5.5V	3	-55°C ≤ TA ≤ +125°C	-	50	ns
Output Disable Time	TGHQZ	VDD = 4.5V and 5.5V	3	-55°C ≤ TA ≤ +125°C	-	50	ns
Output High Voltage	VOH2	VDD = 4.5V, IO = 100μA	3	-55°C ≤ TA ≤ +125°C	VDD-0.5V	-	V

NOTES:

1. All measurements referenced to device GND.
2. All tests performed with \bar{P} hardwired to VDD.
3. The parameters listed are controlled via design or process parameters and are not directly tested. These parameters are characterized upon initial design and after design or process changes which would affect these characteristics.

TABLE 4. POST 100K RAD AC AND DC ELECTRICAL PERFORMANCE CHARACTERISTICS

NOTE: All AC and DC parameters are tested at the +25°C pre-irradiation limits.

Spec Number 518742

■ 4302271 0063447 133 ■

4

TABLE 5. BURN-IN DELTA PARAMETERS (+25°C)

PARAMETER	SYMBOL	DELTA LIMITS
Standby Supply Current	IDDSB	$\pm 10\mu A$
Input Leakage Current	I _{OZ}	$\pm 1\mu A$
	I _I	$\pm 100nA$
Output Low Voltage	V _{OL}	$\pm 60mV$
Output High Voltage	V _{OH}	$\pm 400mV$

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS			
		TESTED FOR -Q	RECORDED FOR -Q	TESTED FOR -S	RECORDED FOR -S
Initial Test	100% 5004	1, 7, 9	1 (Note 2)	1, 7, 9	
Interim Test	100% 5004	1, 7, 9, Δ	1, Δ (Note 2)	1, 7, 9	
PDA	100% 5004	1, 7, Δ	-	1, 7	
Final Test	100% 5004	2, 3, 8A, 8B, 10, 11	-	2, 3, 8A, 8B, 10, 11	
Group A (Note 1)	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	-	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Subgroup B5	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11, Δ	1, 2, 3, Δ (Note 2)	-	
Subgroup B6	Sample 5005	1, 7, 9	-	-	
Group C	Sample 5005	-	-	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Group D	Sample 5005	1, 7, 9	-	1, 7, 9	
Group E, Subgroup 2	Sample 5005	1, 7, 9	-	1, 7, 9	

NOTES:

1. Alternate Group A testing in accordance with MIL-STD-883 method 5005 may be exercised.
2. Table 5 parameters only

Spec Number 518742

■ 4302271 0063448 07T ■

Harris Space Level Product Flow -Q

Wafer Lot Acceptance (All Lots) Method 5007 (Includes SEM)	100% Interim Electrical Test 1 (T1) 100% Delta Calculation (T0-T1)
GAMMA Radiation Verification (Each Wafer) Method 1019, 2 Samples/Wafer, 0 Rejects	100% PDA 1, Method 5004 (Note 2) 100% Dynamic Burn-In, Condition D, 240 Hours, +125°C or Equivalent, Method 1015
100% Die Attach (Note 1)	100% Interim Electrical Test 2(T2) 100% Delta Calculation (T0-T2)
100% Nondestructive Bond Pull, Method 2023	100% PDA 2, Method 5004 (Note 2) 100% Final Electrical Test
Sample - Wire Bond Pull Monitor, Method 2011	100% Fine/Gross Leak, Method 1014 100% Radiographic (X-Ray), Method 2012 (Note 3)
Sample - Die Shear Monitor, Method 2019 or 2027	100% External Visual, Method 2009
100% Internal Visual Inspection, Method 2010, Condition A	Sample - Group A, Method 5005 (Note 4)
CSI and/or GSI Pre-Cap (Note 8)	Sample - Group B, Method 5005 (Notes 5 and 6)
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	Sample - Group D, Method 5005 (Notes 6 and 7)
100% Constant Acceleration, Method 2001, Condition per Method 5004	100% Data Package Generation (Note 9)
100% PIND, Method 2020, Condition A	CSI and/or GSI Final (Note 8)
100% External Visual	
100% Serialization	
100% Initial Electrical Test (T0)	
100% Static Burn-In 1, Condition A or B, 72 Hours Min, +125°C Min, Method 1015	

NOTES:

1. Epoxy or Silver glass die attach shall be permitted.
2. Failures from subgroup 1, 7 and deltas are used for calculating PDA. The maximum allowable PDA = 5% with no more than 3% of the failures from subgroup 7.
3. Radiographic (X-Ray) inspection may be performed at any point after serialization as allowed by Method 5004.
4. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
5. QCI Subgroup B5 samples are programmed with a checkerboard pattern before life test and pattern tested after life test. Therefore, the Subgroup B5 samples must be considered destruct samples and cannot be shipped as flight quantity.
6. Group B and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B Test, Group Samples, Group D Test and Group D Samples.
7. Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group D Generic Data. Generic data is not guaranteed to be available and is therefore not available in all cases.
8. CSI and/or GSI inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for CSI PreCap inspection, CSI Final Inspection, GSI PreCap inspection, and/or GSI Final Inspection.
9. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - Wafer Lot Acceptance Report (Method 5007). Includes reproductions of SEM photos with percent of step coverage.
 - GAMMA Radiation Report. Contains Cover page, disposition, Rad Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - X-Ray report and film. Includes penetrometer measurements.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Lot Serial Number Sheet (Good units serial number and lot number).
 - Variables Data (All Delta operations). Data is identified by serial number. Data header includes lot number and date of test.
 - Group B and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

4302271 0063449 T06

Spec Number 518742

Harris Space Level Product Flow -8

GAMMA Radiation Verification (Each Wafer) Method 1019, 2 Samples/Wafer, 0 Rejects	100% Dynamic Burn-In, Condition D, 160 Hours, +125°C or Equivalent, Method 1015
100% Die Attach (Note 1)	100% Interim Electrical Test
Periodic-Wire Bond Pull Monitor, Method 2011	100% PDA, Method 5004 (Note 2)
Periodic-Die Shear Monitor, Method 2019 or 2027	100% Final Electrical Test
100% Internal Visual Inspection, Method 2010, Condition B	100% Fine/Gross Leak, Method 1014
CSI and/or GSI Pre-Cap (Note 7)	100% External Visual, Method 2009
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	Sample - Group A, Method 5005 (Note 3)
100% Constant Acceleration, Method 2001, Condition per Method 5004	Sample - Group B, Method 5005 (Note 5)
100% External Visual	Sample - Group C, Method 5005 (Notes 4, 5 and 6)
100% Initial Electrical Test	Sample - Group D, Method 5005 (Notes 5 and 6)
	100% Data Package Generation (Note 8)
	CSI and/or GSI Final (Note 7)

NOTES:

1. Epoxy or Silver glass die attach shall be permitted.
2. Failures from subgroup 1, 7 and deltas are used for calculating PDA. The maximum allowable PDA = 5%.
3. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
4. QCI Group C samples are programmed with a checkerboard pattern before life test and pattern tested after life test. Therefore, the Group C samples must be considered destruct samples and cannot be shipped as flight quantity.
5. Group B, C and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B Test, Group C Test, Group C Samples, Group D Test and Group D Samples.
6. Group C and/or Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group C Generic Data and/or Group D Generic Data. Generic data is not guaranteed to be available and is therefore not available in all cases.
7. CSI and/or GSI inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for CSI PreCap inspection, CSI Final Inspection, GSI PreCap inspection, and/or GSI Final Inspection.
8. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - GAMMA Radiation Report. Contains Cover page, disposition, Rad Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Group B, C and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

Spec Number 518742

4302271 0063450 728

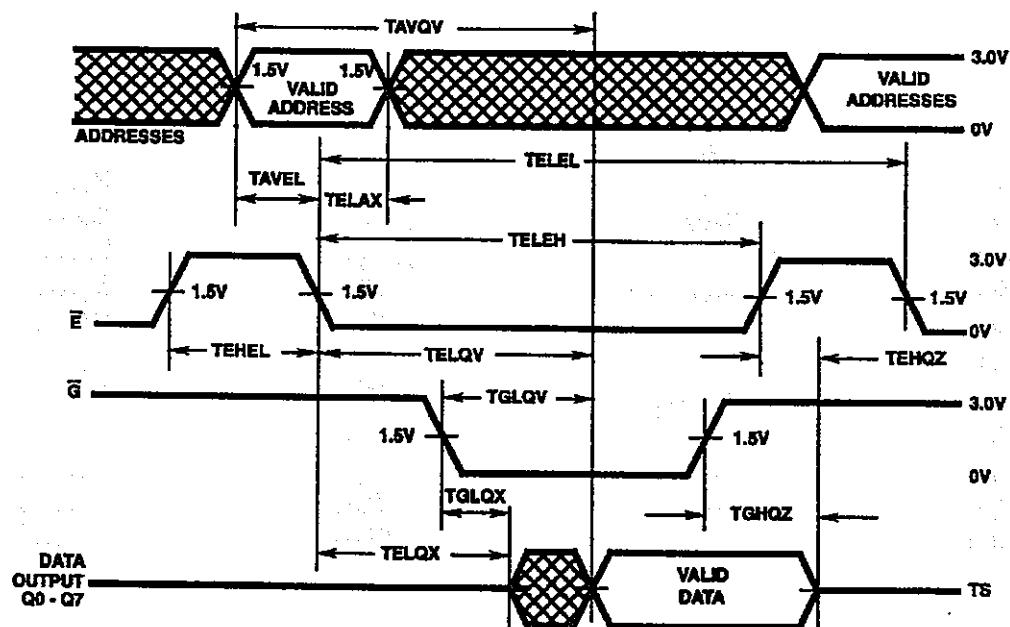
Timing Waveform

FIGURE 1. READ CYCLE

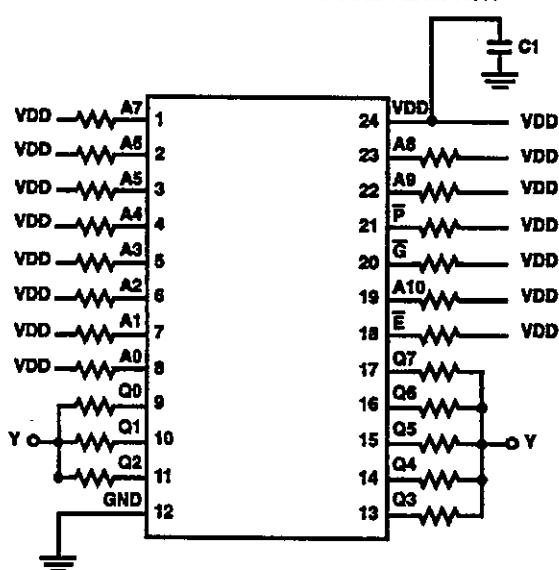
Spec Number 518742

■ 4302271 0063451 664 ■

8

Burn-In Circuits

HS-6617RH 24 LEAD SBDIP AND FLATPACK

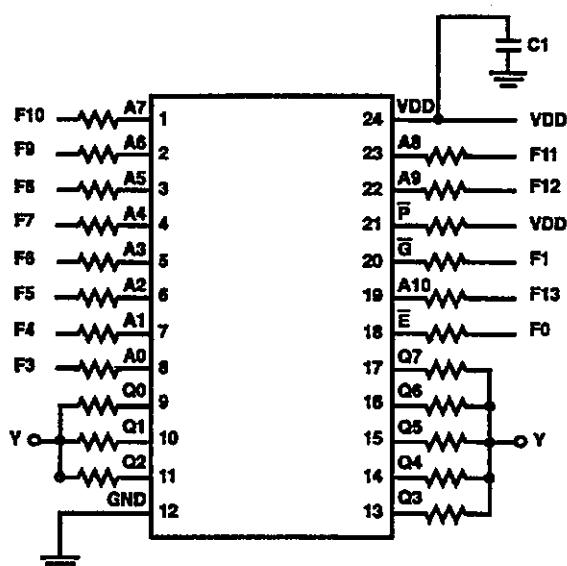


STATIC CONFIGURATION

NOTES:

1. VDD = 6.0V ± 0.5V
2. C1 = 0.01µF (Min)
3. All Resistors = 47kΩ ± 5%
4. Y = 2.7V ± 10%

HS-6617RH 24 LEAD SBDIP AND FLATPACK



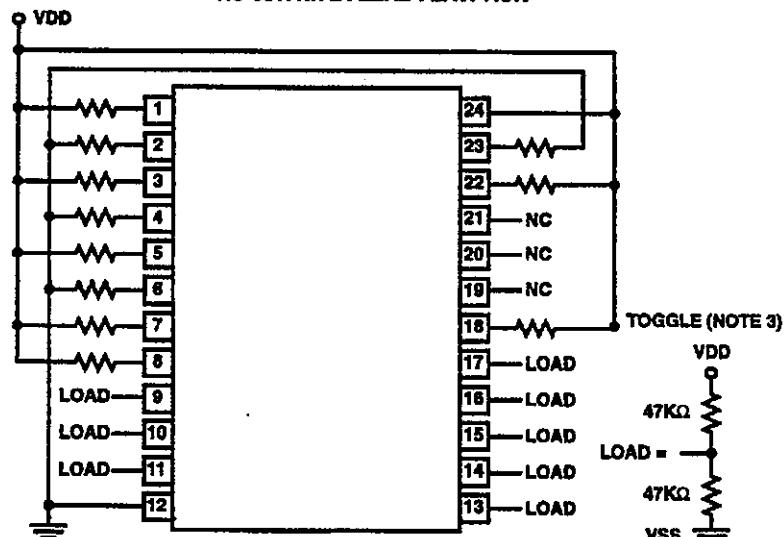
DYNAMIC CONFIGURATION

NOTES:

1. VDD = 6.0V ± 0.5V
2. VIH = 4.5V ± 10%
3. Vil = 0.8V (Max)
4. C1 = 0.01µF (Min)
5. All Resistors = 47kΩ ± 5%
6. F0 = 100KHz ± 10%, 40 - 60% duty cycle
7. F1 = F0/2 ... F13 = F12/2
8. Y = 2.7V ± 10%

Irradiation Circuit

HS-6617RH 24 LEAD FLATPACK



NOTES:

1. Power Supply: VDD = 5.5V
2. All Resistors = 47kΩ
3. Pin 18 is toggled from VSS to VDD then back to VSS and held at VSS during Irradiation.

Spec Number 518742

4302271 0063452 STD

Metallization Topology**DIE DIMENSIONS:**

164 x 250 x 19 ±1 mils

METALLIZATION:

Type: Silicon-Aluminum

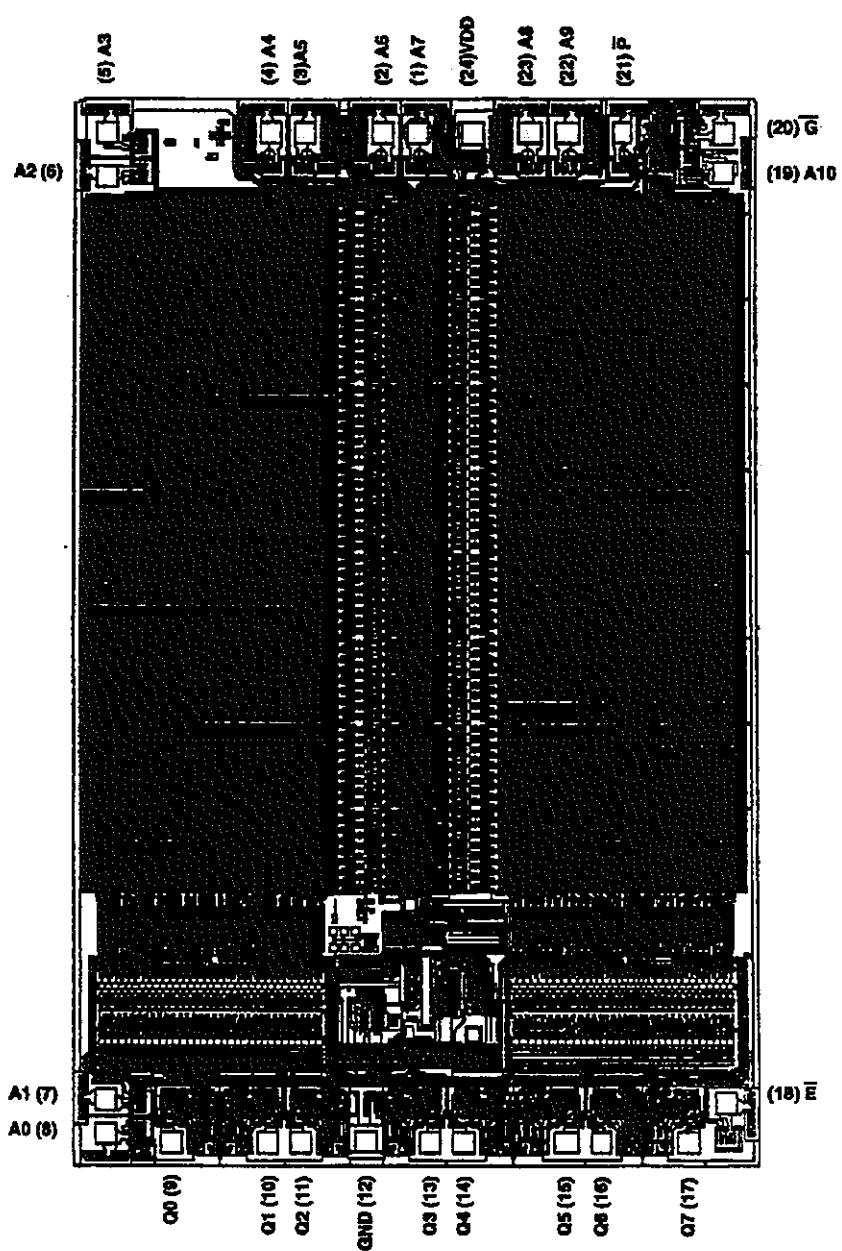
Thickness: 13kÅ ± 2kÅ

GLASSIVATION:Type: SiO₂

Thickness: 8kÅ ± 1kÅ

WORST CASE CURRENT DENSITY:1 x 10⁵ A/cm²**SUBSTRATE POTENTIAL: VDD****Metallization Mask Layout**

HS-6617RH



Spec Number 518742

■ 4302271 0063453 437 ■

10



HS-6617RH

DESIGN INFORMATION

July 1995

2K x 8 CMOS PROM

The information contained in this section has been developed through characterization by Harris Semiconductor and is for use as application and design information only. No guarantee is implied.

Background Information HS-6617RH Programming

PROGRAMMING SPECIFICATIONS

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input "0"	VIL	0.0	0.2	0.8	V	
Voltage "1"	VIH	VDD-2	VDD	VDD+0.3	V	6
Programming VDD	VDDPROG	10.0	10.0	10.0	V	2
Operating VDD	VDD1	4.5	5.5	5.5	V	
Special Verify	VDD2	4.0	-	6.0	V	3
Delay Time	td	1.0	1.0	-	μs	
Rise Time	tr	1.0	10.0	10.0	μs	
Fall Time	tf	1.0	10.0	10.0	μs	
Chip Enable Pulse Width	TEHEL	50	-	-	ns	
Address Valid to Chip Enable Low Time	TAVEL	20	-	-	ns	
Chip Enable Low to Output Valid Time	TELQV	-	-	120	ns	
Programming Pulse Width	tpw	90	100	110	μs	4
Input Leakage at VDD = VDDPROG	tIP	-10	+1.0	10	μA	
Data Output Current at VDD = VDDPROG	IOP	-	-5.0	-10	mA	
Output Pull-Up Resistor	Rn	5	10	15	kΩ	5
Ambient Temperature	T _A	-	25	-	°C	

NOTES:

1. All inputs must track VDD (pin 24) within these limits.
2. VDDPROG must be capable of supplying 500mA. VDDPROG Power Supply tolerance ±3% (Max.)
3. See Steps 22 through 29 of the Programming Algorithm.
4. See Step 11 of the Programming Algorithm.
5. All outputs should be pulled up to VDD through a resistor of value Rn.
6. Except during programming (See Programming Cycle Waveforms).

Spec Number 518742

■ 4302271 0063454 373 ■

11

DESIGN INFORMATION (Continued)

The information contained in this section has been developed through characterization by Harris Semiconductor and is for use as application and design information only. No guarantee is implied.

Background Information Programming

The HS-6617 CMOS PROM is manufactured with all bits containing a logical zero (output low). Any bit can be programmed selectively to a logical one (output high) state by following the procedure shown below. To accomplish this, a programmer can be built that meets the specifications shown, or use of an approved commercial programmer is recommended.

Programming Sequence of Events

1. Apply a voltage of VDD1 to VDD of the PROM.
2. Read all fuse locations to verify that the PROM is blank (output low).
3. Place the PROM in the initial state for programming: $\bar{E} = VIH$, $\bar{P} = VIH$, $\bar{G} = VIL$.
4. Apply the correct binary address for the word to be programmed. No inputs should be left open circuit.
5. After a delay of t_d , apply voltage of VIL to \bar{E} (pin 18) to access the addressed word.
6. The address may be held through the cycle, but must be held valid at least for a time equal to t_d after the falling edge of \bar{E} . None of the inputs should be allowed to float to an invalid logic level.
7. After a delay of t_d , disable the outputs by applying a voltage of VIH to \bar{G} (pin 20).
8. After a delay of t_d , apply voltage of VIL to \bar{P} (pin 21).
9. After delay of t_d , raise VDD (pin 24) to VDDPROG with a rise time of t_r . All outputs at VIH should track VDD within VDD-2.0V to VDD+0.3V. This could be accomplished by pulling outputs at VIH to VDD through pull-up resistors of value R_n .
10. After a delay of t_d , pull the output which corresponds to the bit to be programmed to VIL . Only one bit should be programmed at a time.
11. After a delay of t_{pw} , allow the output to be pulled to VIH through pull-up resistor R_n .
12. After a delay of t_d , reduce VDD (pin 24) to VDD1 with a fall time of t_f . All outputs at VIH should track VDD with VDD-2.0V to VDD+0.3V. This could be accomplished by pulling outputs at VIH to VDD through pull-up resistors of value R_n .

13. Apply a voltage of VIH to \bar{P} (pin 21).
14. After a delay of t_d , apply a voltage of VIL to \bar{G} (pin 20).
15. After a delay of t_d , examine the outputs for correct data. If any location verifies incorrectly, it should be considered a programming reject.
16. Repeat steps 3 through 15 for all other bits to be programmed in the PROM.

Post-Programming Verification

17. Place the PROM in the post-programming verification mode: $\bar{E} = VIH$, $\bar{G} = VIL$, $\bar{P} = VIH$, VDD (pin 24) = $VDD1$.
18. Apply the correct binary address of the word to be verified to the PROM.
19. After a delay of t_d , apply a voltage of VIL to \bar{E} (pin 18).
20. After a delay of t_d , examine the outputs for correct data. If any location fails to verify correctly, the PROM should be considered a programming reject.
21. Repeat steps 17 through 20 for all possible programming locations.

Post-Programming Read

22. Apply a voltage of $VDD2 = 4.0V$ to VDD (pin 24).
23. After a delay of t_d , apply a voltage of VIH to \bar{E} (pin 18).
24. Apply the correct binary address of the word to be read.
25. After a delay of $TAVEL$, apply a voltage of VIL to \bar{E} (pin 18).
26. After a delay of $TELQV$, examine the outputs for correct data. If any location fails to verify correctly, the PROM should be considered a programming reject.
27. Repeat steps 23 through 26 for all address locations.
28. Apply a voltage of $VDD2 = 6.0V$ to VDD (pin 24).
29. Repeat steps 23 through 26 for all address locations.

■ 4302271 0063455 20T ■

12

Spec Number 518742

DESIGN INFORMATION (Continued)

The information contained in this section has been developed through characterization by Harris Semiconductor and is for use as application and design information only. No guarantee is implied.

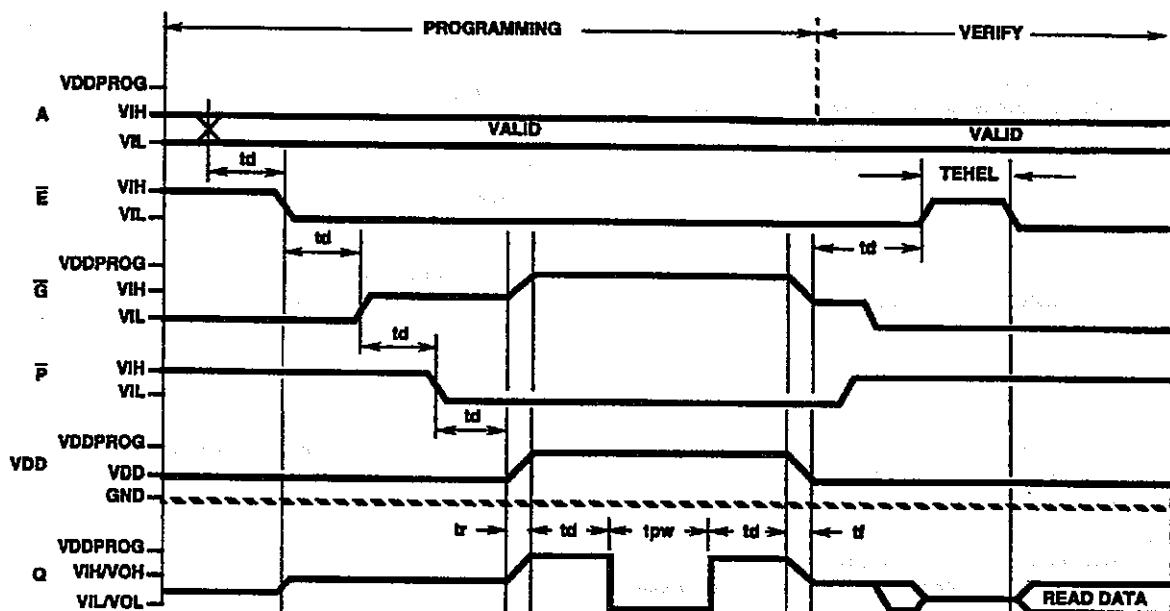


FIGURE 2. HS-6617RH PROGRAMMING CYCLE

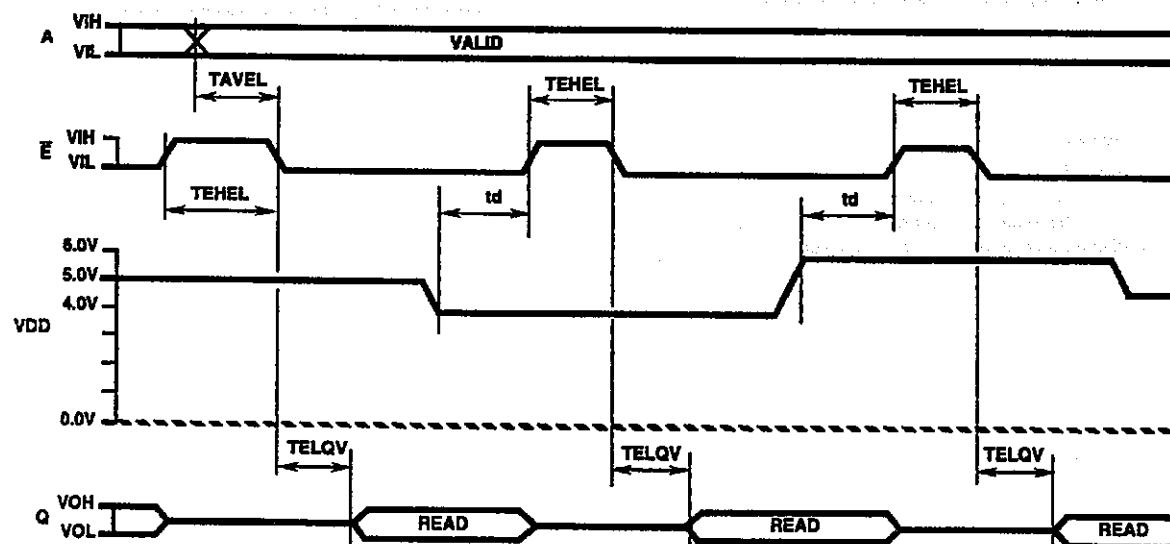


FIGURE 3. HS-6617RH POST PROGRAMMING VERIFY CYCLE

3. HX6256

- ・用途 : データ格納用メモリ
- ・機能 : 32K×8 SRAM
- ・耐放射線性 : TOTAL DOSE 1×10^6 Rad (SiO₂)
- ・スタンバイ電流 : 1.5 mA (MAX)
- ・動作電流 : 4.0 mA (1 MHz)
- ・アクセスタイム : 25 ns (MAX)
- ・推奨動作温度 : -55°C ~ +125°C

Military & Space Products**32K x 8 STATIC RAM—SOI****HX6256****FEATURES****RADIATION**

- Fabricated with RICMOS™ IV Silicon on Insulator (SOI) 0.75 μm Process ($L_{\text{eff}} = 0.6 \mu\text{m}$)
- Total Dose Hardness through $1 \times 10^6 \text{ rad}(\text{SiO}_2)$
- Neutron Hardness through $1 \times 10^{14} \text{ cm}^{-2}$
- Dynamic and Static Transient Upset Hardness through $1 \times 10^9 \text{ rad}(\text{Si})/\text{s}$
- Dose Rate Survivability through $1 \times 10^{11} \text{ rad}(\text{Si})/\text{s}$
- Soft Error Rate of $< 1 \times 10^{-10}$ upsets/bit-day in Geosynchronous Orbit
- No Latchup

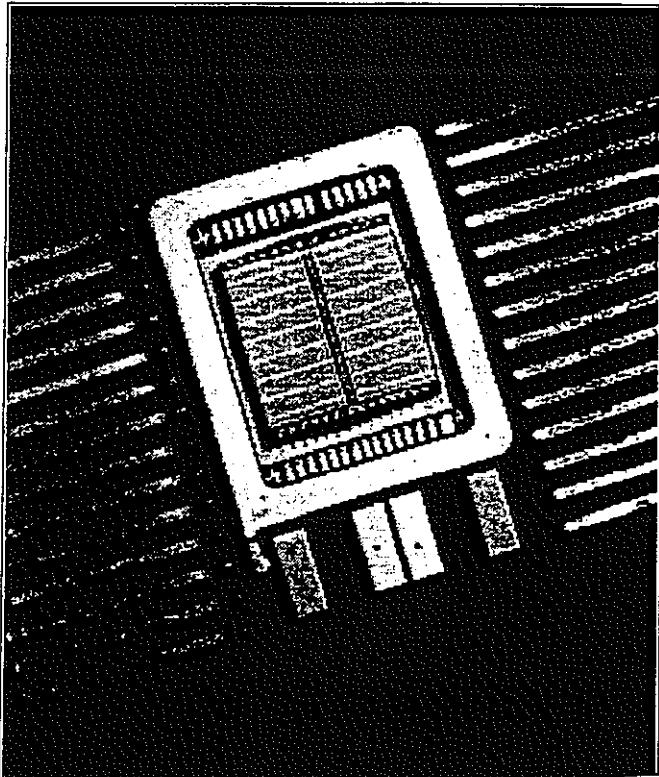
OTHER

- Listed On SMD#5962-95845
- Fast Cycle Times
 - ≤ 17 ns (Typical)
 - ≤ 25 ns (-55 to 125°C) Read Write Cycle
- Asynchronous Operation
- CMOS or TTL Compatible I/O
- Single 5 V ± 10% Power Supply
- Packaging Options
 - 28-Lead CFP (0.500 in. x 0.720 in.)
 - 28-Lead DIP, MIL-STD-1835, CDIP2-T28
 - 36-Lead CFP—Bottom Braze (0.630 in. x 0.650 in.)
 - 36-Lead CFP—Top Braze (0.630 in. x 0.650 ins.)
 - Multi-Chip Module (MCM)

GENERAL DESCRIPTION

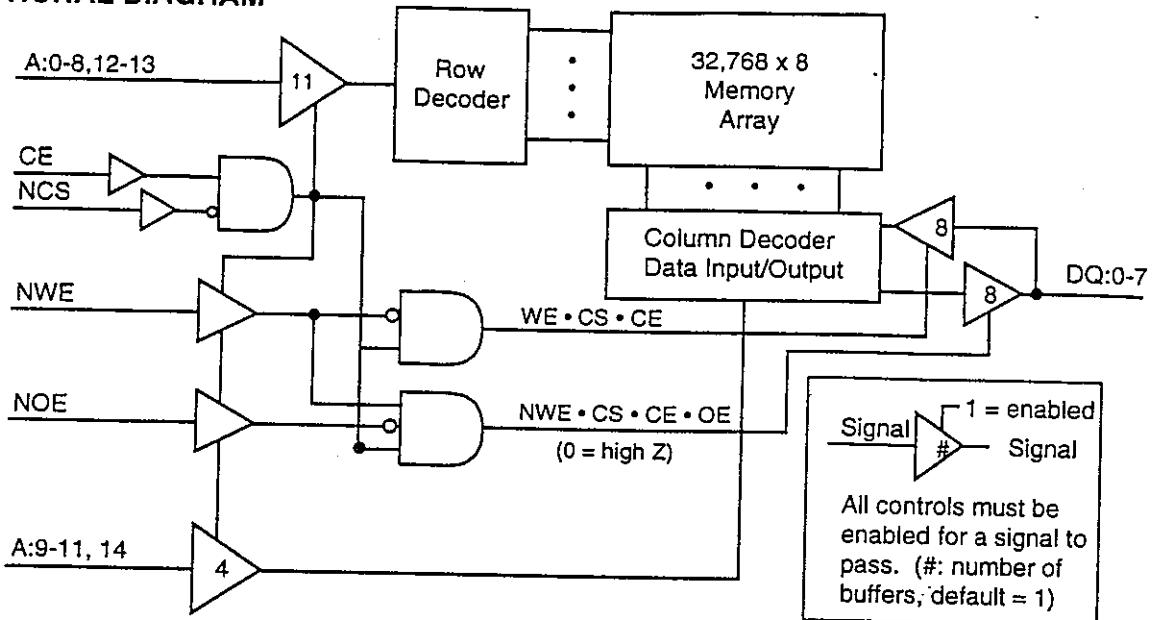
The 32K x 8 Radiation Hardened Static RAM is a high performance 32,768 word x 8-bit static random access memory with industry-standard functionality. It is fabricated with Honeywell's radiation hardened technology, and is designed for use in systems operating in radiation environments. The RAM operates over the full military temperature range and requires only a single 5 V ± 10% power supply. The RAM is available with either TTL or CMOS compatible I/O. Power consumption is typically less than 15 mW/MHz in operation, and less than 5 mW when de-selected. The RAM read operation is fully asynchronous, with an associated typical access time of 14 ns at 5 V.

Honeywell's enhanced SOI RICMOS™ IV (Radiation Insensitive CMOS) technology is radiation hardened through the use of advanced and proprietary design, layout, and process hardening techniques. The RICMOS™ IV process is a 5-volt, SIMOX CMOS technology with a 150 Å gate oxide and a minimum drawn feature size of 0.75 μm (0.6 μm effective gate length— L_{eff}). Additional features include tungsten via plugs, Honeywell's proprietary SHARP planarization process, and a lightly doped drain (LDD) structure for improved short channel reliability. A 7-transistor (7T) memory cell is used for superior single event upset hardening, while three layer metal power bussing and the low collection volume SIMOX substrate provide improved dose rate hardening.



HX6256

FUNCTIONAL DIAGRAM



SIGNAL DEFINITIONS

- A: 0-14 Address input pins which select a particular eight-bit word within the memory array.
- DQ: 0-7 Bidirectional data pins which serve as data outputs during a read operation and as data inputs during a write operation.
- NCS Negative chip select, when at a low level allows normal read or write operation. When at a high level NCS forces the SRAM to a precharge condition, holds the data output drivers in a high impedance state and disables all input buffers except CE. If this signal is not used it must be connected to VSS.
- NWE Negative write enable, when at a low level activates a write operation and holds the data output drivers in a high impedance state. When at a high level NWE allows normal read operation.
- NOE Negative output enable, when at a high level holds the data output drivers in a high impedance state. When at a low level, the data output driver state is defined by NCS, NWE and CE. If this signal is not used it must be connected to VSS.
- CE* Chip enable, when at a high level allows normal operation. When at a low level CE forces the SRAM to a precharge condition, holds the data output drivers in a high impedance state and disables all the input buffers except the NCS input buffer. If this signal is not used it must be connected to VDD.

TRUTH TABLE

NCS	CE*	NWE	NOE	MODE	DQ
L	H	H	L	Read	Data Out
L	H	L	X	Write	Data In
H	X	XX	XX	Deselected	High Z
X	L	XX	XX	Disabled	High Z

*Not Available in 28-lead DIP or 28-Lead Flat Pack

Notes:

X: $V_L = V_{IH}$ or V_{IL}

XX: $V_{SS} \leq V_L \leq V_{DD}$

NOE=H: High Z output state maintained for
NCS=X, CE=X, NWE=X

RADIATION CHARACTERISTICS

Total Ionizing Radiation Dose

The SRAM will meet all stated functional and electrical specifications over the entire operating temperature range after the specified total ionizing radiation dose. All electrical and timing performance parameters will remain within specifications after rebound at $VDD = 5.5\text{ V}$ and $T = 125^\circ\text{C}$ extrapolated to ten years of operation. Total dose hardness is assured by wafer level testing of process monitor transistors and RAM product using 10 KeV X-ray and Co60 radiation sources. Transistor gate threshold shift correlations have been made between 10 KeV X-rays applied at a dose rate of $1 \times 10^5 \text{ rad}(\text{SiO}_2)/\text{min}$ at $T = 25^\circ\text{C}$ and gamma rays (Cobalt 60 source) to ensure that wafer level X-ray testing is consistent with standard military radiation test environments.

Transient Pulse Ionizing Radiation

The SRAM is capable of writing, reading, and retaining stored data during and after exposure to a transient ionizing radiation pulse up to the transient dose rate upset specification, when applied under recommended operating conditions. To ensure validity of all specified performance parameters before, during, and after radiation (timing degradation during transient pulse radiation (timing degradation during transient pulse radiation is $\leq 10\%$), it is suggested that stiffening capacitance be placed on or near the package VDD and VSS, with a maximum inductance between the package (chip) and stiffening capacitance of 0.7 nH per part. If there are no operate-through or valid stored data requirements, typical circuit board mounted de-coupling capacitors are recommended.

The SRAM will meet any functional or electrical specification after exposure to a radiation pulse up to the transient dose rate survivability specification, when applied under recommended operating conditions. Note that the current conducted during the pulse by the RAM inputs, outputs, and power supply may significantly exceed the normal operating levels. The application design must accommodate these effects.

Neutron Radiation

The SRAM will meet any functional or timing specification after exposure to the specified neutron fluence under recommended operating or storage conditions. This assumes an equivalent neutron energy of 1 MeV.

Soft Error Rate

The SRAM is immune to Single Event Upsets (SEU's) to the specified Soft Error Rate (SER), under recommended operating conditions. This hardness level is defined by the Adams 90% worst case cosmic ray environment for geo-synchronous orbits.

Latchup

The SRAM will not latch up due to any of the above radiation exposure conditions when applied under recommended operating conditions. Fabrication with the SIMOX substrate material provides oxide isolation between adjacent PMOS and NMOS transistors and eliminates any potential SCR latchup structures. Sufficient transistor body tie connections to the p- and n-channel substrates are made to ensure no source/drain snapback occurs.

RADIATION HARDNESS RATINGS (1)

Parameter	Limits (2)	Units	Test Conditions
Total Dose	$\geq 1 \times 10^6$	$\text{rad}(\text{SiO}_2)$	$T_A=25^\circ\text{C}$
Transient Dose Rate Upset (3)	$\geq 1 \times 10^9$	$\text{rad}(\text{Si})/\text{s}$	Pulse width $\leq 1 \mu\text{s}$
Transient Dose Rate Survivability (3)	$\geq 1 \times 10^{11}$	$\text{rad}(\text{Si})/\text{s}$	Pulse width $\leq 50 \text{ ns}$, X-ray, $VDD=5.0 \text{ V}$, $T_A=25^\circ\text{C}$
Soft Error Rate (SER)	$< 1 \times 10^{-10}$	upsets/bit-day	$T_A=125^\circ\text{C}$, Adams 90% worst case environment
Neutron Fluence	$\geq 1 \times 10^{14}$	N/cm^2	1 MeV equivalent energy, Unbiased, $T_A=25^\circ\text{C}$

(1) Device will not latch up due to any of the specified radiation exposure conditions.

(2) Operating conditions (unless otherwise specified): $VDD=4.5 \text{ V}$ to 5.5 V , $T_A=-55^\circ\text{C}$ to 125°C .

(3) Not guaranteed with 28-Lead DIP.

HX6256

ABSOLUTE MAXIMUM RATINGS (1)

Symbol	Parameter	Rating		Units
		Min	Max	
VDD	Supply Voltage Range (2)	-0.5	6.5	V
VPIN	Voltage on Any Pin (2)	-0.5	VDD+0.5	V
TSTORE	Storage Temperature (Zero Bias)	-65	150	°C
TSOLDER	Soldering Temperature (5 Seconds)		270	°C
PD	Maximum Power Dissipation (3)		2	W
IOUT	DC or Average Output Current		25	mA
VPROT	ESD Input Protection Voltage (4)	2000		V
ΘJC	Thermal Resistance (Jct-to-Case)	28 FP/36 FP	2	°C/W
		28 DIP	10	
TJ	Junction Temperature		175	°C

(1) Stresses in excess of those listed above may result in permanent damage. These are stress ratings only, and operation at these levels is not implied. Frequent or extended exposure to absolute maximum conditions may affect device reliability.

(2) Voltage referenced to VSS.

(3) RAM power dissipation (IDDSB + IDDOP) plus RAM output driver power dissipation due to external loading must not exceed this specification.

(4) Class 2 electrostatic discharge (ESD) input protection. Tested per MIL-STD-883, Method 3015 by DESC certified lab.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Description			Units
		Min	Typ	Max	
VDD	Supply Voltage (referenced to VSS)	4.5	5.0	5.5	V
TA	Ambient Temperature	-55	25	125	°C
VPIN	Voltage on Any Pin (referenced to VSS)	-0.3		VDD+0.3	V

CAPACITANCE (1)

Symbol	Parameter	Typical (1)	Worst Case		Units	Test Conditions
			Min	Max		
Cl	Input Capacitance	5		7	pF	VI=VDD or VSS, f=1 MHz
CO	Output Capacitance	7		9	pF	VO=VDD or VSS, f=1 MHz

(1) This parameter is tested during initial design characterization only.

DATA RETENTION CHARACTERISTICS

Symbol	Parameter	Typical (1)	Worst Case (2)		Units	Test Conditions
			Min	Max		
VDR	Data Retention Voltage		2.5		V	NCS=VDR VI=VDR or VSS
IDR	Data Retention Current			500 330	μA	NCS=VDD=2.5V, VI=VDD or VSS NCS=VDD=3.0V, VI=VDD or VSS

(1) Typical operating conditions: TA= 25°C, pre-radiation.

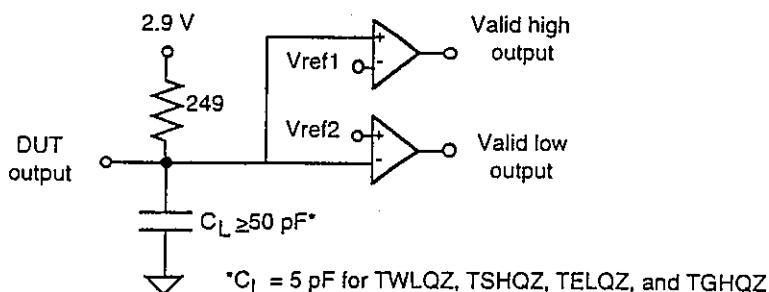
(2) Worst case operating conditions: TA= -55°C to +125°C, post total dose at 25°C.

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Typical (1)	Worst Case (2)		Units	Test Conditions
			Min	Max		
IDDSB1	Static Supply Current	0.2		1.5	mA	V _{IH} =V _{DD} , I _O =0 V _{IL} =V _{SS} , f=0MHz
IDDSBMF	Standby Supply Current - Deselected	0.2		1.5	mA	NCS=V _{DD} , I _O =0, f=40 MHz
IDDOPW	Dynamic Supply Current, Selected (Write)	3.4		4.0	mA	f=1 MHz, I _O =0, CE=V _{IH} =V _{DD} NCS=V _{IL} =V _{SS} (3)
IDDOPR	Dynamic Supply Current, Selected (Read)	2.8		4.0	mA	f=1 MHz, I _O =0, CE=V _{IH} =V _{DD} NCS=V _{IL} =V _{SS} (3)
I _l	Input Leakage Current		-5	+5	µA	V _{SS} ≤V _l ≤V _{DD}
I _{OZ}	Output Leakage Current		-10	+10	µA	V _{SS} ≤V _{OZ} ≤V _{DD} Output=high Z
V _{IL}	Low-Level Input Voltage	CMOS TTL	1.7	0.3xV _{DD} 0.8	V	March Pattern V _{DD} = 4.5V
V _{IH}	High-Level Input Voltage	CMOS TTL	3.2	0.7xV _{DD} 2.2	V	March Pattern V _{DD} = 5.5V
V _{OL}	Low-Level Output Voltage		0.3 0.005	0.4 0.05	V	V _{DD} = 4.5V, I _{OL} = 10 mA (CMOS) = 8 mA (TTL) V _{DD} = 4.5V, I _{OL} = 200 µA
V _{OH}	High-Level Output Voltage		4.3 4.5 V _{DD} -0.05	4.2	V	V _{DD} = 4.5V, I _{OH} = -5 mA V _{DD} = 4.5V, I _{OH} = -200 µA

(1) Typical operating conditions: V_{DD}= 5.0 V, TA=25°C, pre-radiation.(2) Worst case operating conditions: V_{DD}=4.5 V to 5.5 V, TA=-55°C to +125°C, post total dose at 25°C.

(3) All inputs switching. DC average current.



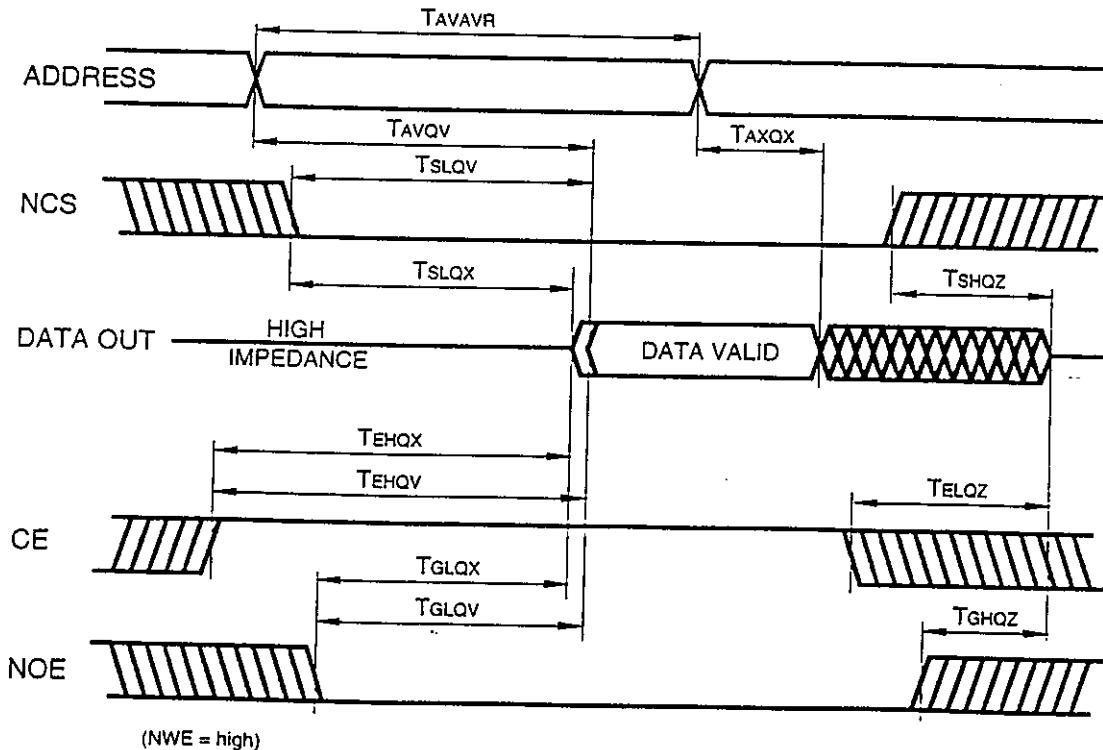
Tester Equivalent Load Circuit

HX6256

READ CYCLE AC TIMING CHARACTERISTICS (1)

Symbol	Parameter	Typical (2)	Worst Case (3)		Units
			Min	Max	
TAVAVR	Address Read Cycle Time	17	25		ns
TAVQV	Address Access Time	14		25	ns
TAXQX	Address Change to Output Invalid Time	9	3		ns
TSLQV	Chip Select Access Time	17		25	ns
TSLQX	Chip Select Output Enable Time	10	5		ns
TSHQZ	Chip Select Output Disable Time	4		10	ns
TEHQV	Chip Enable Access Time (4)	17		25	ns
TEHQX	Chip Enable Output Enable Time (4)	10	5		ns
TELQZ	Chip Enable Output Disable Time (4)	4		10	ns
TGLQV	Output Enable Access Time	4		9	ns
TGLQX	Output Enable Output Enable Time	4	0		ns
TGHQZ	Output Enable Output Disable Time	2		9	ns

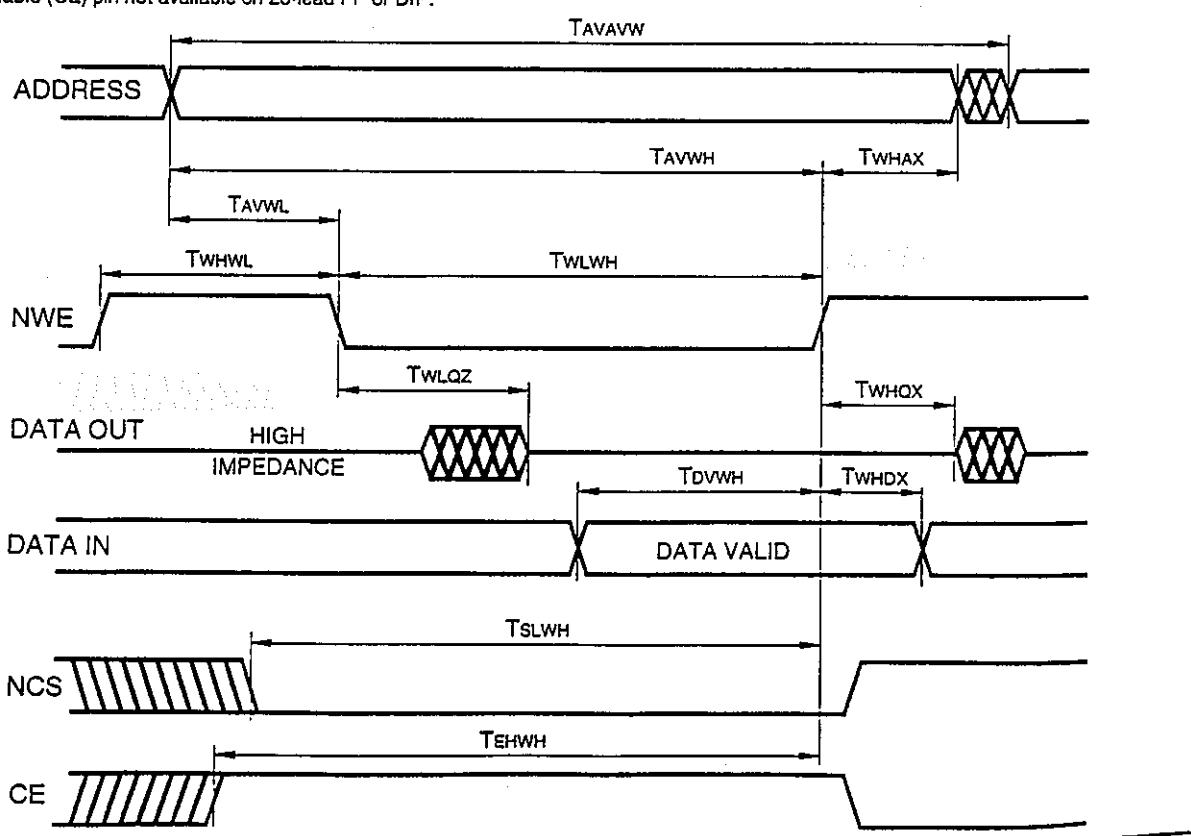
- (1) Test conditions: input switching levels $VIL/VIH=0.5V/VDD-0.5V$ (CMOS), $VIL/VIH=0V/3V$ (TTL), input rise and fall times $<1\text{ ns}/V$, input and output timing reference levels shown in the Tester AC Timing Characteristics table, capacitive output loading $C_L \geq 50\text{ pF}$, or equivalent capacitive output loading $C_L=5\text{ pF}$ for TSHQZ, TELQZ, TGHQZ. For $C_L > 50\text{ pF}$, derate access times by 0.02 ns/pF (typical).
- (2) Typical operating conditions: $VDD=5.0\text{ V}$, $TA=25^\circ\text{C}$, pre-radiation.
- (3) Worst case operating conditions: $VDD=4.5\text{ V}$ to 5.5 V , -55 to 125°C , post total dose at 25°C .
- (4) Chip Enable (CE) pin not available on 28-lead FP or DIP.



WRITE CYCLE AC TIMING CHARACTERISTICS (1)

Symbol	Parameter	Typical (2)	Worst Case (3)		Units
			25 ns	Min Max	
TAVAVW	Write Cycle Time (4)	13	25		ns
TWLWH	Write Enable Write Pulse Width	9	20		ns
TSLWH	Chip Select to End of Write Time	10	20		ns
TDVWH	Data Valid to End of Write Time	5	15		ns
TAVWH	Address Valid to End of Write Time	9	20		ns
TWHDX	Data Hold Time after End of Write Time	0	0		ns
TAVWL	Address Valid Setup to Start of Write Time	0	0		ns
TWHAX	Address Valid Hold after End of Write Time	0	0		ns
TWLQZ	Write Enable to Output Disable Time	3	0	9	ns
TWHQX	Write Disable to Output Enable Time	9	5		ns
TWHWL	Write Disable to Write Enable Pulse Width(5)	4	5		ns
TEHWH	Chip Enable to End of Write Time (6)	12	20		ns

- (1) Test conditions: input switching levels $VIL/VIH=0.5V/VDD-0.5V$ (CMOS), $VIL/VIH=0V/3V$ (TTL), input rise and fall times $<1\text{ ns}/V$, input and output timing reference levels shown in the Tester AC Timing Characteristics table, capacitive output loading $\geq 50\text{ pF}$, or equivalent capacitive load of 5 pF for TWLQZ.
- (2) Typical operating conditions: $VDD=5.0\text{ V}$, $TA=25^\circ\text{C}$, pre-radiation.
- (3) Worst case operating conditions: $VDD=4.5\text{ V}$ to 5.5 V , -55 to 125°C , post total dose at 25°C .
- (4) $TAVAV = TWLWH + TWHWL$
- (5) Guaranteed but not tested.
- (6) Chip Enable (CE) pin not available on 28-lead FP or DIP.



DYNAMIC ELECTRICAL CHARACTERISTICS

Read Cycle

The RAM is asynchronous in operation, allowing the read cycle to be controlled by address, chip select (NCS), or chip enable (CE) (refer to Read Cycle timing diagram). To perform a valid read operation, both chip select and output enable (NOE) must be low and chip enable and write enable (NWE) must be high. The output drivers can be controlled independently by the NOE signal. Consecutive read cycles can be executed with NCS held continuously low, and with CE held continuously high, and toggling the addresses.

For an address activated read cycle, NCS and CE must be valid prior to or coincident with the activating address edge transition(s). Any amount of toggling or skew between address edge transitions is permissible; however, data outputs will become valid TAVQV time following the latest occurring address edge transition. The minimum address activated read cycle time is TAVAV. When the RAM is operated at the minimum address activated read cycle time, the data outputs will remain valid on the RAM I/O until TAXQX time following the next sequential address transition.

To control a read cycle with NCS, all addresses and CE must be valid prior to or coincident with the enabling NCS edge transition. Address or CE edge transitions can occur later than the specified setup times to NCS, however, the valid data access time will be delayed. Any address edge transition, which occurs during the time when NCS is low, will initiate a new read access, and data outputs will not become valid until TAVQV time following the address edge transition. Data outputs will enter a high impedance state TSHQZ time following a disabling NCS edge transition.

To control a read cycle with CE, all addresses and NCS must be valid prior to or coincident with the enabling CE edge transition. Address or NCS edge transitions can occur later than the specified setup times to CE; however, the valid data access time will be delayed. Any address edge transition which occurs during the time when CE is high will initiate a new read access, and data outputs will not become valid until TAVQV time following the address edge transition. Data outputs will enter a high impedance state TELOQZ time following a disabling CE edge transition.

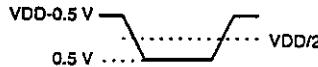
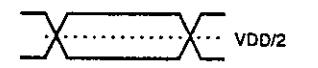
Write Cycle

The write operation is synchronous with respect to the address bits, and control is governed by write enable (NWE), chip select (NCS), or chip enable (CE) edge transitions (refer to Write Cycle timing diagrams). To perform a write operation, both NWE and NCS must be low, and CE must be high. Consecutive write cycles can be performed with NWE or NCS held continuously low, or CE held continuously high. At least one of the control signals must transition to the opposite state between consecutive write operations.

The write mode can be controlled via three different control signals: NWE, NCS, and CE. All three modes of control are similar except the NCS and CE controlled modes actually disable the RAM during the write recovery pulse. Both CE and NCS fully disable the RAM decode logic and input buffers for power savings. Only the NWE controlled mode is shown in the table and diagram on the previous page for simplicity. However, each mode of control provides the same write cycle timing characteristics. Thus, some of the parameter names referenced below are not shown in the write cycle table or diagram, but indicate which control pin is in control as it switches high or low.

To write data into the RAM, NWE and NCS must be held low and CE must be held high for at least TWLWH/TSLSH/TEHEL time. Any amount of edge skew between the signals can be tolerated, and any one of the control signals can initiate or terminate the write operation. For consecutive write operations, write pulses must be separated by the minimum specified TWHWL/TSHSL/TELEH time. Address inputs must be valid at least TAVWL/TAVSL/TAVEH time before the enabling NWE/NCS/CE edge transition, and must remain valid during the entire write time. A valid data overlap of write pulse width time of TDVWH/TDVSH/TDVEL, and an address valid to end of write time of TAVWH/TAVSH/TAVEL also must be provided for during the write operation. Hold times for address inputs and data inputs with respect to the disabling NWE/NCS/CE edge transition must be a minimum of TWHAX/TSHAX/TELAX time and TWHDX/TSHDX/TELDX time, respectively. The minimum write cycle time is TAVAV.

TESTER AC TIMING CHARACTERISTICS

	TTL I/O Configuration	CMOS I/O Configuration
Input Levels*	 3 V 0 V 1.5 V	 VDD-0.5 V 0.5 V VDD/2
Output Sense Levels	 1.5 V VDD-0.4 V	 VDD/2 VDD-0.4 V

* Input rise and fall times <1 ns/V

QUALITY AND RADIATION HARDNESS ASSURANCE

Honeywell maintains a high level of product integrity through process control, utilizing statistical process control, a complete "Total Quality Assurance System," a computer data base process performance tracking system, and a radiation-hardness assurance strategy.

The radiation hardness assurance strategy starts with a technology that is resistant to the effects of radiation. Radiation hardness is assured on every wafer by irradiating test structures as well as SRAM product, and then monitoring key parameters which are sensitive to ionizing radiation. Conventional MIL-STD-883 TM 5005 Group E testing, which includes total dose exposure with Cobalt 60, may also be performed as required. This Total Quality approach ensures our customers of a reliable product by engineering in reliability, starting with process development and continuing through product qualification and screening.

SCREENING LEVELS

Honeywell offers several levels of device screening to meet your system needs. "Engineering Devices" are available with limited performance and screening for breadboarding and/or evaluation testing. Hi-Rel Level B and S devices undergo additional screening per the requirements of MIL-STD-883. As a QML supplier, Honeywell also offers QML Class Q and V devices per MIL-PRF-38535 and are available per the applicable Standard Microcircuit Drawing (SMD). QML devices offer ease of procurement by eliminating the

need to create detailed specifications and offer benefits of improved quality and cost savings through standardization.

RELIABILITY

Honeywell understands the stringent reliability requirements for space and defense systems and has extensive experience in reliability testing on programs of this nature. This experience is derived from comprehensive testing of VLSI processes. Reliability attributes of the RICMOS™ process were characterized by testing specially designed irradiated and non-irradiated test structures from which specific failure mechanisms were evaluated. These specific mechanisms included, but were not limited to, hot carriers, electromigration and time dependent dielectric breakdown. This data was then used to make changes to the design models and process to ensure more reliable products.

In addition, the reliability of the RICMOS™ process and product in a military environment was monitored by testing irradiated and non-irradiated circuits in accelerated dynamic life test conditions. Packages are qualified for product use after undergoing Groups B & D testing as outlined in MIL-STD-883, TM 5005, Class S. The product is qualified by following a screening and testing flow to meet the customer's requirements. Quality conformance testing is performed as an option on all production lots to ensure the ongoing reliability of the product.

HX6256

PACKAGING

The 32K x 8 SRAM is offered in two custom 36-lead flat packs, a 28-Lead FP, or standard 28-lead DIP. Each package is constructed of multilayer ceramic (Al_2O_3) and features internal power and ground planes. The 36-lead flat packs also feature a non-conductive ceramic tie bar on the lead frame. The tie bar allows electrical testing of the device, while preserving the lead integrity during shipping and handling, up to the point of lead forming and insertion.

On the bottom brazed 36-lead FP, ceramic chip capacitors can be mounted to the package by the user to maximize supply noise decoupling and increase board packing density. These capacitors connect to the internal package power and ground planes. This design minimizes resistance and inductance of the bond wire and package. All NC (no connect) pins must be connected to either VDD, VSS or an active driver to prevent charge build up in the radiation environment.

28-LEAD DIP & FP PINOUT

A14	1	28	VDD
A12	2	27	NWE
A7	3	26	A13
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	NOE
A2	8	21	A10
A1	9	20	NCS
A0	10	19	DQ7
DQ0	11	18	DQ6
DQ1	12	17	DQ5
DQ2	13	16	DQ4
VSS	14	15	DQ3

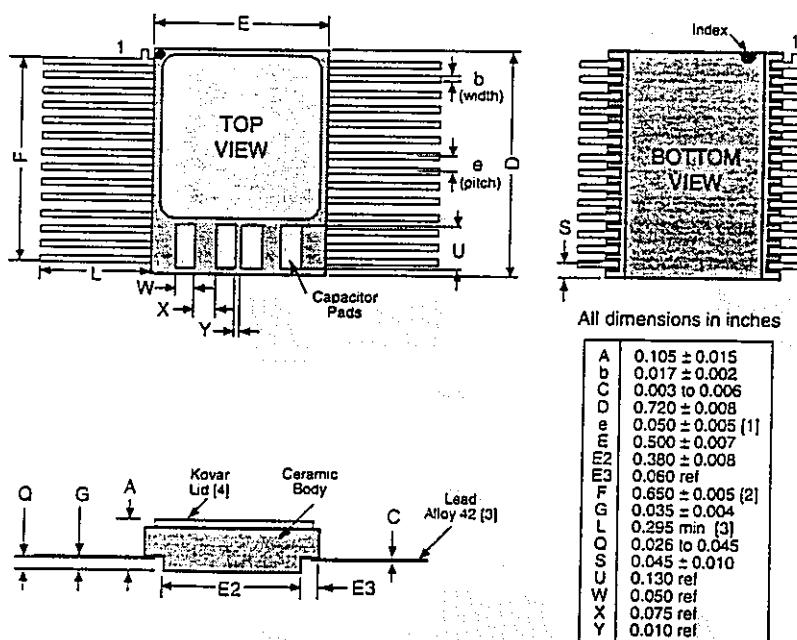
Top View

36-LEAD FP PINOUT

VSS	1	35	VSS
VDD	2	35	VDD
A14	3	34	NWE
A12	4	33	CE
A7	5	32	A13
A6	6	31	A8
A5	7	30	A9
A4	8	29	A11
A3	9	28	NCE
A2	10	27	A10
A1	11	26	NCS
A0	12	25	DQ7
DQ0	13	24	DQ6
DQ1	14	23	DQ5
DQ2	15	22	DQ4
NC	16	21	DQ3
VDD	17	20	VDD
VSS	18	19	VSS

Top View

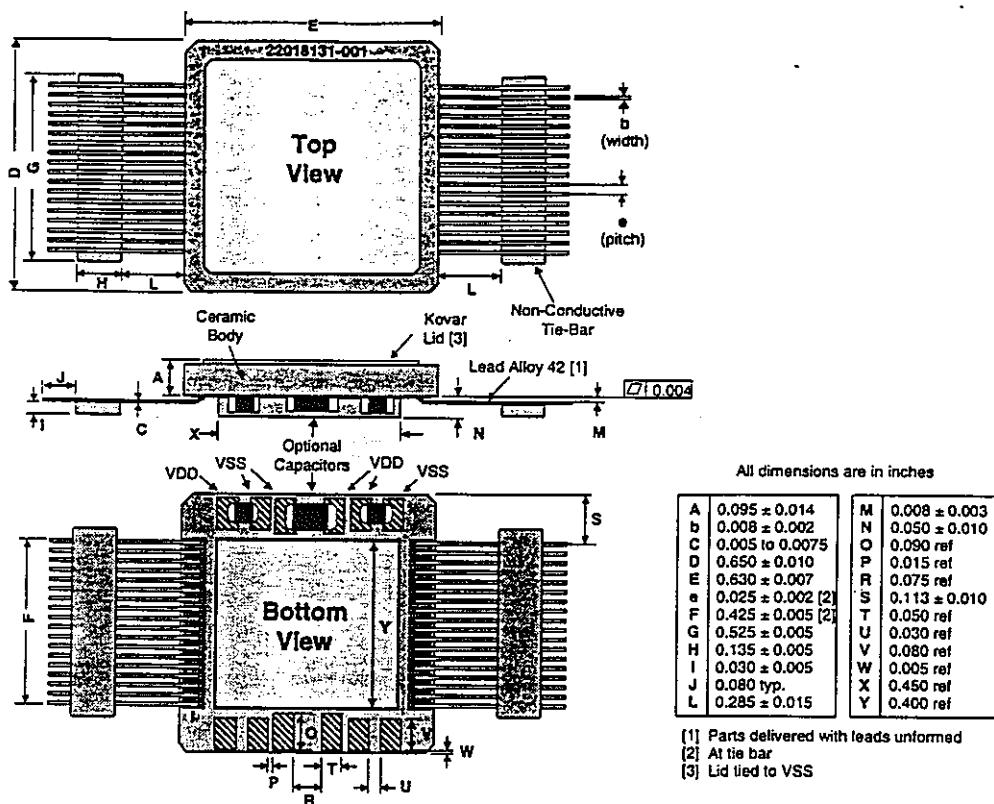
28-LEAD FLAT PACK (22017842-001)



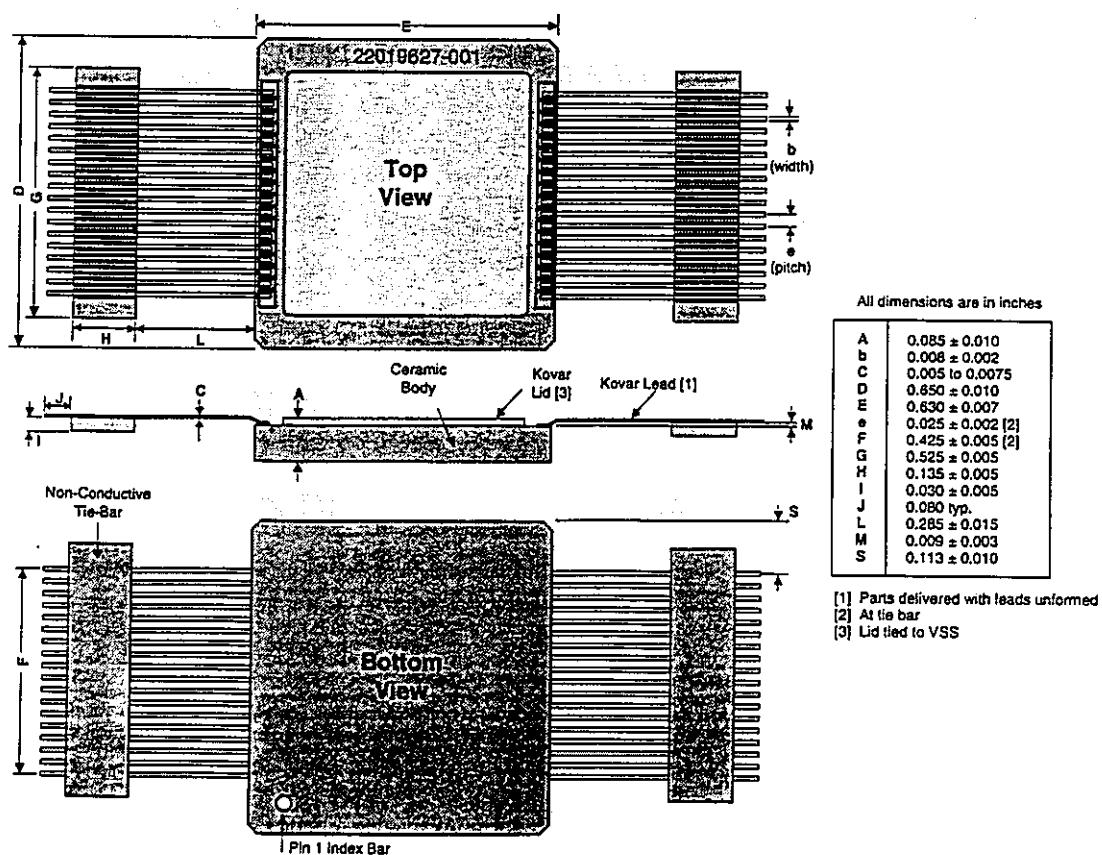
28-LEAD DIP (22017785-001)

For 28-Lead DIP description, see MIL-STD-1835, Type CDIP2-T28, Config. C, Dimensions D-10

36-LEAD FLAT PACK—BOTTOM BRAZE (22018131-001)

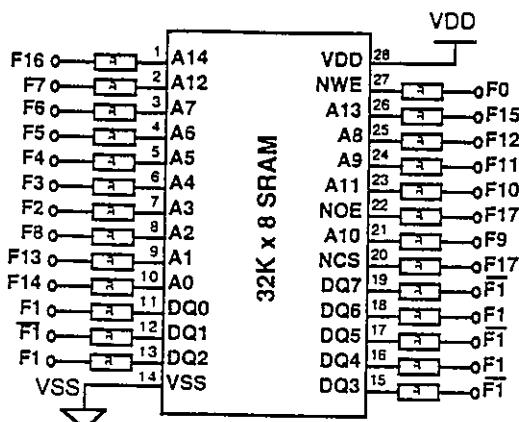


36-LEAD FLAT PACK—TOP BRAZE (22019627-001)

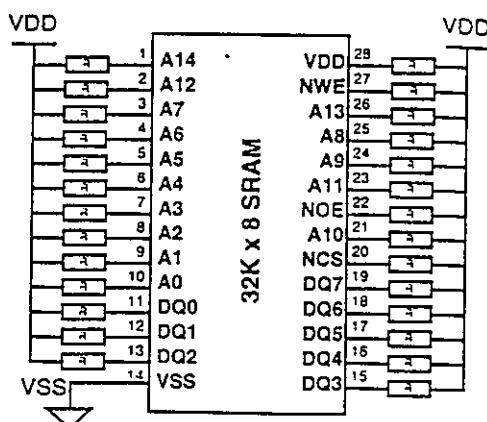


HX6256

DYNAMIC BURN-IN DIAGRAM*



STATIC BURN-IN DIAGRAM*



VDD = 5.6V, R ≤ 10 KΩ, VIH = VDD, Vil = VSS
 Ambient Temperature ≥ 125 °C, F0 ≥ 100 KHz Sq Wave
 Frequency of F1 = F0/2, F2 = F0/4, F3 = F0/8, etc.

VDD = 5.5V, R ≤ 10 KΩ
 Ambient Temperature ≥ 125 °C

*36-lead Flat Pack burn-in diagram has similar connections and is available on request.

ORDERING INFORMATION (1)

H	X	6256	N	S	H	C
PART NUMBER				SCREEN LEVEL		
				V=QML Class V		
				Q=QML Class Q		
				S=Class S		
				B=Class B		
				E=Engr Device (3)	TOTAL DOSE	
					HARDNESS	
				R=1x10 ⁵ rad(SiO ₂)		
				F=3x10 ⁵ rad(SiO ₂)		
				H=1x10 ⁶ rad(SiO ₂)		
				N=No Level Guaranteed		
H=SOURCE	X=PROCESS	X=SOI	PACKAGE DESIGNATION	N=28-Lead FP		
H=HONEYWELL				R=28-Lead DIP		
				X=36-Lead FP (Bottom Braze)(2)		
				P=36-Lead FP (Top Braze)		
				K=Known Good Die		
				- = Bare die (No Package)		

(1) Orders may be faxed to 612-954-2051. Please contact our Customer Logistics Department at 612-954-2888 for further information.

(2) For CMOS I/O type only.

(3) Engineering Device description: Parameters are tested from -55 to 125°C, 24 hr burn-in, no radiation guaranteed.

Contact Factory with other needs.

To learn more about Honeywell Solid State Electronics Center,
 visit our web site at <http://www.ssec.honeywell.com>

Honeywell reserves the right to make changes to any products or technology herein to improve reliability, function or design. Honeywell does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.

Honeywell

Helping You Control Your World

4. HS-26C31RH

- ・用途 : RS-422 規格データ伝送用 IC (送信側)
- ・機能 : Quad Differential Line Driver
- ・耐放射線性 : TOTAL DOSE 3×10^5 Rad (Si)
- ・スタンバイ消費電力 : 2.75 mW (MAX)
- ・動作温度範囲 : -55°C ~ +125°C

November 1995

Radiation Hardened Quad Differential Line Driver

Features

- 1.2 Micron Radiation Hardened CMOS
 - Total Dose Up to 300K RAD(Si)
 - Dose Rate Upset $> 1 \times 10^9$ RAD/Sec (20ns Pulse)
- Latchup Free
- EIA RS-422 Compatible Outputs (Except for IOS)
- CMOS Inputs
- High Impedance Outputs when Disabled or Powered Down
- Low Power Dissipation 2.75mW Standby (Max)
- Single 5V Supply
- Low Output Impedance 10Ω or Less
- Full -55°C to +125°C Military Temperature Range

Description

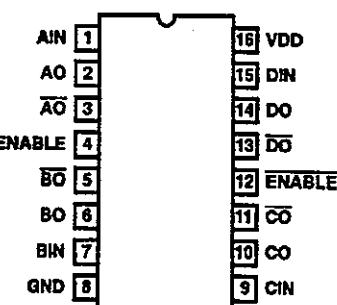
The Harris HS-26C31RH is a quad differential line driver designed for digital data transmission over balanced lines and meets the requirements of EIA standard RS-422. Radiation hardened CMOS processing assures low power consumption, high speed, and reliable operation in the most severe radiation environments.

The HS-26C31RH accepts CMOS and converts them to RS-422 compatible outputs. This circuit uses special outputs that enable the drivers to power down without loading down the bus. Enable and disable pins allow several devices to be connected to the same data source and addressed independently.

Pinouts

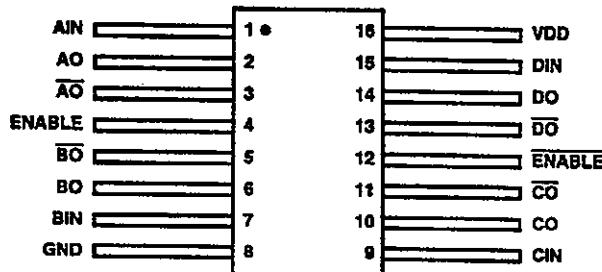
16 Lead Ceramic Dual-in-Line Metal Seal Package (SBDIP)
Mil-Std-1835 CDIP2-T16

TOP VIEW

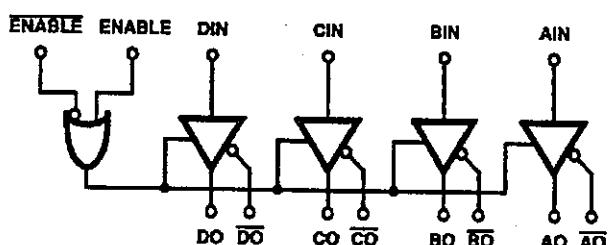


16 Lead Ceramic Metal Seal Flatpack Package (Flatpack)
Mil-Std-1835 CDFP4-F16

TOP VIEW



Logic Diagram



TRUTH TABLE

DEVICE POWER ON/OFF	INPUTS			OUTPUT	
	ENABLE	ENABLE	IN	OUT	OUT
ON	0	1	X	HI-Z	HI-Z
ON	1	X	0	0	1
ON	X	0	0	0	1
ON	1	X	1	1	0
ON	X	0	1	1	0
OFF (0V)	X	X	X	HI-Z	HI-Z

Ordering Information

PART NUMBER	TEMPERATURE RANGE	SCREENING LEVEL	PACKAGE
HS1-26C31RH-8	-55°C to +125°C	Harris Class B Equivalent	16 Lead Sidebraze DIP
HS1-26C31RH-Q	-55°C to +125°C	Harris Class S Equivalent	16 Lead Sidebraze DIP
HS9-26C31RH-8	-55°C to +125°C	Harris Class B Equivalent	16 Lead Flatpack
HS9-26C31RH-Q	-55°C to +125°C	Harris Class S Equivalent	16 Lead Flatpack
HS1-26C31RH/Sample	+25°C	Sample	16 Lead Sidebraze DIP
HS1-26C31RH/Proto	-55°C to +125°C	Prototype	16 Lead Sidebraze DIP
HS9-26C31RH/Sample	+25°C	Sample	16 Lead Flatpack
HS9-26C31RH/Proto	-55°C to +125°C	Prototype	16 Lead Flatpack

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.
Copyright © Harris Corporation 1995

File Number 3401.2

Spec Number 518789

Specifications HS-26C31RH

Absolute Maximum Ratings

Supply Voltage	-0.5V to +7.0V
Input, Output or I/O Voltage	-0.5 to VDD+0.5V
Output Voltage with Power Off (0V)	-0.5V to +7.0V
DC Diode Input Current (Any Input)	$\pm 20\text{mA}$
DC Drain Current (Any One Input)350mA
DC VDD or Ground Current400mA
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 10s)	+300°C

Reliability Information

	θ_{JA}	θ_{JC}
SBDIP Package.....	73°C/W	24°C/W
Ceramic Flatpack Package	114°C/W	29°C/W
Maximum Package Power Dissipation at +125°C Ambient:		
SBDIP Package.....		0.68W
Ceramic Flatpack Package		0.44W
If device power exceeds package dissipation capability provide heat sinking or derate linearly at the following rate:		
SBDIP Package	13.7mW/°C	
Ceramic Flatpack Package	8.8mW/°C	

CAUTION: Strasses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range.....	+4.5V to +5.5V	Input Low Voltage (VIL).....	0V to 0.3VDD Max
Operating Temperature Range.....	-55°C to +125°C	Input High Voltage (VIH).....	VDD to 0.7VDD Min
Input Rise and Fall Time.....	500ns Max		

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
High Level Output Voltage	VOH	VDD = 4.5V, and 5.5V IO = -20mA (Notes 2, 6)	1, 2, 3	-55°C, +25°C, +125°C	2.5	-	V
Low Level Output Voltage	VOL	VDD = 4.5V and 5.5V, IO = 20mA (Notes 2, 6)	1, 2, 3	-55°C, +25°C, +125°C	-	0.5	V
Differential Output Voltage	VT, $\bar{V}\bar{T}$	VDD = VIH = 4.5V, RL = R1 + R2, VIL = 0V (Note 3)	1, 2, 3	-55°C, +25°C, +125°C	2.0	-	V
Difference in Differential Output	IVTI - $\bar{V}\bar{T}\bar{I}$	VDD = VIH = 4.5V, RL = R1 + R2, VIL = 0V (Note 3)	1, 2, 3	-55°C, +25°C, +125°C	-	0.4	V
Common Mode Output Voltage	VOS, $\bar{V}\bar{O}\bar{S}$	VDD = VIH = 4.5V, RL = R1 + R2, VIL = 0V (Note 3)	1, 2, 3	-55°C, +25°C, +125°C	-	3.0	V
Difference in Common Mode Output	IVOS - $\bar{V}\bar{O}\bar{S}\bar{I}$	VDD = VIH = 4.5V, RL = R1 + R2, VIL = 0V (Note 3)	1, 2, 3	-55°C, +25°C, +125°C	-	0.4	V
High Level Input Voltage	VIH	VDD = 4.5V, 5.5V (Note 5)	1, 2, 3	-55°C, +25°C, +125°C	0.7 VDD	-	V
Low Level Input Voltage	VIL	VDD = 4.5V, 5.5V (Note 5)	1, 2, 3	-55°C, +25°C, +125°C	-	0.3 VDD	V
Standby Supply Current	IDDSB	VDD = 5.5V, Output = OPEN, VIN = VDD or GND	1, 2, 3	-55°C, +25°C, +125°C	-	500	μA
Three-State Output Leakage Current	IOZ	VDD = 5.5V, Force Voltage = 0V or VCC (Note 7)	1, 2, 3	-55°C, +25°C, +125°C	-	± 5	μA
Input Leakage	IIN	VDD = 5.5V, VIN = VDD or GND	1, 2, 3	-55°C, +25°C, +125°C	-	± 1.0	μA

Spec Number 518789

: ■ 4302271 0064186 028 ■

2

Specifications HS-26C31RH

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Output Leakage Current Power OFF	IOFF	VDD = 0V, VOUT = 6V, -250mV, Inputs = GND	1, 2, 3	-55°C, +25°C, +125°C	-100	100	µA
Input Clamp Voltage	VIC	At -1.0mA	1, 2, 3	-55°C, +25°C, +125°C	-	-1.5	V
		At +1.0mA		-55°C, +25°C, +125°C	-	+1.5	V

NOTES:

1. All voltages referenced to device ground.
2. Force/Measure functions may be interchanged.
3. These test conditions are detailed in EIA specification RS-422. R1 = R2 = 50Ω.
4. Only one input pin set up to VIN per test. All other pins set to VCC or GND.
5. This parameter tested as inputs levels in VOL/VOH, IOZ, functional test and/or discrete voltage level.
6. VIL = 0.3VDD, VIH = 0.7VDD.
7. The input is conditioned to have the output in the opposite state of the forcing IOZ condition.

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTES 1, 2) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Propagation Delay	TPLH, TPHL	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +125°C	2	22	ns
Propagation Delay	TPZH	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +125°C	5	28	ns
Propagation Delay	TPZL	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +125°C	5	28	ns
Propagation Delay	TPHZ	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +125°C	2	22	ns
Propagation Delay	TPLZ	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +125°C	2	22	ns
Rise and Fall Times	TTHL, TTLH	VDD = 4.5V	9, 10, 11	-55°C, +25°C, +125°C	1	10	ns
Output Skew	TSKEW (Note 3)	VDD = 4.5V, RL = 100Ω, CL = 40pF	9, 10, 11	-55°C, +25°C, +125°C	-	3	ns

NOTES:

1. All voltages referenced to device ground.
2. See Table EIA RS-422
3. Skew is defined as the difference in propagation delays between complementary outputs at the 50% point.

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Input Capacitance	CIN	VDD = Open, f = 1MHz	1	-55°C, +25°C, +125°C	-	12	pF
Output Capacitance	COUT	VDD = Open, f = 1MHz	1	-55°C, +25°C, +125°C	-	12	pF
Operating Short Circuit	IOS	VDD = 5.5V, VIN = VDD or GND, VOUT = 0V	2	-55°C, +25°C, +125°C	-30	-150	mA

Spec Number 518789

: ■ 4302271 0064187 T64 ■

Specifications HS-26C31RH

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
On-State Resistance	RON	VDD = 4.5V, VOUT = 1.5V, VIN = VDD or GND	1	-55°C, +25°C, +125°C	-	10	Ω
Dynamic Current	IDYN	VCC = 4.5V, FQ = 1MHz, VIN = VCC or GND	1, 5	+25°C, +125°C	Typical 3	mA	
Power Dissipation Capacitance	CPD	VCC = 4.5V, FQ = 1MHz	1, 4	+25°C	Typical 170	pF	

NOTES:

1. Parameters listed in Table 3 are controlled via design or process parameters and are not directly tested. These parameters are characterized upon initial design and after major design or process changes that affect these parameters.
2. Only one output at a time may be shorted.
3. Power Up/Down Feature: Outputs will remain in the Hi-Z state with VDD ≤ 2.5V and become active at VDD ≥ 4.0V. The active output state will be determined by the input conditions.
4. This parameter is a per channel measurement.
5. This parameter is measured with a 100pF load, one channel only.

TABLE 4. POST IRRADIATION ELECTRICAL PERFORMANCE CHARACTERISTICS

The post irradiation electrical performance characteristics are the same as the parameters listed in Tables 1, 2.

TABLE 5. BURN-IN DELTA PARAMETERS (+25°C) AND GROUP B, SUBGROUP 5 DELTA PARAMETERS

PARAMETER	SYMBOL	DELTA LIMITS
Standby Supply Current	IDD _{SB}	±100µA
Three-State Output Leakage Current	I _{OZ}	±1.0µA
Low Level Output Voltage	V _{OL}	±60mV
High Level Output Voltage	V _{OH}	±150mV
Input Leakage Current	I _{IL} , I _{IH}	±150nA

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUPS	METHOD	-Q SUBGROUPS	READ AND RECORD
Initial Test (Pre Burn-In)	100%/5004	1, 7, 9	See Table 5
Interim Test I (Post Burn-In)	100%/5004	1, 7, 9	See Table 5
Interim Test II (Post Burn-In)	100%/5004	1, 7, 9	See Table 5
PDA	100%/5004	1, 7, 9, Δ	-
Interim Test III (Post-Burn-In)	100%/5004	1, 7, 9	See Table 5
PDA	100%/5004	1, 7, 9, Δ	-
Final Test	100%/5004	2, 3, 8A, 8B, 10, 11	-
Group A	Samples/5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	-
Group B	B5	1, 2, 3, 7, 8A, 8B, 9, 10, 11, Δ	Subgroups 1, 2, 3, 9, 10, 11
	B6	1, 7, 9	-
Group D	Samples/5005	1, 7, 9	-

TABLE 6A. APPLICABLE SUBGROUPS

CONFORMANCE GROUPS	METHOD	-8 SUBGROUPS
Initial Test (Pre Burn-In)	100%/5004	1, 7, 9
Interim Test (Post-Burn-In)	100%/5004	1, 7, 9
PDA	100%/5004	1, 7, 9

Spec Number 518789

4302271 0064188 9TD

Specifications HS-26C31RH

TABLE 6A. APPLICABLE SUBGROUPS (Continued)

CONFORMANCE GROUPS	METHOD	-8 SUBGROUPS
Final Test	100%/5004	2, 3, 6A, 8B, 10, 11
Group A	Samples/5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11
Group C	Samples/5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11
Group D	Samples/5005	1, 7, 9

TABLE 7. TOTAL DOSE IRRADIATION

CONFOMRANCE GROUPS	METHOD	TEST		READ AND RECORD	
		PRE-RAD	POST-RAD	PRE-RAD	POST-RAD
Group E Subgroup 2	5005	1, 7, 9	Table 4	1, 7, 9	Table 4

NOTE: Each pin except for VDD and GND will have a $47\text{k}\Omega$ resistor $\pm 5\%$.

TABLE 8. BURN-IN TEST CONNECTIONS ($+125^\circ\text{C} < T_A < 139^\circ\text{C}$, $VCC = 6\text{V}, \pm 0.5\text{V}$)

TEST	OPEN	GROUND	VDD	1/2VDD	50KHz	25KHz
Static Burn-In I	2, 3, 5, 6, 10, 11, 13, 14	1, 4, 7, 8, 9, 12, 15	16	-	-	-
Static Burn-In II	2, 3, 5, 6, 10, 11, 13, 14	8	1, 4, 7, 9, 12, 15, 16	-	-	-
Dynamic Burn-in	-	8, 12	4, 16	2, 3, 5, 6, 10, 11, 13, 14	1, 7, 9, 15	-

NOTE: Each pin except for VDD and Ground will have a series resistor as specified below:

Static Burn-In

$10\text{k}\Omega \pm 5\%$

Dynamic Burn-In

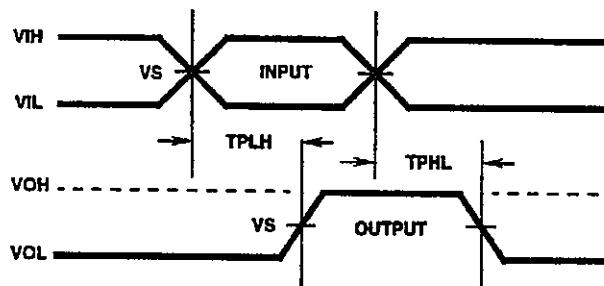
$200\Omega \pm 5\%$

TABLE 9. IRRADIATION TEST CONNECTIONS ($T_A = +25^\circ\text{C}, \pm 5^\circ\text{C}$, $VDD = 5\text{V}, \pm 10\%$)

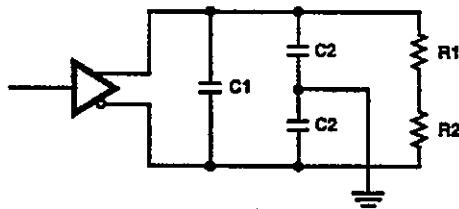
TEST	OPEN	GROUND	VDD	1/2VDD	50KHz	25KHz
Radiation Exposure	2, 3, 5, 8, 10, 11, 13, 14	8	1, 4, 7, 9, 12, 15, 16	-	-	-

NOTE: Each pin except for VDD and Ground will have a series resistor.

Propagation Delay Timing Diagram



Propagation Delay Load Circuit



$C_1 = C_2 = C_3 = 40\text{pF}$
 $R_1 = R_2 = 50\Omega$

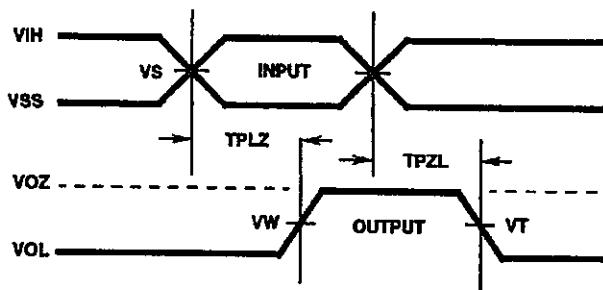
AC VOLTAGE LEVELS

PARAMETER	HS-26C31	UNITS
VDD	4.50	V
VIH	4.50	V
VS	50	%
VIL	0	V
GND	0	V

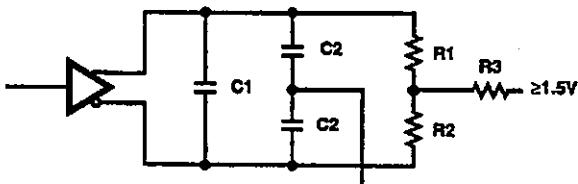
Spec Number **518789**

: ■ 4302271 0064189 837 ■

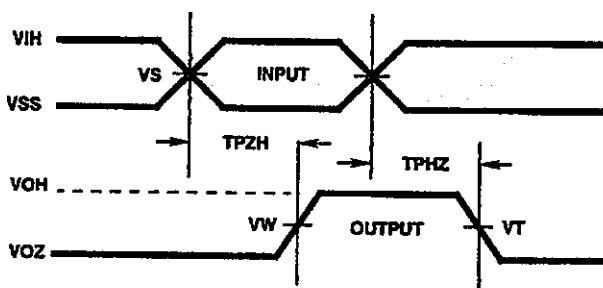
5

Three-State Low Timing Diagrams**THREE-STATE LOW VOLTAGE LEVELS**

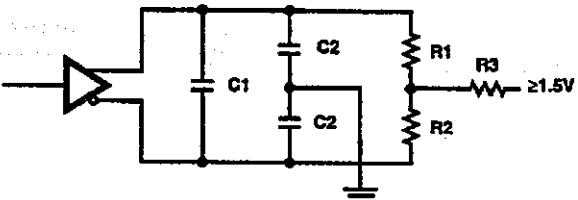
PARAMETER	HS-26C31	UNITS
VDD	4.50	V
VIH	4.50	V
VS	50	%
VW	VOL + 0.3	V
VT	0.80	V

Three-State Low Load Circuit

C1 = C2 = C3 = 40pF
R1 = R2 = 50Ω
R3 = 500Ω

Three-State High Timing Diagrams**THREE-STATE HIGH VOLTAGE LEVELS**

PARAMETER	HS-26C31	UNITS
VDD	4.50	V
VIH	4.50	V
VS	50	%
VT	VOH - 0.3	V
VW	2.00	V

Three-State High Load Circuit

C1 = C2 = C3 = 40pF
R1 = R2 = 50Ω
R3 = 500Ω

Harris - Space Level Product Flow - Q

Wafer Lot Acceptance (All Lots) Method 5007 (Includes SEM)	100% Interim Electrical Test 2 (Note 1)
Radiation Verification (Each Wafer) Method 1019, 300k RAD (Si), 4 Samples/Wafer, 0 Rejects	100% Dynamic Burn-In 240 Hour, +125°C or Equivalent, Method 1015
100% Nondestructive Bond Pull Method 2023	100% Interim Electrical 3 (Note 1)
100% Internal Visual Inspection Method 2010, Condition A	100% Final Electrical Test
100% Temperature Cycling Method 1010, Condition C	100% Fine and Gross Seal Method 1014
100% Constant Acceleration	100% Radiographics Method 2012
100% Particle Impact Noise Detection Testing	100% External Visual Method 2009
100% External Visual Inspection	Group A (All Tests) Method 5005 (Class S)
100% Serialization	Data Package Generation (Note 2)
100% Initial Electrical Test	
100% Static Burn-In1: 24 Hour, +125°C Min, Method 1015	
100% Interim Electrical Test 1 (Note 1)	
100% Static Burn-In 2: 24 Hour, +125°C Min, Method 1015	

NOTES:

1. Failure from interim electrical tests 1 and 2 are combined for determining PDA (PDA = 5% for subgroups 1, 7, 9 and delta failures combined, PDA = 3% for subgroup 7 failures). Interim electrical tests 3 PDA (PDA = 5% for subgroups 1, 7, 9 and delta failures combined, PDA = 3% for subgroup 7 failures).
2. Data Package Contents:
 Cover Sheet (P.O. Number, Customer Number, Lot Date Code, Harris Number, Lot Number, Quantity).
 Certificate of Conformance (as found on shipper).
 Lot Serial Number Sheet (Good Unit(s) Serial Number and Lot Number).
 Variables Data (All Read, Record, and delta operations).
 Attribute Summary from Post Seal through Final Test.
 Group A Attributes Data Summary.
 Wafer Lot Acceptance Report (Method 5007) to include reproductions of SEM photos. NOTE: SEM photos to include % of step coverage.
 X-Ray Report and File(s), including penetrometer measurements.
 GAMMA Radiation Report with initial shipment of devices from the same wafer lot; containing a Cover Page, Disposition, Rad Dose, Lot Number, Test Package, Spec Number(s), Test Equipment, etc. Irradiation Read and Record data will be on file at Harris.

Harris - 8 Product Flow

Internal Visual Inspection - Method 2010, Condition B or B-Alternate	Electrical Tests Subgroups 1, 7, 9 (T1) Method 5004
Gamma Radiation Assurance Tests Method 1019	PDA Calculation 5% Subgroups 1, 7 Method 5004
Temperature Cycling Method 1010, Condition C	Electrical Tests +125°C, -55°C Method 5004
Constant Acceleration Method 2001 Y1, Condition per Method 5004	Group A Inspection Method 5005
Fine and Gross Leak Tests Method 1014	External Visual Inspection Method 2009

Marking**Initial Electrical Tests (T0)**

Dynamic Burn-In 160 Hrs, +125°C Method 1015
or Equivalent, Condition D

NOTE:

1. '8' Data package contains:
 Test Attributes (includes Group A) -55°C, +25°C, +125°C
 Radiation Testing Certificate of Conformance

Spec Number 518789

4302271 0064191 495

7

Metallization Topology

DIE DIMENSIONS:
87 mils x 188 mils
(2219 x 4770)

METALLIZATION:
M1: Mo/Tiw
Thickness: 5800Å

M2: Al/Si/Cu
Thickness: 10kÅ ±1kÅ

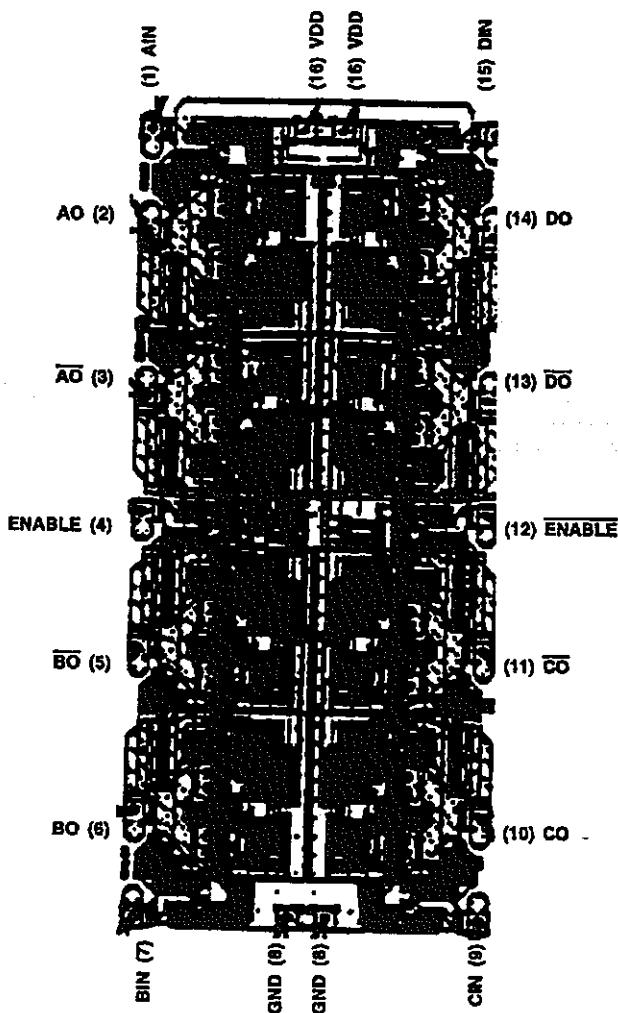
GLASSIVATION:
Type: SiO₂
Thickness: 10kÅ ± 1kÅ

WORST CASE CURRENT DENSITY:
 $<2.0 \times 10^5 \text{ A/cm}^2$

BOND PAD SIZE: 110μm x 100μm

Metallization Mask Layout

HS-26C31RH



Spec Number **518789**

: ■■ 4302271 0064192 321 ■■

5. HS-26C32RH

- ・用途 : RS-422規格データ伝送用IC(受信側)
- ・機能 : Quad Differential Line Receiver
- ・耐放射線性 : TOTAL DOSE 3×10^5 Rad (Si)
- ・スタンバイ消費電力: 138mW (MAX)
- ・動作温度範囲 : -55°C ~ +125°C

HS-26C32RHは、RS-422規格データ伝送用のQuad Differential Line Receiver ICです。このチップは、4つの独立した受信回路を備えています。各回路は、差動入力端子と共通地端子を介して動作します。受信回路は、外部のゲート駆動回路によって操作されます。HS-26C32RHは、低消費電力で動作する一方で、高い耐放射線性を有しています。TOTAL DOSEは、 3×10^5 Rad (Si)とされています。動作温度範囲は、-55°Cから+125°Cまで広く、スタンバイ消費電力は138mW(MAX)です。

Radiation Hardened Quad Differential Line Receiver

August 1995

Features

- 1.2 Micron Radiation Hardened CMOS
 - Total Dose Up to 300K RAD (Si)
- Latchup Free
- EIA RS-422 Compatible Outputs
- CMOS Compatible Inputs
- Input Fail Safe Circuitry
- High Impedance Inputs when Disabled or Powered Down
- Low Power Dissipation 138mW Standby (Max)
- Single 5V Supply
- Full -55°C to +125°C Military Temperature Range

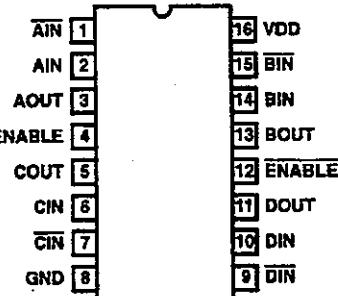
Description

The Harris HS-26C32RH is a differential line receiver designed for digital data transmission over balanced lines and meets the requirements of EIA standard RS-422. Radiation hardened CMOS processing assures low power consumption, high speed, and reliable operation in the most severe radiation environments.

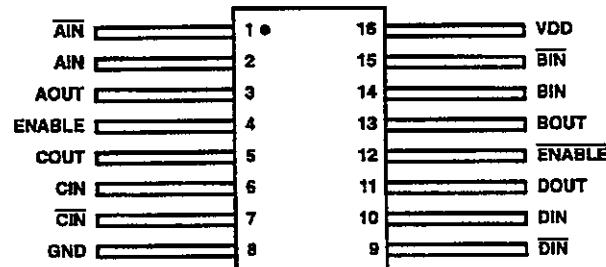
The HS-26C32RH has an input sensitivity typically of 200mV over the common mode input voltage range of $\pm 7V$. The receivers are also equipped with input fail safe circuitry, which causes the outputs to go to a logic "1" when the inputs are open. Enable and Disable functions are common to all four

Pinouts

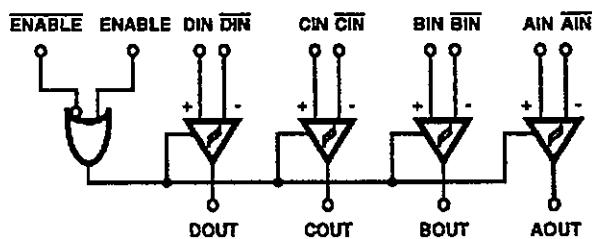
HS1-26C32RH 16 LEAD CERAMIC SIDEBAZE DIP
MIL-STD-1835: CDIP2-T16
TOP VIEW



HS9-26C32RH 16 LEAD FLATPACK
MIL-STD-1835: CDFP4-F16
TOP VIEW



Logic Diagram



TRUTH TABLE

DEVICE POWER ON/OFF	INPUTS			OUTPUT
	ENABLE	ENABLE	INPUT	
ON	0	1	X	HI-Z
ON	1	X	$VID \geq VTH$ (Max)	1
ON	1	X	$VID \leq VTH$ (Min)	0
ON	X	0	$VID \geq VTH$ (Max)	1
ON	X	0	$VID \leq VTH$ (Min)	0
ON	1	X	Open	1
ON	X	0	Open	1

Ordering Information

PART NUMBER	TEMPERATURE RANGE	SCREENING LEVEL	PACKAGE
HS1-26C32RH-8	-55°C to +125°C	Harris Class B Equivalent	16 Lead Sideboard DIP
HS1-26C32RH-Q	-55°C to +125°C	Harris Class S Equivalent	16 Lead Sideboard DIP
HS9-26C32RH-8	-55°C to +125°C	Harris Class B Equivalent	16 Lead Flatpack
HS9-26C32RH-Q	-55°C to +125°C	Harris Class S Equivalent	16 Lead Flatpack
HS1-26C32RH/Sample	+25°C	Sample	16 Lead Sideboard DIP
HS1-26C32RH/Proto	-55°C to +125°C	Prototype	16 Lead Sideboard DIP
HS9-26C32RH/Sample	+25°C	Sample	16 Lead Flatpack
HS9-26C32RH/Proto	-55°C to +125°C	Prototype	16 Lead Flatpack

CAUTION. These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1995

Spec Number 518790

File Number 3402.2

■ 4302271 0063163 633 ■

1

Specifications HS-26C32RH

Absolute Maximum Ratings

Supply Voltage	-0.5V to +7.0V
Differential Input Voltage	$\pm 12V$
Common Mode Range	$\pm 12V$
Enable Pins Input Voltage	-0.5V to VDD+0.5V
DC Drain Current (Any One Output)	$\pm 25mA$
DC Diode Input Current Enable Pin	$\pm 1\mu A$
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 10s)	+300°C
ESD Classification	Class 1

Reliability Information

	θ_{JA}	θ_{JC}
SBDIP Package	80°C/W	20°C/W
Ceramic Flatpack Package	103°C/W	26°C/W
Maximum Package Power Dissipation at +125°C		
SBDIP Package	0.6W	
Ceramic Flatpack Package		0.5W
Maximum Device Power Dissipation		0.3W
Note: Maximum device Power Dissipation is defined as VDD x ICC and must withstand the added PD due to output current test; IO at +125°C		
Derating Requirements:		
SBDIP Package	No Derating Required	
Ceramic Flatpack Package	No Derating Required	

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range	+4.5V to +5.5V	Input Low Voltage (VIL)	0V to 0.3VDD Max
Operating Temperature Range	-55°C to +125°C	Input High Voltage (VIH)	VDD to 0.7VDD Min
Common Mode Range	$\pm 7.0V$	Input Rise and Fall Time	500ns Max

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	(NOTE 2) LIMITS		UNITS
					MIN	MAX	
High Level Output Voltage	VOH	VDD = 4.5V, VDIFF = 1.0V, IO = -6mA (Notes 2, 5)	1, 2, 3	-55°C, +25°C, +125°C	4.1	-	V
Low Level Output Voltage	VOL	VDD = 4.5V, VDIFF = -1.0V, IO = 6mA (Note 5)	1, 2, 3	-55°C, +25°C, +125°C	-	0.4	V
Differential Input Voltage	VTH	VDD = VIH = 4.5V, -7.0V < VCM < 7.0V	1, 2, 3	-55°C, +25°C, +125°C	-400	+400	mV
Enabled High Level Input Voltage	VIH	VDD = 4.5V, 5.5V (Note 4)	1, 2, 3	-55°C, +25°C, +125°C	0.7	-	V
Enabled Low Level Input Voltage	VIL	VDD = 4.5V, 5.5V (Note 4)	1, 2, 3	-55°C, +25°C, +125°C	-	0.3	V
Input Current High (Differential Inputs)	IINH	VDD = 5.5, +V = 10V, -V = 0V and +V = 0V, -V = 10V	1, 2, 3	-55°C, +25°C, +125°C	-	1.8	mA
Input Current Low (Differential Inputs)	IINL	VDD = 5.5, +V = -10V, -V = 0V and +V = 0V, -V = -10V	1, 2, 3	-55°C, +25°C, +125°C	-	-2.7	mA
Input Leakage Enable Pins	IIN	VDD = 5.5V, VIN = 0V, 5.5V	1, 2, 3	-55°C, +25°C, +125°C	-	± 1.0	μA
Three-State Output Leakage Current	IOZ	VDD = 5.5V, VO = VDD or GND	1, 2, 3	-55°C, +25°C, +125°C	-5.0	5.0	μA
Standby Supply Current	IDDSB	VDD = 5.5V, VDIFF = 1.0V Outputs = Open	1, 2, 3	-55°C, +25°C, +125°C	-	25	mA
Enable Clamp Voltage	VIC	At -1mA	1, 2, 3	-55°C, +25°C, +125°C	-	-1.5	V
		At 1mA			-	1.5	
Input Hysteresis	VHYST		1	-55°C, +25°C, +125°C	20	100	mV
Input Resistance	RIN	$-7V \leq VCM \leq 7V$	1	-55°C, +25°C, +125°C	4	20	k Ω

NOTES:

1. All voltages referenced to device ground.
2. Force/Measure functions may be interchanged.
3. These test condition are detailed in EIA specification RS-422.
4. This parameter tested as inputs for the VOL, VOH, IOZ tests.
5. VIL = 0.3VDD, VIH = 0.7VDD.

■ 4302271 0063164 57T ■

Spec Number 518790

Specifications HS-26C32RH

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTES 1, 2) CONDITIONS	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Propagation Delay Time	TPLH, TPHL	VDD = 4.5V, VDIFF = 2.5V	9, 10, 11	-55°C, +25°C, +125°C	6	40	ns
Propagation Delay Time	TPZH, TPZL	VDD = 4.5V, VDIFF = 2.5V	9, 10, 11	-55°C, +25°C, +125°C	3	18	ns
Propagation Delay Time	TPLZ, TPHZ	VDD = 4.5V, VDIFF = 2.5V	9, 10, 11	-55°C, +25°C, +125°C	6	29	ns
Propagation Delay Time TRISE/TFALL	TTHL, TTLH	VDD = 4.5V, VDIFF = 2.5V	9, 10, 11	-55°C, +25°C, +125°C	2	12	ns

NOTES:

1. All voltages referenced to device ground.
2. See Table EIA RS-422

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	(NOTE 1) CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Input Capacitance	CIN	VDD = Open, f = 1MHz	1	-55°C, +25°C, +125°C	-	12	pF
Output Capacitance	COUT	VDD = Open, f = 1MHz	1	-55°C, +25°C, +125°C	-	12	pF
Fail Safe	FSAFE	+ and - Inputs are Open, VOUT = Logic "1"	1	-55°C, +25°C, +125°C	4.1	-	V

NOTE:

1. The parameters listed on Table 3 are controlled via design or process parameters. Min and Max limits are guaranteed but not directly tested. These parameters are characterized at initial design release and upon design changes which would affect these characteristics.

TABLE 4. POST IRRADIATION ELECTRICAL PERFORMANCE CHARACTERISTICS

The post irradiation electrical performance characteristics are the same as the parameters listed in Tables 1, 2 and 3.

TABLE 5. BURN-IN DELTA PARAMETERS (+25°C) AND GROUP B, SUBGROUP 5 DELTA PARAMETERS

PARAMETER	SYMBOL	DELTA LIMITS
Standby Supply Current	IDDSB	±4mA
Three-State Output Leakage Current	IOZ	±1.0µA
Low Level Output Voltage	VOL	±60mV
High Level Output Voltage	VOH	±150mV
Input Leakage Current	IIN	±150nA

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS		
		TESTED FOR -Q	RECORDED FOR -Q	TESTED FOR -S
Initial Test	100% 5004	1, 7, 9	1 (Note 2)	1, 7, 9
Interim Test	100% 5004	1, 7, 9, Δ	1, Δ (Note 2)	1, 7, 9
PDA 1 & 2	100% 5004	1, 7, Δ	-	1, 7
Final Test	100% 5004	2, 3, 8A, 8B, 10, 11	-	2, 3, 8A, 8B, 10, 11

Spec Number 518790

■ 4302271 0063165 406 ■

Specifications HS-26C32RH

TABLE 6. APPLICABLE SUBGROUPS (Continued)

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS			
		TESTED FOR -Q	RECORDED FOR -Q	TESTED FOR -S	RECORDED FOR -S
Group A (Note 1)	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	-	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Subgroup B5	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	1, 2, 3 (Note 2)	N/A	
Subgroup B6	Sample 5005	1, 7, 9	-	N/A	
Group C	Sample 5005	N/A	N/A	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Group D	Sample 5005	1, 7, 9	-	1, 7, 9	
Group E, Subgroup 2	Sample 5005	1, 7, 9	-	1, 7, 9	

NOTES:

1. Alternate Group A testing in accordance with MIL-STD-883 method 5005 may be exercised.
2. Table 5 parameters only

TABLE 7. TOTAL DOSE IRRADIATION

CONFORMANCE GROUPS	METHOD	TEST		READ AND RECORD	
		PRE-RAD	POST-RAD	PRE-RAD	POST-RAD
Group E Subgroup 2	5005	1, 7, 9	Table 4	1, 7, 9	Table 4

TABLE 8. BURN-IN TEST CONNECTIONS (VDD = 6V, ±0.5V)

TEST	OPEN	GROUND	POWER SUPPLY A VDD	POWER SUPPLY B 1/2 VDD	POWER SUPPLY C 1/2 VDD	50KHz
Static Burn-In I	3, 5, 11, 13	2, 4, 6, 8, 10, 12, 14	1, 7, 9, 15, 16	-	-	-
Static Burn-in II	3, 5, 11, 13	1, 7, 8, 9, 15	2, 4, 6, 10, 12, 14, 16	-	-	-
Dynamic Burn-In Option 1	-	8, 12	4, 16	1, 3, 5, 7, 9, 11, 13, 15 (Note 2)	-	2, 6, 10, 14
Dynamic Burn-In Option 2	-	12, 8	4, 16	1, 7, 9, 15	3, 5, 11, 13	2, 6, 10, 14

NOTES:

1. Each pin except for VDD and GND will have a series resistor. (For static BI, $R = 10k\Omega \pm 5\%$, for dynamic BI, $R = 680\Omega \pm 5\%$)
2. When connecting the - inputs and their associated outputs to the same supply, a power supply bypass capacitor of $22\mu F$ must be used.

TABLE 9. IRRADIATION TEST CONNECTIONS ($T_A = +25^\circ C, \pm 5^\circ C$, VDD = 5V, ±10%)

TEST	OPEN	GROUND	VDD	1/2 VDD	50kHz	25kHz
Radiation Exposure	3, 5, 11, 13	2, 4, 6, 8, 10, 12, 14	1, 7, 9, 15, 16	-	-	-

NOTES:

1. Each pin except for VDD and GND will have a series resistor. ($R = 47k\Omega \pm 5\%$).
2. When connecting the - inputs and their associated outputs to the same supply, a power supply bypass capacitor of $22\mu F$ must be used.

■ 4302271 0063166 342 ■

Spec Number 518790

Harris Space Level Product Flow -Q

Wafer Lot Acceptance (All Lots) Method 5007 (Includes SEM)	100% Interim Electrical Test 1 (T1) 100% Delta Calculation (T0-T1)
GAMMA Radiation Verification (Each Wafer) Method 1019, 4 Samples/Wafer, 0 Rejects	100% Static Burn-In 2, Method 1015, Condition A or B, 24 Hours Minimum, +125°C Minimum
100% Die Attach (Note 1)	100% Interim Electrical Test 1 (T2)
100% Nondestructive Bond Pull, Method 2023	100% Delta Calculation (T0-T2)
Sample - Wire Bond Pull Monitor, Method 2011	100% PDA 1, Method 5004 (Note 2)
Sample - Die Shear Monitor, Method 2019 or 2027	100% Dynamic Burn-In, Condition D, 240 Hours, +125°C or Equivalent, Method 1015
100% Internal Visual Inspection, Method 2010, Condition A	100% Interim Electrical Test 2(T3)
CSI and/or GSI Pre-Cap (Note 7)	100% Delta Calculation (T0-T3)
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	100% PDA 2, Method 5004 (Note 2)
100% Constant Acceleration, Method 2001, Condition per Method 5004	100% Final Electrical Test (T4)
100% PIND, Method 2020, Condition A	100% Fine/Gross Leak, Method 1014
100% External Visual	100% Radiographic (X-Ray), Method 2012 (Note 3)
100% Serialization	100% External Visual, Method 2009
100% Initial Electrical Test (T0)	Sample - Group A, Method 5005 (Note 4)
100% Static Burn-In 1, Condition A or B, 24 Hours Min, +125°C Min, Method 1015	Sample - Group B, Method 5005 (Note 5)
	Sample - Group D, Method 5005 (Notes 5 and 6)
	100% Data Package Generation (Note 8)
	CSI and/or GSI Final (Note 7)

NOTES:

1. Silver glass die attach shall be permitted.
2. Failures from subgroup 1, 7 and deltas are used for calculating PDA. The maximum allowable PDA = 5% with no more than 3% of the failures from subgroup 7.
3. Radiographic (X-Ray) inspection may be performed at any point after serialization as allowed by Method 5004. Per method 5004, 1 view only is supplied on flat packages and leadless chip carriers, 2 views are supplied in all other cases.
4. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
5. Group B and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B Test, Group B Samples, Group D Test and Group D Samples.
6. Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group D Generic Data. Group D Generic Data. Generic data is not guaranteed to be available and is therefore not available in all cases.
7. CSI and/or GSI inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for CSI PreCap inspection, CSI Final Inspection, GSI PreCap inspection, and/or GSI Final Inspection.
- B. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - Wafer Lot Acceptance Report (Method 5007). Includes reproductions of SEM photos with percent of step coverage.
 - GAMMA Radiation Report. Contains Cover page, disposition, Rad Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - X-Ray report and film. Includes penetrometer measurements.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Lot Serial Number Sheet (Good units serial number and lot number).
 - Variables Data (All Delta operations). Data is identified by serial number. Data header includes lot number and date of test.
 - Group B and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

4302271 0063167 289

5

Spec Number 518790

Harris Space Level Product Flow -8

GAMMA Radiation Verification (Each Wafer) Method 1019, 4 Samples/Wafer, 0 Rejects	100% Dynamic Burn-In, Condition D, 160 Hours, +125°C or Equivalent, Method 1015
100% Die Attach (Note 1)	100% Interim Electrical Test
Periodic- Wire Bond Pull Monitor, Method 2011	100% PDA, Method 5004 (Note 2)
Periodic- Die Shear Monitor, Method 2019 or 2027	100% Final Electrical Test
100% Internal Visual Inspection, Method 2010, Condition B	100% Fine/Gross Leak, Method 1014
CSI and/or GSI Pre-Cap (Note 6)	100% External Visual, Method 2009
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	Sample - Group A, Method 5005 (Note 3)
100% Constant Acceleration, Method 2001, Condition per Method 5004	Sample - Group B, Method 5005 (Note 4)
100% External Visual	Sample - Group C, Method 5005 (Notes 4 and 5)
100% Initial Electrical Test	Sample - Group D, Method 5005 (Notes 4 and 5)
	100% Data Package Generation (Note 7)
	CSI and/or GSI Final (Note 6)

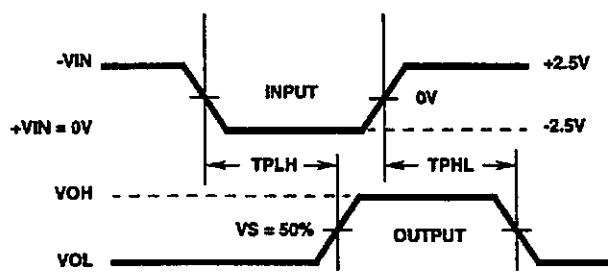
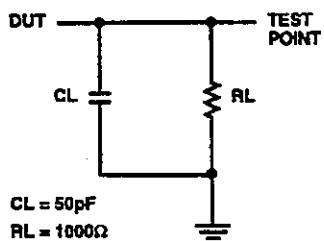
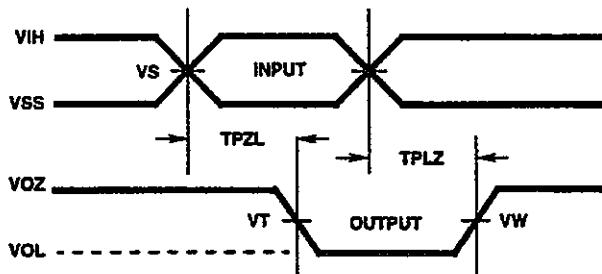
NOTES:

1. Silver glass die attach shall be permitted.
2. Failures from subgroup 1, 7 are used for calculating PDA. The maximum allowable PDA = 5%.
3. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
4. Group B, C and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B Test, Group C Test, Group C Samples, Group D Test and Group D Samples.
5. Group C and/or Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group C Generic Data and/or Group D Generic Data. Generic data is not guaranteed to be available and is therefore not available in all cases.
6. CSI and/or GSI inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for CSI PreCap inspection, CSI Final Inspection, GSI PreCap inspection, and/or GSI Final Inspection.
7. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - GAMMA Radiation Report. Contains Cover page, disposition, Rad Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Group B, C and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

■ 4302271 0063168 115 ■

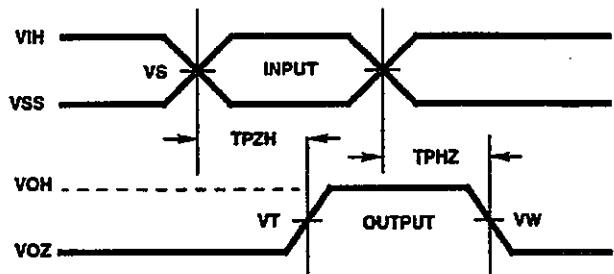
8

Spec Number 518790

Propagation Delay Timing Diagram**Propagation Delay Load Circuit****Three-State Low Timing Diagrams**

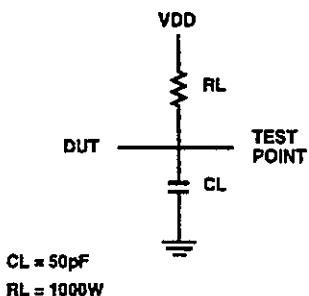
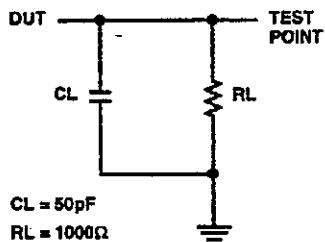
THREE-STATE LOW VOLTAGE LEVELS

PARAMETER	HS-26C32RH	UNITS
VDD	4.50	V
VIH	4.50	V
VS	2.25	V
VT	50	%
VW	$VOL + 0.5$	V
GND	0	V

Three-State High Timing Diagrams

THREE-STATE HIGH VOLTAGE LEVELS

PARAMETER	HS-26C32RH	UNITS
VDD	4.50	V
VIH	4.50	V
VS	2.25	V
VT	50	%
VW	$VOH - 0.5$	V
GND	0	V

Three-State Low Load Circuit**Three-State High Load Circuit**

Spec Number 518790

4302271 0063169 051

7

Metalization Topology**DIE DIMENSIONS:**

84mils x 130 mils
(2140 μ m x 3290 μ m)

METALLIZATION:

M1: Mo/TiW
Thickness: 5800 \AA

M2: Al/Si/Cu
Thickness: 5800 \AA

GLASSIVATION:

Type: SiO₂
Thickness: 10k \AA \pm 1k \AA

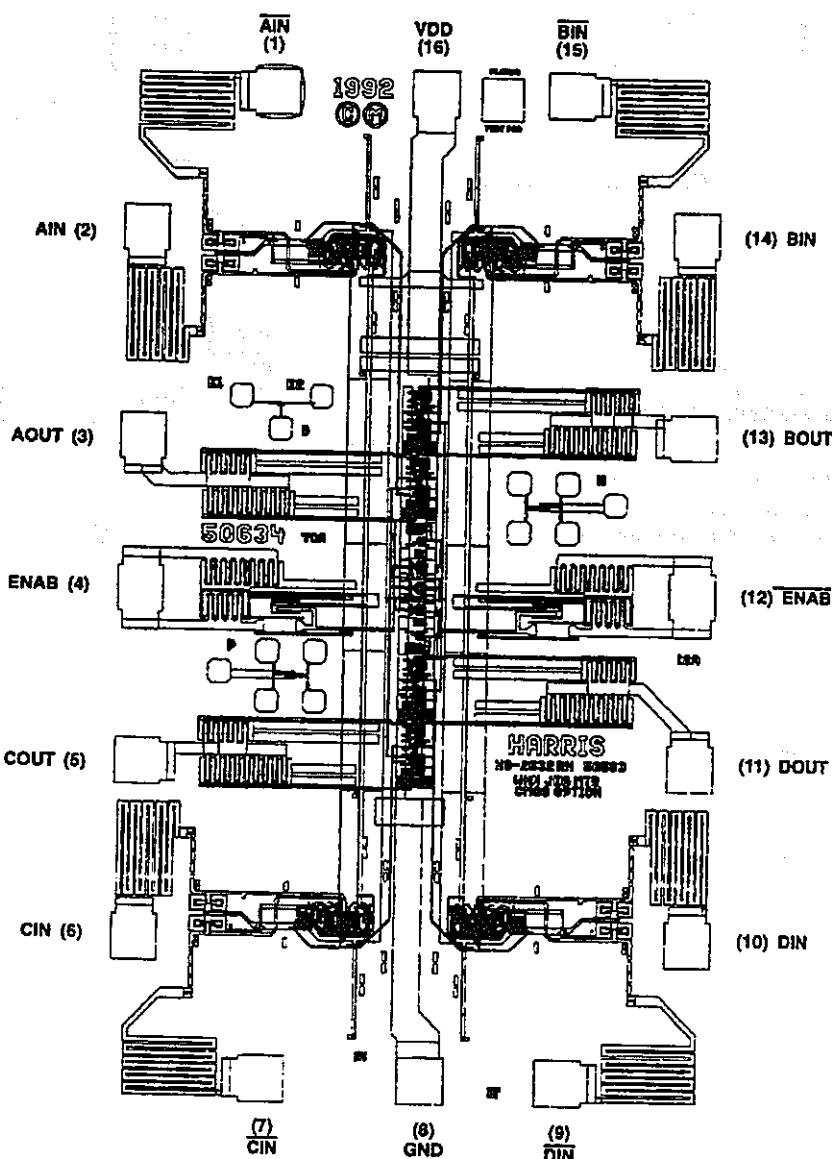
WORST CASE CURRENT DENSITY:

<2.0 \times 10⁵ A/cm²

BOND PAD SIZE: 110 μ m x 100 μ m

Metalization Mask Layout

HS-26C32RH

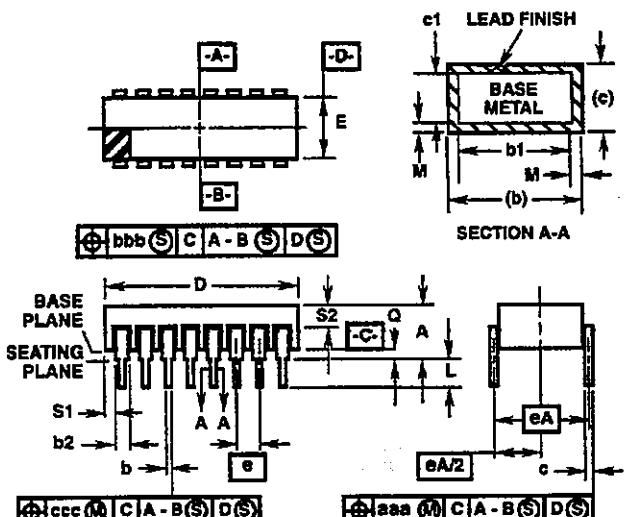


■ 4302271 0063170 873 ■

Spec Number 518790

HS-26C32RH

Packaging



NOTES:

1. Index area: A notch or a pin one identification mark shall be located adjacent to pin one and shall be located within the shaded area shown. The manufacturer's identification shall not be used as a pin one identification mark.
2. The maximum limits of lead dimensions b and c or M shall be measured at the centroid of the finished lead surfaces, when solder dip or tin plate lead finish is applied.
3. Dimensions b1 and c1 apply to lead base metal only. Dimension M applies to lead plating and finish thickness.
4. Corner leads (1, N, N/2, and N/2+1) may be configured with a partial lead paddle. For this configuration dimension b3 replaces dimension b2.
5. Dimension Q shall be measured from the seating plane to the base plane.
6. Measure dimension S1 at all four corners.
7. Measure dimension S2 from the top of the ceramic body to the nearest metallization or lead.
8. N is the maximum number of terminal positions.
9. Braze fillets shall be concave.
10. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
11. Controlling dimension: INCH.

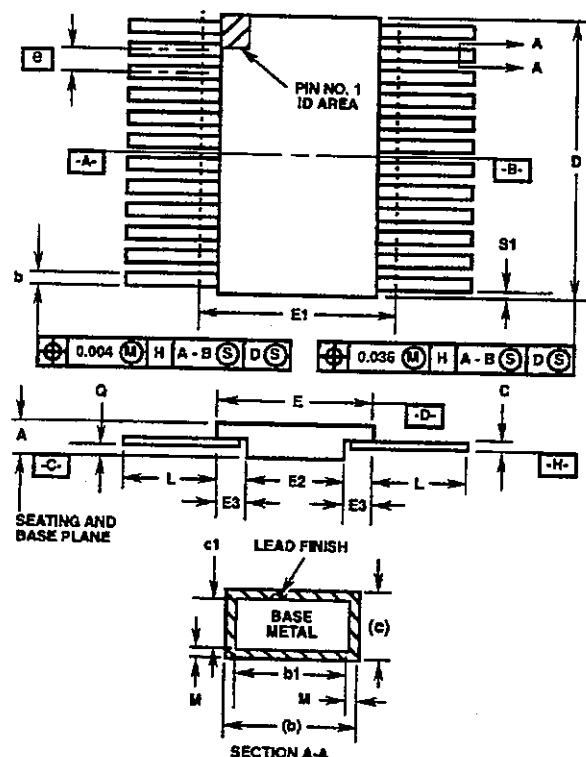
**D16.3 MIL-STD-1835 CDIP2-T16 (D-2, CONFIGURATION C)
16 LEAD CERAMIC DUAL-IN-LINE METAL SEAL PACKAGE**

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.200	-	5.08	-
b	0.014	0.026	0.36	0.66	2
b1	0.014	0.023	0.36	0.58	3
b2	0.045	0.065	1.14	1.65	-
b3	0.023	0.045	0.58	1.14	4
c	0.008	0.018	0.20	0.46	2
c1	0.008	0.015	0.20	0.38	3
D	-	0.840	-	21.34	-
E	0.220	0.310	5.59	7.87	-
e	0.100 BSC		2.54 BSC		-
eA	0.300 BSC		7.62 BSC		-
eA/2	0.150 BSC		3.81 BSC		-
L	0.125	0.200	3.18	5.08	-
Q	0.015	0.060	0.38	1.52	5
S1	0.005	-	0.13	-	6
S2	0.005	-	0.13	-	7
α	90°	105°	90°	105°	-
aaa	-	0.015	-	0.38	-
bbb	-	0.030	-	0.76	-
ccc	-	0.010	-	0.25	-
M	-	0.0015	-	0.038	2
N	16		16		8

Rev. 0 4/94

■ 4302271 0063171 70T ■

Spec Number 518790

Packaging (Continued)

NOTES:

1. Index area: A notch or a pin one identification mark shall be located adjacent to pin one and shall be located within the shaded area shown. The manufacturer's identification shall not be used as a pin one identification mark. Alternately, a tab (dimension k) may be used to identify pin one.
2. If a pin one identification mark is used in addition to a tab, the limits of dimension k do not apply.
3. This dimension allows for off-center lid, meniscus, and glass overrun.
4. Dimensions b1 and c1 apply to lead base metal only. Dimension M applies to lead plating and finish thickness. The maximum limits of lead dimensions b and c or M shall be measured at the centroid of the finished lead surfaces, when solder dip or tin plate lead finish is applied.
5. N is the maximum number of terminal positions.
6. Measure dimension S1 at all four corners.
7. For bottom-brazed lead packages, no organic or polymeric materials shall be molded to the bottom of the package to cover the leads.
8. Dimension Q shall be measured at the point of exit (beyond the meniscus) of the lead from the body. Dimension Q minimum shall be reduced by 0.0015 inch (0.038mm) maximum when solder dip lead finish is applied.
9. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
10. Controlling dimension: INCH.

**K16.A MIL-STD-1835 CDFP4-F16 (F-5A, CONFIGURATION B)
16 LEAD CERAMIC METAL SEAL FLATPACK PACKAGE**

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.045	0.115	1.14	2.92	-
b	0.015	0.022	0.38	0.56	-
b1	0.015	0.019	0.38	0.48	-
c	0.004	0.009	0.10	0.23	-
c1	0.004	0.006	0.10	0.15	-
D	-	0.440	-	11.18	3
E	0.245	0.285	6.22	7.24	-
E1	-	0.315	-	8.00	3
E2	0.130	-	3.30	-	-
E3	0.030	-	0.76	-	7
e	0.050 BSC		1.27 BSC		-
k	0.008	0.015	0.20	0.38	2
L	0.250	0.370	6.35	9.40	-
Q	0.026	0.045	0.66	1.14	8
S1	0.005	-	0.13	-	6
M	-	0.0015	-	0.04	-
N	16		16		-

Rev. 1 2-20-95

■ 4302271 0063172 646 ■

10

Spec Number 518790

6. UT22VP10

- ・用途 : 制御回路用ロジック IC
- ・機能 : Programmable Array Logic
- ・耐放射線性 : TOTAL DOSE 1×10^6 Rad (Si)
- ・消費電力 : 1.6 W (MAX)
- ・推奨動作温度 : -55°C ~ +125°C

UT22VP10 Universal RADPAL™

Data Sheet



April 1996

FEATURES

- High speed Universal RADPAL
 - t_{PD} : 20ns, 25ns maximum
 - f_{MAX1} : 33MHz maximum external frequency
 - Supported by industry-standard programmer
 - Amorphous silicon anti-fuse
- Asynchronous & synchronous RADPAL operation
 - Synchronous PRESET
 - Asynchronous RESET
- Up to 22 input and 10 output drivers may be configured
 - CMOS & TTL-compatible input and output levels
 - Three-state output drivers
- Variable product terms, 8 to 16 per output
- 10 user-programmable output macrocells
 - Registered or combinatorial operation
 - Output driver polarity control selectable
 - Two feedback paths available
- V_{DD} : 5.0 volts $\pm 10\%$
- Radiation-hardened process and design; total dose irradiation testing to MIL-STD-883, Method 1019
 - Total dose: 1.0E6 rads(Si)
 - Single event effects:
 - Upset threshold 50 MeV-cm²/mg (min)
 - Latchup immune
 - Neutron fluence: 1.0E14 n/cm²
- QML Q & V compliant
- Packaging options:
 - 24-pin 100-mil center DIP (0.300 x 1.2)
 - 24-lead flatpack (.45 x .64)
 - 28-lead quad-flatpack (.45 x .45)
- Standard Military Drawing 5962-94754 available

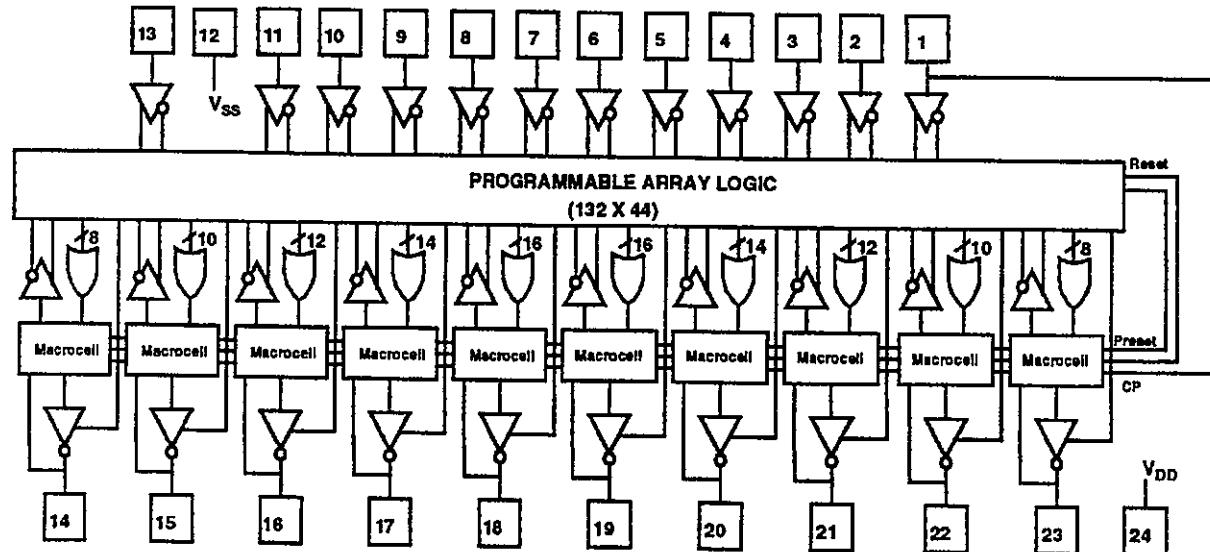


Figure 1. Block Diagram

■ 9343947 0005724 915 ■

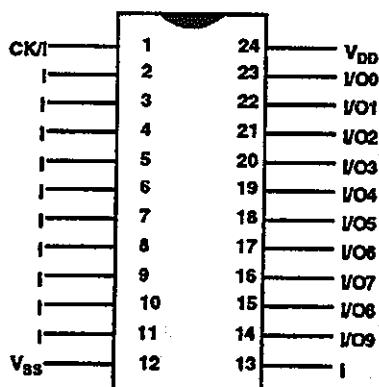
PRODUCT DESCRIPTION

The UT22VP10 RADPAL is a fuse programmable logic array device. The familiar sum-of-products (AND-OR) logic structure is complemented with a programmable macrocell. The UT22VP10 is available in 24-pin DIP, 24-lead flatpack, and 28-lead quad-flatpack package offerings providing up to 22 inputs and 10 outputs. Amorphous silicon anti-fuse technology provides the programming of each output. The user specifies whether each of the potential outputs is registered or combinatorial. Output polarity is also individually selected, allowing for greater flexibility for output configuration. A unique output enable function allows the user to configure bidirectional I/O on an individual basis.

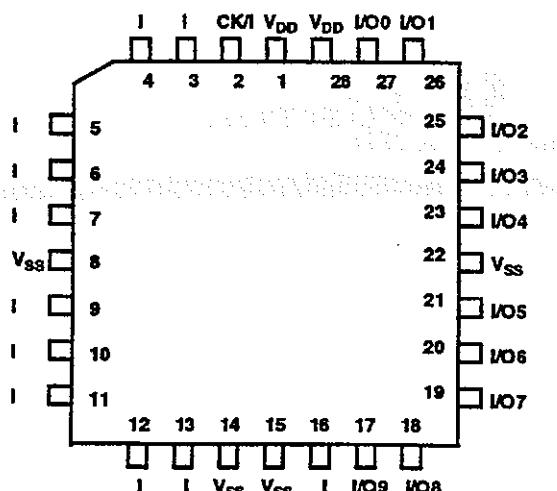
The UT22VP10 architecture implements variable sum terms providing 8 to 16 product terms to outputs. This feature provides the user with increased logic function flexibility. Other features include common synchronous preset and asynchronous reset. These features eliminate the need for performing the initialization function.

The UT22VP10 provides a device with the flexibility to implement logic functions in the 500 to 800 gate complexity. The flexible architecture supports the implementation of logic functions requiring up to 21 inputs and only a single output or down to 12 inputs and 10 outputs. Development and programming support for the UT22VP10 is provided by DATA I/O.

DIP & FLATPACK PIN CONFIGURATION



QUAD-FLATPACK PIN CONFIGURATION



PIN NAMES

CK/I	Clock/Data Input
I	Data Input
I/O	Data Input/Output
V _{DD}	Power
V _{SS}	Ground

FUNCTION DESCRIPTION

The UT22VP10 RADPAL implements logic functions as sum-of-products expressions in a one-time programmable-AND/fixed-OR logic array. User-defined functions are created by programming the connections of input signals into the array. User-configurable output structures in the form of I/O macrocells further increase logic flexibility.

Table 1. Macrocell Configuration Table^{1, 2, 3}

C ₂	C ₁	C ₀	Output Type	Polarity	Feedback
0	0	0	Registered	Active LOW	Registered
0	0	1	Registered	Active HIGH	Registered
X	1	0	Combinatorial	Active LOW	I/O
X	1	1	Combinatorial	Active HIGH	I/O
1	0	0	Registered	Active LOW	I/O
1	0	1	Registered	Active HIGH	I/O

Notes:

1. 0 equals programmed low or programmed.
2. 1 equals programmed high or unprogrammed.
3. X equals don't care.

OVERVIEW

The UT22VP10 RADPAL architecture (see figure 1) has 12 dedicated inputs and 10 I/Os to provide up to 22 inputs and 10 outputs for creating logic functions. At the core of the device is a one-time programmable anti-fuse AND array that drives a fixed OR array. With this structure, the UT22VP10 can implement up to 10 sum-of-products logic expressions.

Associated with each of the 10 OR functions is a macrocell which is independently programmed to one of six different configurations. The one-time programmable macro cells allow each I/O to create sequential or combinatorial logic functions with either Active-High or Active-Low polarity.

LOGIC ARRAY

The one-time programmable AND array of the UT22VP10 RADPAL is formed by input lines intersecting product terms. The input lines and product terms are used as follows:

44 input lines:

- 24 input lines carry the true and complement of the signals applied to the input pins
- 20 lines carry the true and complement values of feedback or input signals from the 10 I/Os

132 product terms:

- 120 product terms (arranged in 2 groups of 8, 10, 12, 14, and 16) used to form logic sums
- 10 output enable terms (one for each I/O)
- 1 global synchronous preset term
- 1 global asynchronous reset term

At each input-line/product-term intersection there is an anti-fuse cell which determines whether or not there is a logical connection at that intersection. A product term which is connected to both the true and complement of an input signal will always be logical zero, and thus will not effect the OR function that it drives. When there are no connections on a product term

a Don't Care state exists and that term will always be a logical one.

PRODUCT TERMS

The UT22VP10 provides 120 product terms that drive the 10 OR functions. The 120 product terms connect to the outputs in two groups of 8, 10, 12, 14, and 16 to form logical sums.

MACROCELL ARCHITECTURE

The output macrocell provides complete control over the architecture of each output. Configuring each output independently permits users to tailor the configuration of the UT22VP10 to meet design requirements.

Each I/O macrocell (see figure 2) consists of a D flip-flop and two signal-select multiplexers. Three configuration select bits controlling the multiplexers determine the configuration of each UT22VP10 macrocell (see table 1). The configuration select bits determine output polarity, output type (registered or combinatorial) and input feedback type (registered or I/O). See figure 3 for equivalent circuits for the macrocell configurations.

OUTPUT FUNCTIONS

The signal from the OR array may be fed directly to the output pin (combinatorial function) or latched in the D flip-flop (registered function). The D flip-flop latches data on the rising edge of the clock. When the synchronous preset term is satisfied, the Q output of the D flip-flop output will be set logical one at the next rising edge of the clock input. Satisfying the asynchronous clear term sets Q logical zero, regardless of the clock state. If both terms are satisfied simultaneously, the clear will override the preset.

■ 9343947 0005726 798 ■

3

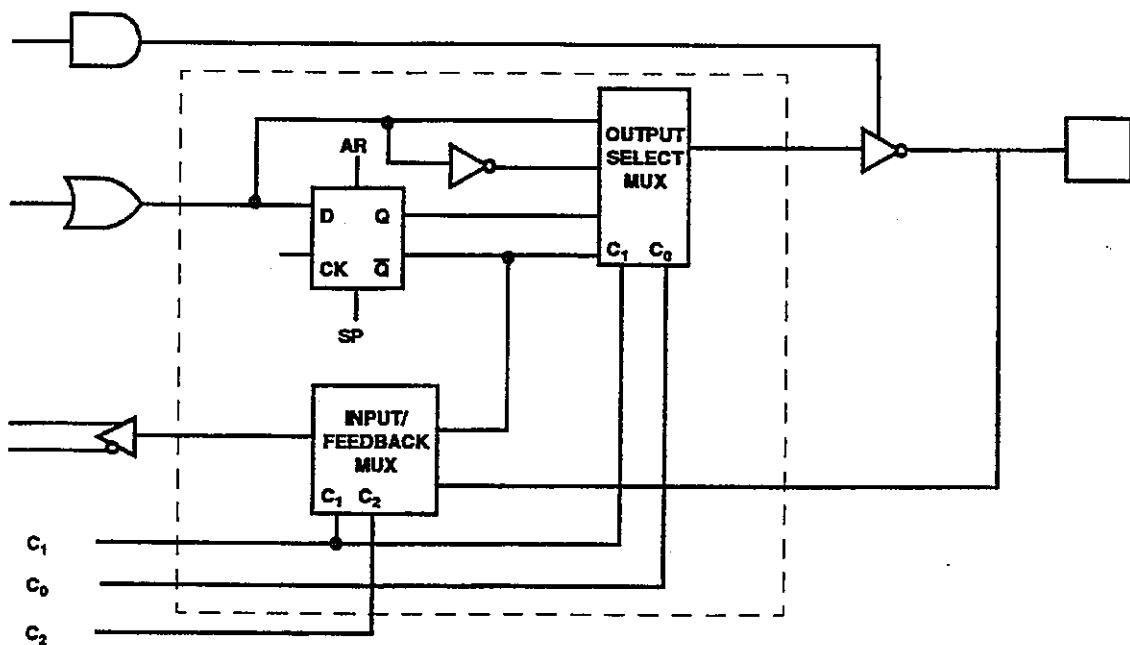


Figure 2. Macrocell

OUTPUT POLARITY

Each macrocell can be configured to implement Active-High or Active-Low logic. Programmable polarity eliminates the need for external inverters.

OUTPUT ENABLE

The output of each I/O macrocell can be enabled or disabled under the control of a programmable output enable product term. The output signal is propagated to the I/O pin when the logical conditions programmed on the output enable term are satisfied. Otherwise, the output buffer is driven to the high-impedance state.

The output enable term allows the I/O pin to function as a dedicated input, dedicated output, or bidirectional I/O. When every connection is unprogrammed, the output enable product term permanently enables the output buffer and yields a dedicated output. If every connection is programmed, the enable term is logically low and the I/O functions as a dedicated input.

REGISTER FEEDBACK

The feedback signal to the AND array is taken from the \bar{Q} output when the I/O macrocell implements a registered function ($C_2 = 0, C_1 = 0$).

BIDIRECTIONAL I/O

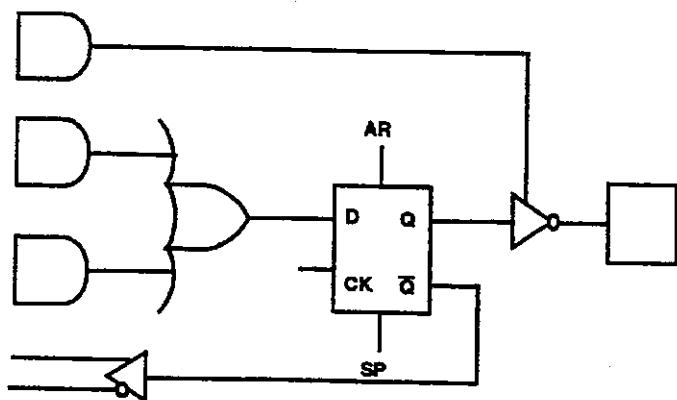
The feedback signal is taken from the I/O pin when the macrocell implements a combinatorial function ($C_1 = 1$) or a registered function ($C_2 = 1, C_1 = 0$). In this case, the pin can be used as a dedicated input, a dedicated output, or a bidirectional I/O.

POWER-ON RESET

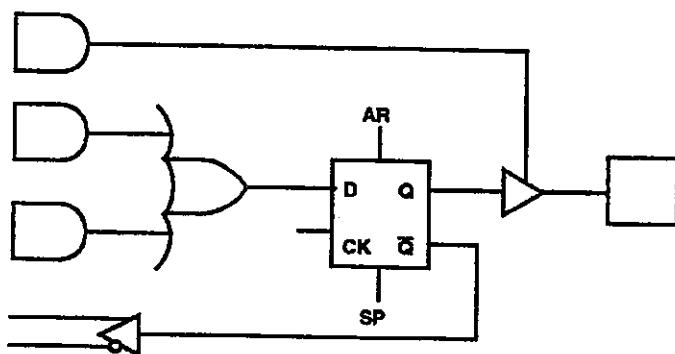
To ease system initialization, all D flip-flops will power-up to a reset condition and the Q output will be low. The actual output of the UT22VP10 will depend on the programmed output polarity. The V_{DD} rise must be monotonic and the reset delay time is 5 μ s maximum.

ANTI-FUSE SECURITY

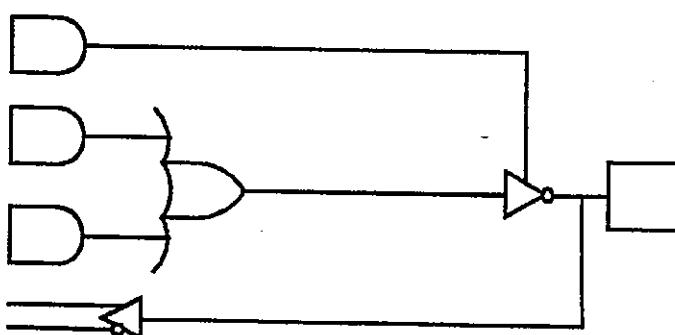
The UT22VP10 provides a security bit that prevents unauthorized reading or copying of designs programmed into the device. The security bit is set by the PLD programmer at the conclusion of the programming cycle. Once the security bit is set it is no longer possible to verify (read) or program the UT22VP10.



Registered Feedback, Registered, Active-Low Output ($C_2 = 0, C_1 = 0, C_0 = 0$)

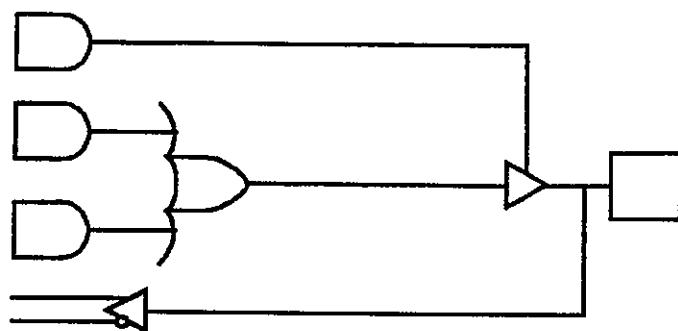


Registered Feedback, Registered, Active-High Output ($C_2 = 0, C_1 = 0, C_0 = 1$)

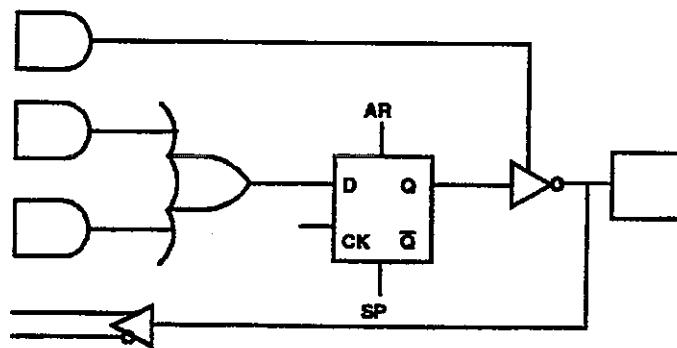


I/O Feedback, Combinatorial, Active-Low Output ($C_2 = X, C_1 = 1, C_0 = 0$)

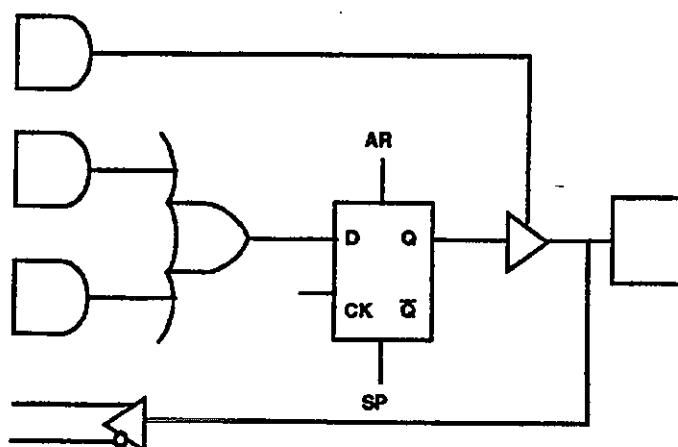
Figure 3. Macrocell Configuration (continued on next page)



I/O Feedback, Combinatorial, Active-High Output ($C_2 = X$, $C_1 = 1$, $C_0 = 1$)



I/O Feedback, Registered, Active-Low Output ($C_2 = 1$, $C_1 = 0$, $C_0 = 0$)



I/O Feedback, Registered, Active-High Output ($C_2 = 1$, $C_1 = 0$, $C_0 = 1$)

Figure 3. Macrocell Configuration

ABSOLUTE MAXIMUM RATINGS¹

SYMBOL	PARAMETER	LIMIT	UNITS
V _{DD}	Supply voltage	-0.3 to 7.0	V
V _{I/O} ²	Input voltage any pin	-0.3 to +7.0	V
T _{STG}	Storage Temperature range	-65 to +150	°C
T _J	Maximum junction temperature	+175	°C
T _S	Lead temperature (soldering 10 seconds)	+300	°C
Θ _{JC}	Thermal resistance junction to case	20	°C/W
I _I	DC input current	±10	mA
P _D ³	Maximum power dissipation	1.6	W
I _O	Output sink current	12	mA

Notes:

1. Stresses outside the listed absolute maximum ratings may cause permanent damage to the device. This is a stress rating only, functional operation of the device at these or any other conditions beyond limits indicated in the operational sections is not recommended. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.
2. Minimum voltage is -0.6V_{DD} which may undershoot to -2.0V_{DD} for pulses of less than 20ns. Maximum output pin voltage is V_{DD} +0.75V_{DD} which may overshoot to +7.0V_{DD} for pulses of less than 20ns.
3. (I_{CC} max + I_{OS}) 5.5V.

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	LIMIT	UNITS
V _{DD}	Supply voltage	4.5 to 5.5	V
V _{IN}	Input voltage any pin	0 to V _{DD}	V
T _C	Temperature range	-55 to +125	°C

■ 9343947 0005730 119 ■

7

DC ELECTRICAL CHARACTERISTICS¹

(V_{DD} = 5.0V ±10%; V_{SS} = 0V²; -55°C < T_C < +125°C)

SYMBOL	PARAMETER	CONDITION	MINIMUM	MAXIMUM	UNIT
V _{IL}	Low-level input voltage	TTL	-	.8	V
V _{IH}	High-level input voltage	TTL	2.2	--	V
V _{IL}	Low-level input voltage	CMOS	--	.3*V _{DD}	V
V _{IH}	High-level input voltage	CMOS	.7*V _{DD}	--	V
V _{OL}	Low-level output voltage	I _{OL} = 12.0mA, V _{DD} = 4.5V (TTL)		.4	V
V _{OH}	High-level output voltage	I _{OH} = -12.0mA, V _{DD} = 4.5V (TTL)	2.4	--	V
V _{OL}	Low-level output voltage	I _{OL} = 200μA, V _{DD} = 4.5V (CMOS)	--	V _{SS} +0.05	V
V _{OH}	High-level output voltage	I _{OH} = -200μA, V _{DD} = 4.5V (CMOS)	V _{DD} -0.05	--	V
I _{IN}	Input leakage current	V _{IN} = V _{DD} and V _{SS}	-10	10	μA
I _{OZ}	Three-state output leakage current	V _O = V _{DD} and V _{SS} , V _{DD} = 5.5V	-10	10	μA
I _{OS} ^{3,4}	Short-circuit output current	V _{DD} = 5.5V, V _O = V _{DD} V _{DD} = 5.5V, V _O = 0V	-160	160	mA
C _{IN} ⁵	Input capacitance	f=1MHz @0V	--	15	pF
C _{IO} ⁵	Bidirectional capacitance	f=1MHz @0V	--	15	pF
I _{DD}	Supply current: Output three-state, worst-case pattern programmed, f=f _{MAX1}	V _{DD} = 5.5V	--	120	mA
I _{DDQ}	Supply current: Unprogrammed	V _{DD} = 5.5V	--	25	mA

Notes:

1. All specifications valid for radiation dose $\leq 1E6$ rads(Si).
2. Maximum allowable relative shift equals 50mV.
3. Duration not to exceed 1 second, one output at a time.
4. Guaranteed, but not tested.
5. Tested for initial qualification only.

AC CHARACTERISTICS READ CYCLE (Post-Radiation)^{1,2}
 $(V_{DD} = 5.0V \pm 10\%; -55^\circ C < T_C < +125^\circ C)$

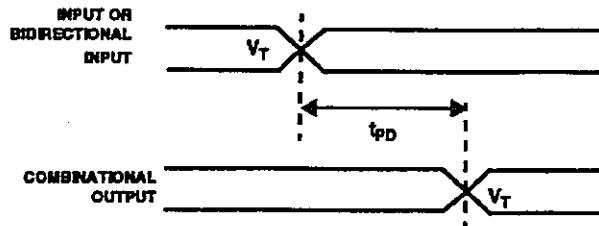
SYMBOL	PARAMETER	22VP10-20 MIN MAX	22VP10-25 MIN MAX	UNIT
t_{PD}	Input to output propagation delay	20	25	ns
t_{EA}	Input to output enable delay	23	25	ns
t_{ER}	Input to output disable delay	23	25	ns
t_{CO}	Clock to output delay	15	15	ns
t_{CO2}	Clock to combinatorial output delay via internal registered feedback	24	28	ns
t_S^3	Input or feedback setup time	15	18	ns
t_H^3	Input or feedback hold time	2	2	ns
t_P	External clock period ($t_{CO} + t_S$)	30	33	ns
$t_{WH, WL}$	Clock width, clock high time, clock low time	12	14	ns
f_{MAX1}^3	External maximum frequency ($1/(t_{CO} + t_S)$)	33	30	MHz
f_{MAX2}^3	Data path maximum frequency ($1/(t_{WH} + t_{WL})$)	42	36	MHz
f_{MAX3}^3	Internal feedback maximum frequency ($1/(t_{CO} + t_{CF})$)	32	32	MHz
t_{CF}	Register clock to feedback input	13	13	ns
t_{AW}	Asynchronous reset width	20	25	ns
t_{AR}	Asynchronous reset recovery time	20	25	ns
t_{AP}	Input to asynchronous reset	20	25	ns
t_{SPR}^3	Synchronous preset recovery time	20	25	ns
t_{PR}^3	Power up reset time	1.0	1.0	μs

Notes:

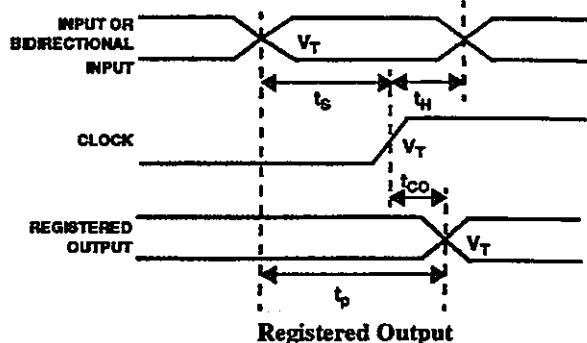
1. Post-radiation performance guaranteed at $25^\circ C$ per MIL-STD-883 Method 1019 at $1.0E6$ rads(Si).
2. Guaranteed by characterization.
3. Test applies only to registered output.

■ 9343947 0005732 T91 ■

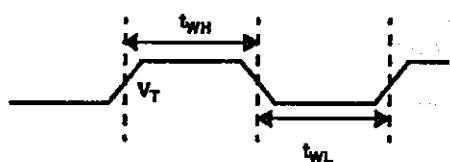
9



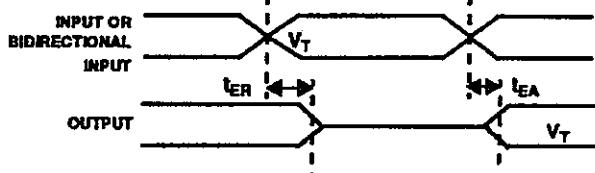
Combinatorial Output



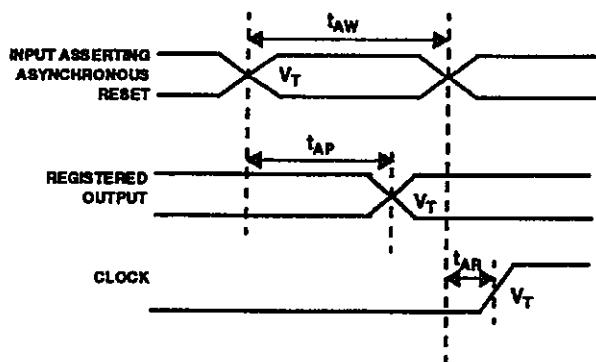
Registered Output



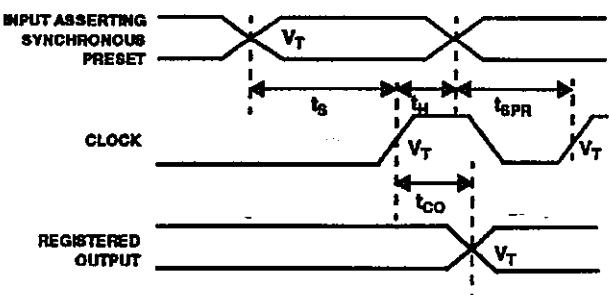
Clock Width



Combinatorial Output
($V_{OH} = 0.5V$, $V_{OL} = +0.5V$)



Asynchronous Reset

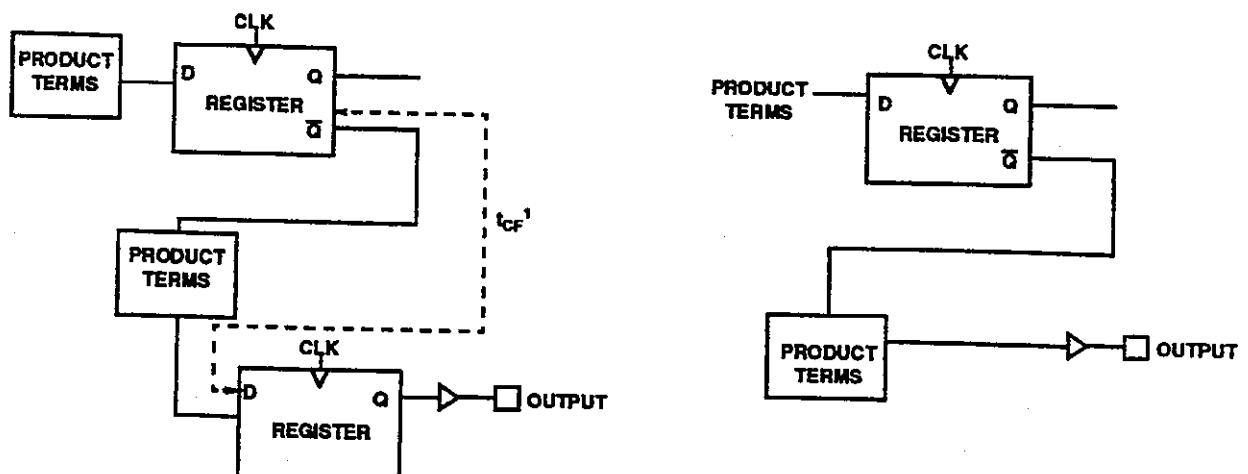


Synchronous Preset

Figure 4. AC Electrical^{1,2,3}

Notes:

1. $V_T = 1.5V$.
2. Input pulse amplitude 0V to 3.0V.
3. Input rise and fall times 3ns maximum.



Clock to Combinatorial Output (t_{CO2})

Note:

1. t_{CF} defined as the propagation delay from \bar{Q} to D register input.

$$f_{MAX3; \text{ Internal Feedback}} \left(\frac{1}{t_{CO} + t_{CF}} \right)$$

Figure 5. Signal Paths

■ 9343947 0005734 864 ■

11

POWER-UP RESET

The power-up reset feature ensures that all flip-flops will be reset to LOW after the device has been powered up. The output state will depend on the programmed pattern. This feature is valuable in simplifying state machine initialization. See figure 6 for a timing diagram. Due to the synchronous operation of the power-up reset and the wide range of ways V_{DD} can rise to its

steady state, the following two conditions are required to ensure a valid power-up reset.

- The V_{DD} rise must be monotonic
- Following reset, the clock input must not be driven from LOW to HIGH until all applicable input and feedback setup times are met.

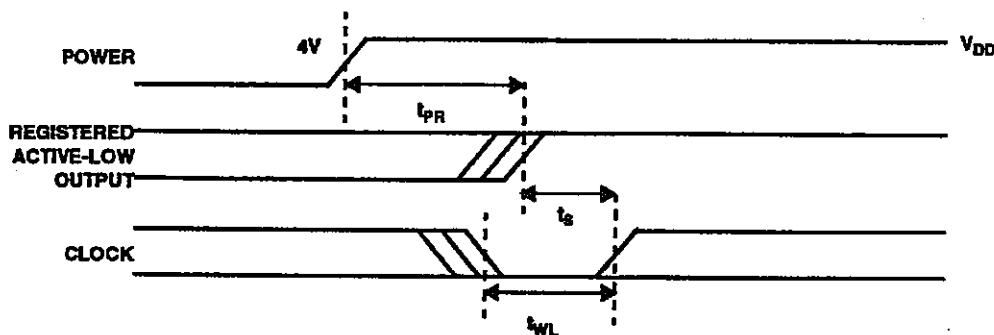


Figure 6. Power-Up Reset Waveform

RADIATION HARDNESS

The UT22VP10 RADPAL incorporates special design and layout features which allow operation in high-level radiation environments. UTMC has developed special low-temperature processing techniques designed to enhance the total-dose radiation hardness of both the gate oxide and the field oxide while maintaining the circuit density and reliability. For transient radiation hardness and latchup immunity, UTMC builds radiation-hardened products on epitaxial wafers using an advanced twin-tub CMOS process.

RADIATION HARDNESS DESIGN SPECIFICATIONS¹

PARAMETER	CONDITION	MINIMUM	UNIT
Total Dose	+25°C per MIL-STD-883 Method 1019	1.0E6	rads(Si)
LET Threshold	-55°C to +125°C	50	MeV-cm ² /mg
Neutron Fluence	1MeV equivalent	1.0E14	n/cm ²

Note:

1. The RADPAL will not latchup during radiation exposure under recommended operating conditions.

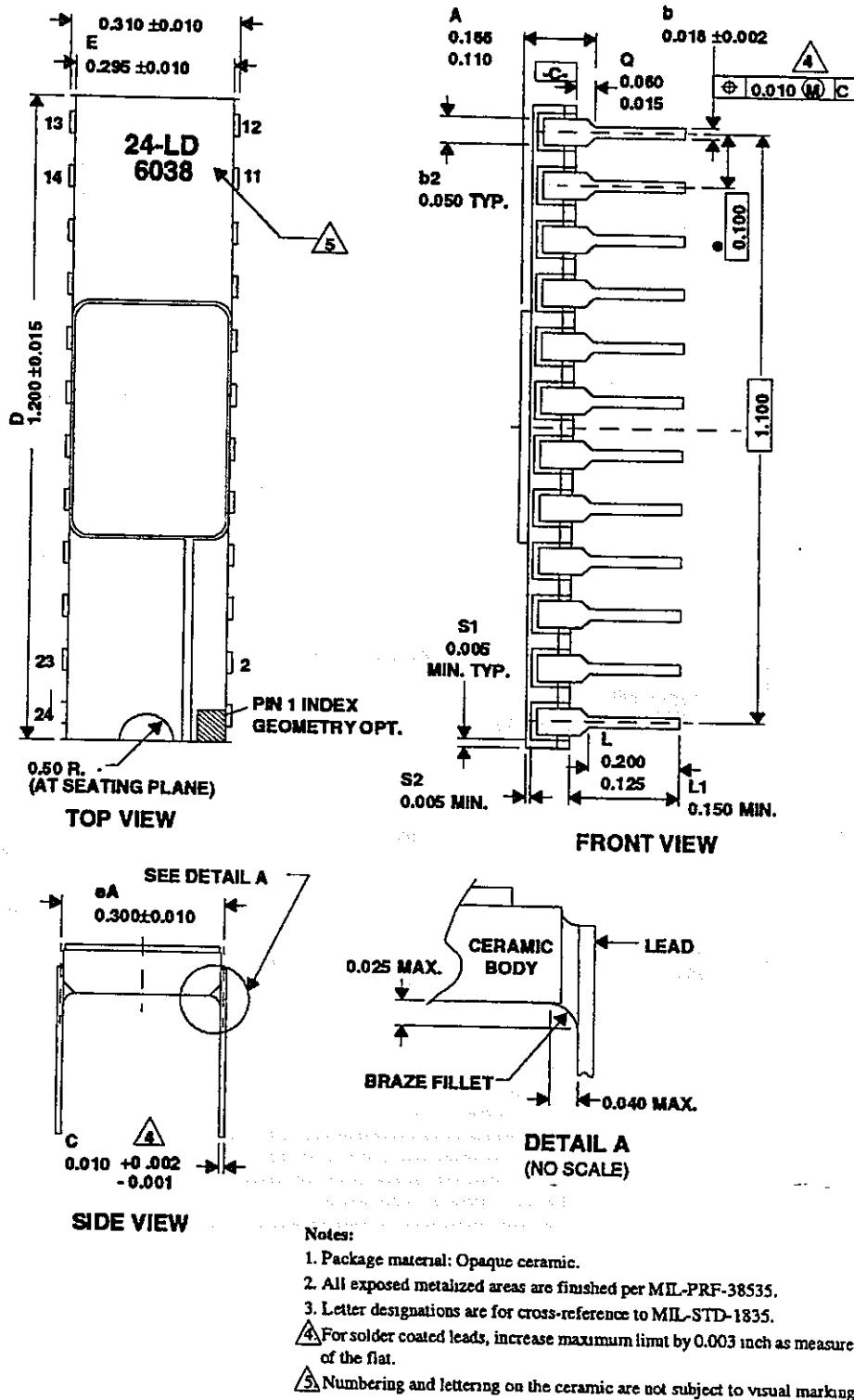
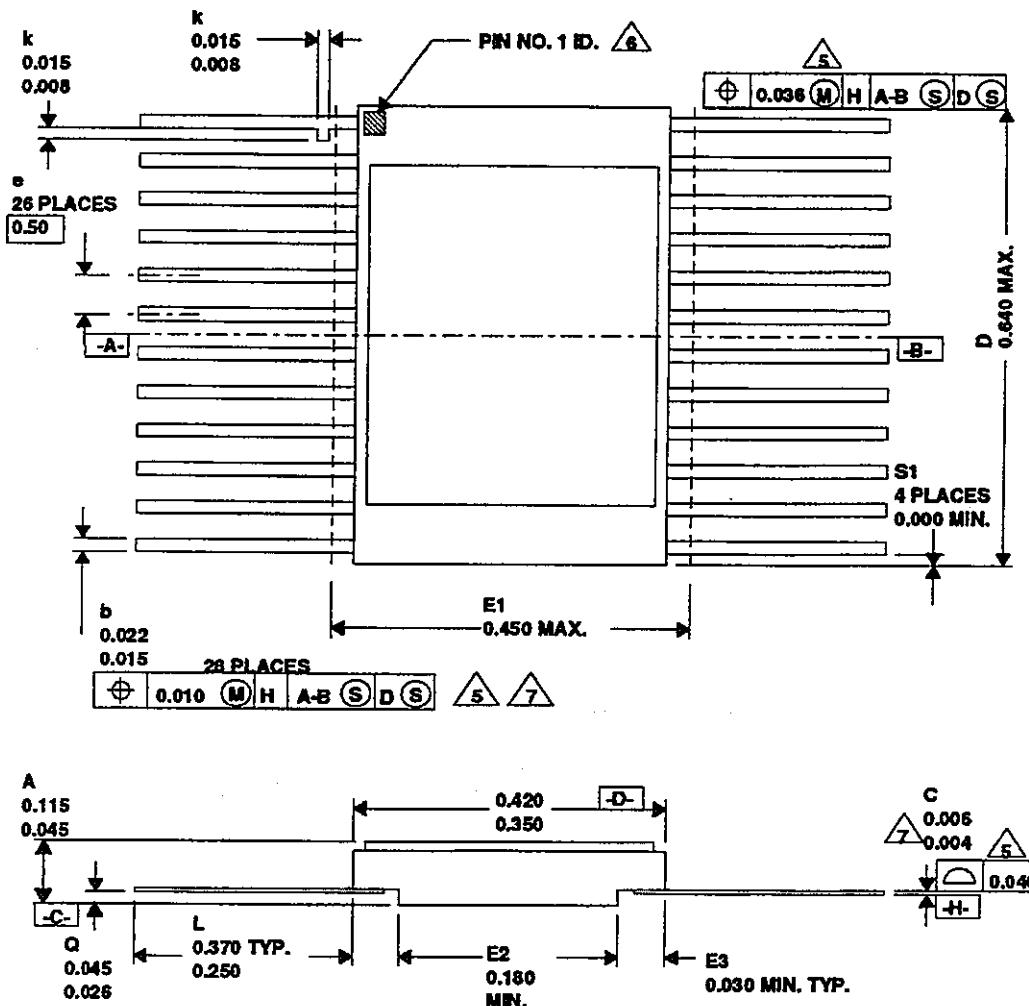


Figure 7. 24-Pin 100-mil Center DIP (0.300 x 1.2)

9343947 0005736 637

13



Notes:

1. All exposed metallized areas are gold plated over electroplated nickel per MIL-PRF-38535.
 2. The lid is electrically connected to V_{SS} .
 3. Lead finishes are in accordance with MIL-PRF-38535.
 4. Dimension letters refer to MIL-STD-1835.
- \triangle Lead position and coplanarity are not measured.
 \triangle ID mark symbol is vendor option.
 \triangle For solder coated leads, increase maximum limit by 0.003 inch as measured at the center of the flat.

Figure 8. 24-Lead Flatpack (0.45 x 0.64)

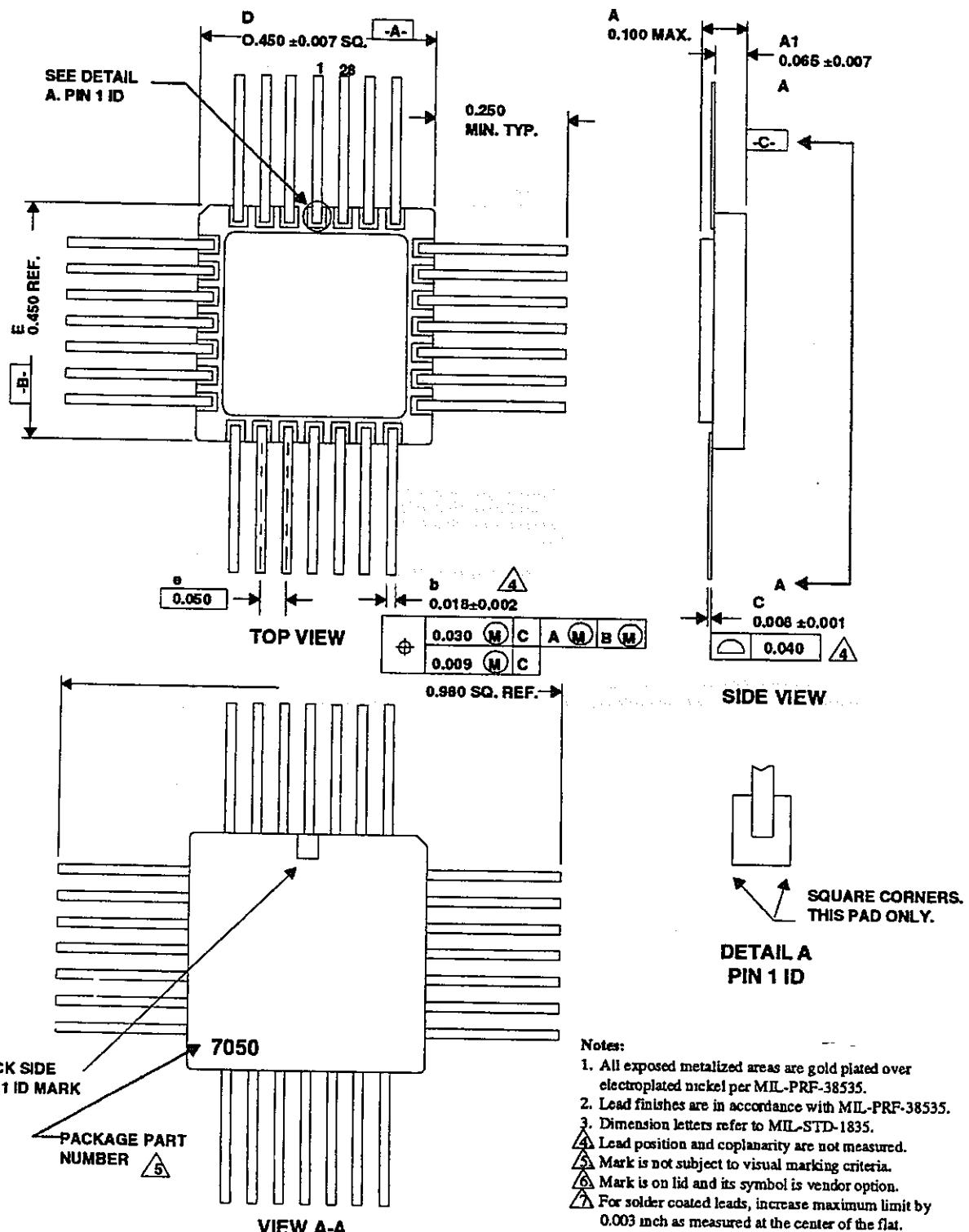


Figure 9. 28-Lead Quad-Flatpack (.45 x .45)

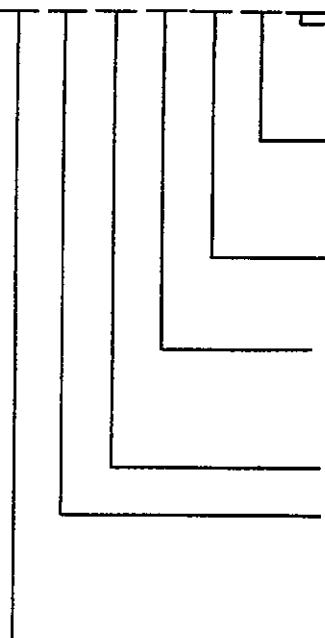
9343947 0005738 40T

15

ORDERING INFORMATION

UT22VP10 Radiation-Hardened PAL: SMD

5962 * 94754 * * *



Lead Finish:
(A) = Solder
(C) = Gold
(X) = Optional

Case Outline:
(L) = 24-lead DIP
(X) = 24-lead pin Flatpack
(Y) = 28-lead pin Quad Flatpack

Class Designator:
(Q) = Class Q
(V) = Class V

Device Type
(01) = 25ns prop delay, CMOS I/O
(02) = 25ns prop delay, TTL I/O
(03) = 20ns prop delay, CMOS I/O
(04) = 20ns prop delay, TTL I/O

Drawing Number: 94754

Total Dose:
(H) = 1E6 rads(Si) per 5962-94754 drawing
(R) = 1E5 rads(Si) per 5962-94754 drawing
(G) = 5E5 rads(Si) per 5962-94754 drawing
(F) = 3E5 rads(Si) per 5962-94754 drawing
(-) = None

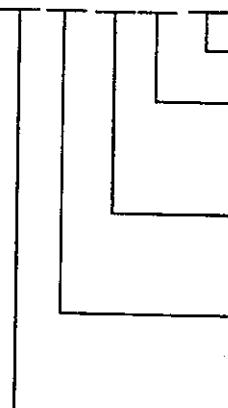
Federal Stock Class Designator: No options

Notes:

1. Lead finish (A, C, or X) must be specified.
2. If an "X" is specified when ordering, part marking will match the lead finish and will be either "A" (solder) or "C" (gold).
3. Total dose radiation must be specified when ordering. QML Q and QML V not available without radiation hardening.

UT22VP10 Radiation Hardened PAL

UT22VP10 * * * *



Radiation:

- = None

Lead Finish:

(A) = Solder
(C) = Gold
(X) = Optional

Screening:

(C) = Military Temperature
(P) = Prototype

Package Type:

(P) = 24-pin DIP
(U) = 24-pin Flatpack
(W) = 28-pin Quad Flatpack

Device Type Modifier:

C-25 = CMOS I/O: 25ns propagation delay
T-25 = TTL I/O: 25ns propagation delay
C-20 = CMOS I/O: 20ns propagation delay
T-20 = TTL I/O: 20ns propagation delay

Notes:

1. Lead finish (A, C, or X) must be specified.
2. If an "X" is specified when ordering, part marking will match the lead finish and will be either "A" (solder) or "C" (gold).
3. Military Temperature range flow per UTMC's manufacturing flows document. Devices have 48 hours of burn-in and are tested at -55°C, room temperature, and 125°C. Radiation characteristics are neither tested nor guaranteed and may not be specified.
4. Prototype flow per UTMC Manufacturing Flows Technical Description. Devices have prototype assembly and are tested at 25°C only. Radiation is neither tested nor guaranteed.

■ 9343947 0005740 068 ■

17

-151-

UTMC Main Office
1575 Garden of the Gods Road
Colorado Springs, CO 80907-3486
800-MIL-UTMC
800-645-8862
<http://www.utmc.com>

Melbourne Sales Office
1901 S. Harbor City Blvd., Suite 802
Melbourne, FL 32901
407-951-4164

European Sales Office
1+719-594-8166
1+719-594-8468 FAX
<http://www.utmc.com>

South LA Sales Office
101 Columbia Street, Suite 130
Aliso Viejo, CA 92656
714-362-2260

Boston Sales Office
23 Walker Brook Drive
Reading, MA 01867
617-944-3227

North LA Sales Office
77 Fulton Lane, Suite 3
Camarillo, CA 93010
805-445-6665



United Technologies Microelectronics Center, Inc. (UTMC) reserves the right to make changes to any products and services herein at any time without notice. Consult UTMC or an authorized sales representative to verify that the information in this data sheet is current before using this product. UTMC does not assume any responsibility or liability arising out of the application or use of any product or service described herein, except as expressly agreed to in writing by UTMC; nor does the purchase, lease, or use of a product or service from UTMC convey a license under any patent rights, copyrights, trademark rights, or any other of the intellectual rights of UTMC or of third parties.

Copyright 1995 & 1996 by United Technologies Microelectronics Center, Inc.

RADPAL-2-4-96

All rights reserved

■ 9343947 0005741 TT4 ■

60291

18

7. HS-9008RH

- ・用途 : アナログ／デジタル信号変換
- ・機能 : 8ビットA/D変換器
- ・耐放射線性 : TOTAL DOSE 3×10^5 Rad (Si)
- ・消費電力 : 330mW (TYP)
- ・動作温度範囲 : -55°C ~ +125°C



HS-9008RH

Radiation Hardened CMOS 8 Bit Flash Analog-to-Digital Converter

July 1995

Features

- Excellent Noise Rejection - Fully Differential Design
- Superior Linearity 0.5 LSB Typ
- Single Reference Supply
- Low Power 330mW Typ
- Sampling Rate
(50ns Conversion Time) 20MHz
- Total Dose Hardness 300kRAD
- Available with Harris -Q and -8 Screening

Truth Table

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

Description

The Harris HS-9008RH is a CMOS 8 Bit Flash Converter designed for space applications where relatively low power, exceptional accuracy and very fast conversion speeds are a necessity.

The HS-9008RH design differs substantially from most other available Flash Converters as it employs fully differential analog input sampling networks and amplifiers, as well as regenerative, offset nulled (error correcting) comparators. These circuit techniques improve noise performance and render the circuit much less sensitive to process and radiation induced device parametric shifts. Outstanding integral and differential linearity error is achieved through the use of a metal film resistor network which exhibits >10 bit linearity without trim. As a result of these innovations, the device operates with a single fixed reference supply as opposed to the multiple, adjustable references used in similar devices.

The HS-9008RH is fabricated in Harris' new AVLSI1RA process, which is dual level metal, twin well, thin EPI, 1.25µM bulk CMOS process. The capacitors are metal to metal with a nitride dielectric and have a negligible attenuation factor.

This combination of features makes the HS-9008RH one of the best 8 Bit Flash Converters available in the Commercial, Military or Rad Hard markets.

Ordering Information

PART NUMBER	TEMPERATURE RANGE	SCREENING LEVEL	PACKAGE
HS1-9008RH-8	-55°C to +125°C	Harris Class B Equivalent	28 Pin Sidebrazed DIP
HS1-9008RH-Q	-55°C to +125°C	Harris Class S Equivalent	28 Pin Sidebrazed DIP
HS9-9008RH-8	-55°C to +125°C	Harris Class B Equivalent	28 Pin Flatpack
HS9-9008RH-Q	-55°C to +125°C	Harris Class S Equivalent	28 Pin Flatpack
HS1-9008RH/SAMPLE	25°C	Sample	28 Pin Sidebrazed DIP
HS1-9008RH/PROTO	-55°C to +125°C	Prototype	28 Pin Sidebrazed DIP
HS9-9008RH/SAMPLE	25°C	Sample	28 Pin Flatpack
HS9-9008RH/PROTO	-55°C to +125°C	Prototype	28 Pin Flatpack

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

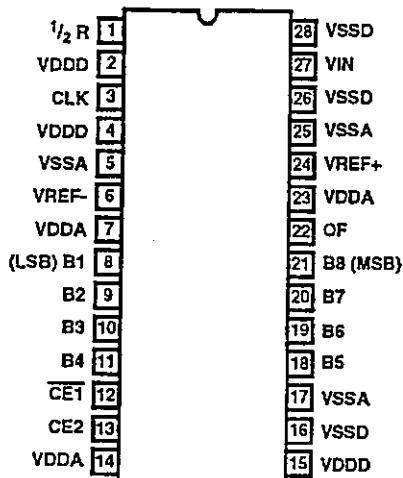
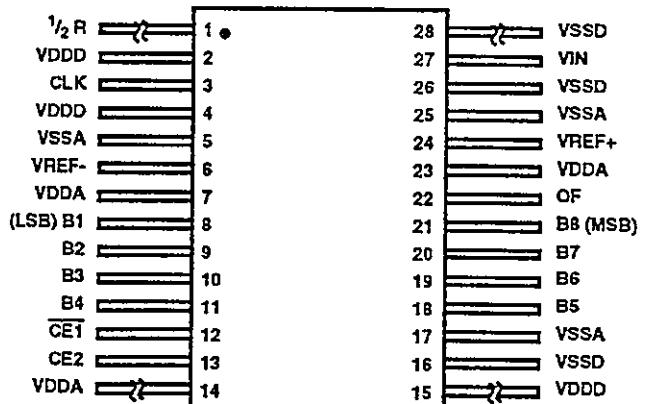
Copyright © Harris Corporation 1995

4302271 0061886 722

1

Spec Number 518796

File Number 3279.1

Pinouts28 LEAD CERAMIC SBDIP, MIL-STD-1835 CDIP2-T28
TOP VIEW28 LEAD CERAMIC FLATPACK, MIL-STD-1835 CDFP3-F28
TOP VIEW**Pin Description**

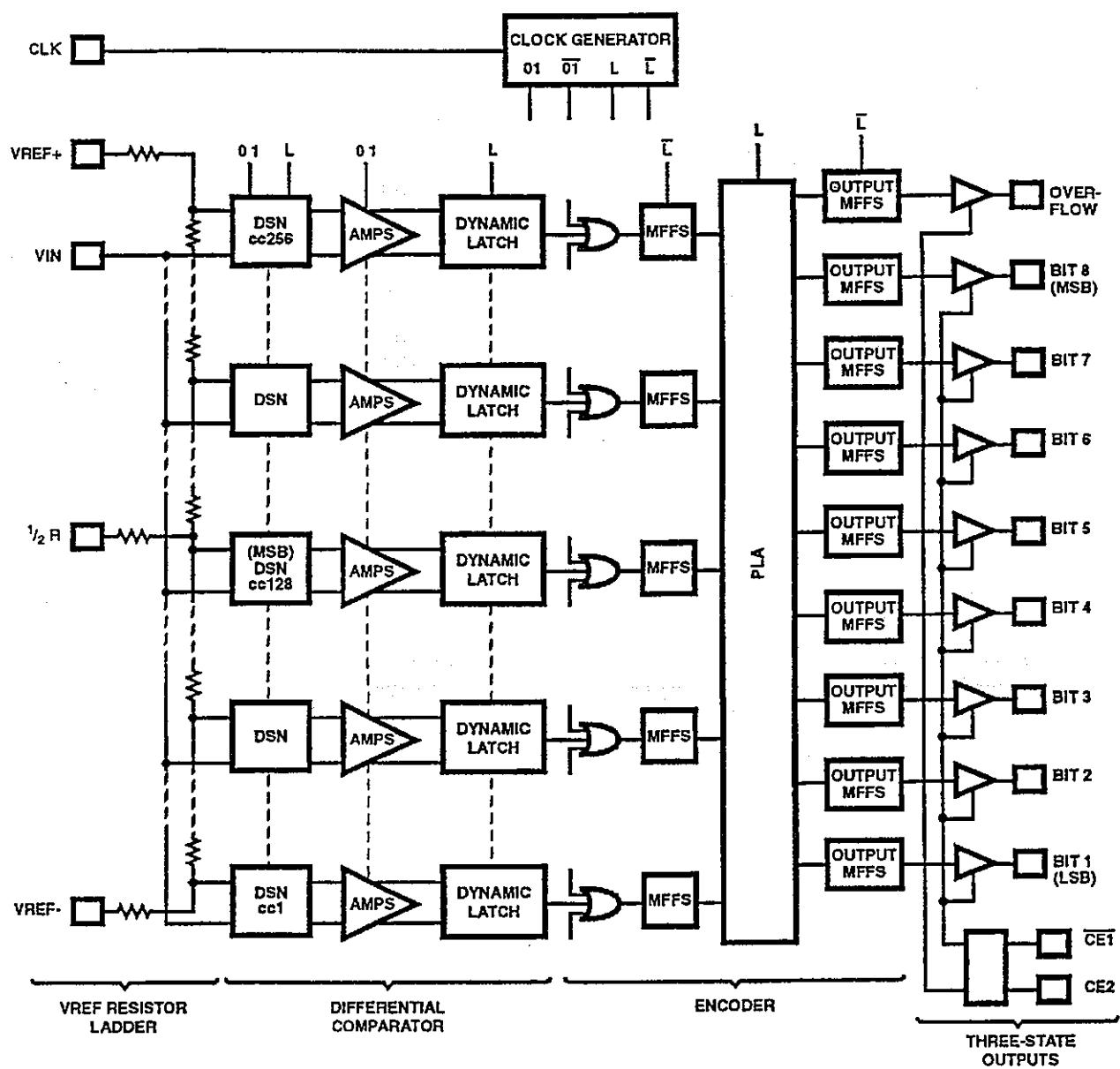
28 DIP/FP PACKAGE PIN	NAME	DESCRIPTION
8	B1	(LSB) Output Data Bits
9	B2	Output Data Bits
10	B3	Output Data Bits
11	B4	Output Data Bits
18	B5	Output Data Bits
19	B6	Output Data Bits
20	B7	Output Data Bits
21	B8	(MSB) Output Data Bits
22	OF	Overflow
16, 26, 28	VSSD	Digital Ground

28 DIP/FP PACKAGE PIN	NAME	DESCRIPTION
2, 4, 15	VDDD	Digital Supply
13	CE2	Three-State Output Enable
12	CE1	Three-State Output Enable
6	VREF-	Negative Reference Input
27	VIN	Analog Signal In
5, 17, 25	VSSA	Analog Ground
3	CLK	Clock Input
1	1/2 R	Reference Midpoint
24	VREF+	Positive Reference Input
7, 14, 23	VDDA	Analog Supply

4302271 0061887 669

2

Spec Number 518796

Functional Diagram

Spec Number 518796

4302271 0061888 STS

Specifications HS-9008RH

Absolute Maximum Ratings

DC Supply Voltage Range, VDDD = VDDA
 (Referenced to VSSD = VSSA = GND) -0.3V to +7.0V
 Input Voltage Range: CE1, CE2, CLK, VREF-,
 VREF+, VIN, $\frac{1}{2}$ R VSS -0.3V to VDD +0.3V
 Output Voltage Range: B1 - B8, OF
 (Outputs Off) VSS -0.3V to VDD +0.3V
 DC Input Current CE1, CE2, CLK, VIN, B1 - B8, OF 10mA
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (Soldering 10s) +300°C

Reliability Information

	θ_{JA}	θ_{JC}
Sidebrazed DIP Package	45°C/W	6°C/W
Flatpack Package	58°C/W	6°C/W
Maximum Package Power Dissipation at +125°C		
Sidebrazed DIP Package	1.11W	
Flatpack Package	0.86W	
Maximum Device Power Dissipation (Note 1)	0.44W	
Derating Requirements:		
Sidebrazed DIP Package	No Derating Required	
Flatpack Package	No Derating Required	

NOTE:

1. Maximum device Power Dissipation is defined as $VDD \times IDD$

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range (VDDD = VDDA) +4.5V to +5.5V	Digital Input Low Voltage (VIL) 0V to +0.2VDD
Operating Temperature Range (TA) -55°C to +125°C	Input High Voltage (VIH) 0.8VDD to VDD

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

All Typical Values Represent +25°C, Nominal Conditions and have been characterized but are not tested.

PARAMETERS	SYMBOL	CONDITIONS	GROUP A SUB-GROUP	TEMPERATURE	LIMITS			UNITS
					MIN	TYP	MAX	
Integral Linearity Error	ILE	VDDD = VDDA = 5V, CLK = 1MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	1, 2, 3	-55°C to +125°C	-	± 0.5	± 1.0	LSB
Differential Linearity Error	DLE	VDDD = VDDA = 5V, CLK = 1MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	1, 2, 3	-55°C to +125°C	-	± 0.25	± 0.5	LSB
Offset Error	VOS	VDDD = VDDA = 5V, CLK = 500kHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), VIN = VREF+ + 0.5LSB	1, 2, 3	-55°C to +125°C	-	± 0.5	± 1.25	LSB
Gain Error	GE	VDDD = VDDA = 5V, CLK = 500kHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), VIN = VREF+ - 1.5LSB	1, 2, 3	-55°C to +125°C	-	-	± 2.25	LSB
Ladder Impedance	Ref	VDDD = VDDA = 5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	1, 3	-55°C to +125°C	300	500	600	Ω
			2	-55°C to +125°C	400	600	900	Ω
Full Scale Range (VIN and (VREF+) - (VREF-))	FSR	VDDD = VDDA = 5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	1, 2, 3	-55°C to +125°C	-	4	5	V

4302271 0061889 431

Specifications HS-9008RH

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

All Typical Values Represent +25°C, Nominal Conditions and have been characterized but are not tested.

PARAMETERS	SYMBOL	CONDITIONS	GROUP A SUB- GROUP	TEMPERATURE	LIMITS			UNITS
					MIN	TYP	MAX	
Supply Current (IDDD + IDDA)								
Dynamic	IDDD	VDDD = VDDA = 5.5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), (Note 1)	1, 2, 3	-55°C to +125°C	-	60	135	mA
Static	IDDS	VDDD = VDDA = 5.5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), CLK = Low	1, 2, 3	-55°C to +125°C	-	40	80	mA
DIGITAL INPUTS								
Low Level Current	IIL	VDDD = VDDA = 5.5V, VIN = 0V	1, 2, 3	-55°C to +125°C	-	<.01	±1.0	μA
High Level Current	IIH	VDDD = VDDA = 5.5V, VIN = 5.5V	1, 2, 3	-55°C to +125°C	-	<.01	±1.0	μA
DIGITAL OUTPUTS								
Low Level Voltage	VOL	VDDD = VDDA = 4.5V, LOL = 2mA	1, 2, 3	-55°C to +125°C	-	0.06	0.4	V
High Level Voltage	VOH	VDDD = VDDA = 4.5V, LOH = 2mA	1, 2, 3	-55°C to +125°C	2.4	4.3	-	-
Three-State Low Current	IOZL, IOZH	VDDD = VDDA = 5.5V, VOUT = 0V, 5.5V	1, 2, 3	-55°C to +125°C	-	<.01	±1.0	μA

NOTE:

- For typical value, CLK = 1MHz

TABLE 2A. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

All Typical Values Represent +25°C, Nominal Conditions and have been characterized but are not tested.

PARAMETERS	SYMBOL	CONDITIONS	GROUP A SUB- GROUP	TEMPERATURE	LIMITS			UNITS
					MIN	TYP	MAX	
Conversion Speed	CS	VDDD = VDDA = 5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), CLK = 50% Duty Cycle, Square Wave (Note 1)	9, 10, 11	-55°C to +125°C	20	-	-	MSPS
Analog Bandwidth	BW	VDDD = VDDA = 5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), VIN = Full Scale Sine Wave (Note 1)	9, 10, 11	-55°C to +125°C	10	-	-	MHz
Differential Gain Error	DGE	VDDD = VDDA = 5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), (Note 2)	9, 10, 11	-55°C to +125°C	-	1.2	±3.0	%

Spec Number 518796

4302271 0061890 153

Specifications HS-9008RH

TABLE 2A. AC ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

All Typical Values Represent +25°C, Nominal Conditions and have been characterized but are not tested.

PARAMETERS	SYMBOL	CONDITIONS	GROUP A SUB- GROUP	TEMPERATURE	LIMITS			UNITS
					MIN	TYP	MAX	
Differential Phase Error	DPE	VDDD = VDDA = 5V, CLK = 10MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.), (Note 2)	9, 10, 11	-55°C to +125°C	-	1.7	±2.5	Deg.
Total Harmonic Distortion (Note 3)	THD	VDDD = VDDA = 5V, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	CLK = 1MHz	9, 10, 11	-55°C to +125°C	-	-	-48 dB
			CLK = 10MHz	9, 10, 11	-55°C to +125°C	-	-	-48 dB
			CLK = 20MHz	9, 10, 11	-55°C to +125°C	-	-	-42 dB
Signal-to-Noise Ratio (Plus Distortion) (Note 3)	SNRD	VDDD = VDDA = 5V, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	CLK = 1MHz	9, 10, 11	-55°C to +125°C	47	-	- dB
			CLK = 10MHz	9, 10, 11	-55°C to +125°C	46	-	- dB
			CLK = 20MHz	9, 10, 11	-55°C to +125°C	42	-	- dB
Integral Linearity Error	ILE	CLK = 10MHz	9, 10, 11	-			±0.5	±1.0 LSB
Differential Linearity Error	DLE	CLK = 10MHz	9, 10, 11	-			±.25	±0.5 LSB

NOTES:

1. Defined at -0.5db. The -3db bandwidth for frequency response purposes is greater than 30MHz.
2. VIN = 3.58MHz burst, CLK = 14MHz, 6 DC levels (1.5, 1.7, 1.9, 2.1, 2.3, 2.5)
3. Analog input = 100kHz sine wave

TABLE 2B. AC ELECTRICAL SWITCHING CHARACTERISTICS

All Typical Values Represent +25°C, Nominal Conditions and have been characterized but are not tested.

PARAMETERS	SYMBOL	CONDITIONS	GROUP A SUB- GROUP	TEMPERATURE	LIMITS			UNITS
					MIN	TYP	MAX	
Data Output Delay	TOD	VDDD = VDDA = 5V, CLK = 1MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	9, 10, 11	-55°C to +125°C	-	22	32	ns
Output Enable Time	TEN	VDDD = VDDA = 5V, CLK = 1MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	9, 10, 11	-55°C to +125°C	-	-	25	ns
Output Disable Time	TDIS	VDDD = VDDA = 5V, CLK = 1MHz, VSSD = VSSA = 0V, VREF = 4.000V (Adj.)	9, 10, 11	-55°C to +125°C	-	-	25	ns

Specifications HS-9008RH

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS

All Typical Values Represent +25°C, Nominal Conditions and have been characterized but are not tested.

PARAMETERS	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS			UNITS
					MIN	TYP	MAX	
Digital Input Capacitance	CI	$f = 1\text{MHz}$, $V_{DDD} = V_{DDA} = \text{OPEN}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $T_A = +25^\circ\text{C}$	6, 7	$+25^\circ\text{C}$	-	-	15	pF
					-	-	15	pF
Output Capacitance	CO	$f = 1\text{MHz}$, $V_{DDD} = V_{DDA} = \text{OPEN}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $T_A = +25^\circ\text{C}$	6, 7	$+25^\circ\text{C}$	-	-	10	pF
					-	-	10	pF
Analog Input Capacitance (Static)	CIN	$\text{CLK} = \text{High}$, $V_{DDD} = V_{DDA} = 5\text{V}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	-	70	-	pF
Analog Input Capacitance (Dynamic)	DYNCIN	$\text{CLK} = 3\text{MHz}$, $V_{DDD} = V_{DDA} = 5\text{V}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	-	20	-	pF
Aperture Delay	TAD	$V_{DDD} = V_{DDA} = 5\text{V}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	-	8	-	ns
Aperture Jitter	TAJ	$V_{DDD} = V_{DDA} = 5\text{V}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	-	50	-	ps
Reference Supply Current	IREF	$V_{IN} = 4.0\text{V}$, $V_{DDD} = V_{DDA} = 5\text{V}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	-	8	-	mA
Resolution		$V_{DDD} = V_{DDA} = 5\text{V}$, $\text{CLK} = 1\text{MHz}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	8	-	-	Bits
Track Time (Auto Balance Time)	TTRACK	$V_{DDD} = V_{DDA} = 5\text{V}$, $\text{CLK} = 25\text{MHz}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$, $\text{CLK} = \text{High}$	6	-55°C to +125°C	20	-	-	ns
Hold Time	THOLD	$V_{DDD} = V_{DDA} = 5\text{V}$, $\text{CLK} = 25\text{MHz}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$, $\text{CLK} = \text{Low}$	6	-55°C to +125°C	20	-	-	ns
Power Supply Rejection	PSR	$V_{DDD} = V_{DDA} = 5.5\text{V}$, $V_{SSD} = V_{SSA} = 0\text{V}$, $V_{REF} = 4.000\text{V (Adj.)}$	6	-55°C to +125°C	-	<1.0	-	LSB/V

NOTES:

1. The parameters listed in Table 3 are controlled via design or process and are not tested. These parameters are characterized upon initial design release.
2. 28 pin DIP package only
3. 28 pin Flatpack package only
4. Conversion speed is verified during functional testing. Functionality is defined as:
 $T_A = +25^\circ\text{C}, -55^\circ\text{C}$: DLE = ± 0.75 LSB, ILE = ± 2.25 LSB
 $T_A = +125^\circ\text{C}$: DLE < ± 1.0 LSB, ILE = ± 3.25 LSB

Spec Number 518796

4302271 0061892 T26

Specifications HS-9008RH

TABLE 4. Post 300KRAD(S) ELECTRICAL PERFORMANCE CHARACTERISTICS

Post 300K RAD(S) Electrical Performance is per Tables 1-3 (+25°C) Except as Follows:

PARAMETERS	SYMBOL	(NOTES 1, 2) VDDD = VDDA = 5V, VSSD = VSSA = 0V VREF = 4.000V (ADJUSTED)	REFERENCE	LIMITS			UNITS
				MIN	TYP	MAX	
Integral Linearity Error	ILE	CLK = 10MHz	Table 6	-	±0.50	±1.0	LSB
Differential Linearity Error	DLE	CLK = 10MHz	Table 6	-	±0.25	±0.75	LSB
Offset Error	VOS	VIN = (VREF-) +0.5 LSB, CLK = 500kHz	Table 6	-	±0.50	±2.0	LSB
Gain Error	GE	VIN = (VREF+) -1.5 LSB, CLK = 500kHz	Table 6	-	±1.0	±3.0	LSB
Differential Gain Error	DGE	(Note 3)	Table 6	-	±1.2	±3.5	%
Differential Phase Error	DPE	(Note 3)	Table 6	-	±2.0	±3.0	Deg.

NOTES:

1. All voltages referenced to VSSD = VSSA = 0V.
2. Unless otherwise specified.
3. VIN = 3.58MHz burst, CLK = 14MHz, 6 DC levels (1.5, 1.7, 1.9, 2.1, 2.3, 2.5)

TABLE 5. BI DELTA PARAMETERS (+25°C, -Q ONLY)

PARAMETER	SYMBOL	FINAL TEST LIMITS (+25°C)		DELTA LIMITS
		MIN	MAX	
Signal-to-Noise Ratio (+ Distortion), CLK = 1MHz	SNRD	47dB	-	±0.75dB
DIGITAL INPUTS				
Low Current	IIL	-1.0µA	+1.0µA	±150nA
High Current	IIH	-1.0µA	+1.0µA	±150nA
DIGITAL OUTPUTS				
Three-State Low Current	IOZL	-10.0µA	+10.0µA	±1.0µA
Three-State High Current	IOZH	-10.0µA	+10.0µA	±1.0µA
Low Voltage	VOL	-	0.40V	±60mA
High Voltage	VOH	2.4V	-	±160mA

Specifications HS-9008RH

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS			
		TESTED FOR -Q	RECORDED FOR -Q	TESTED FOR -8	RECORDED FOR -8
Initial Test	100% 5004	1, 7, 9	1 (Note 2)	1, 7, 9	
Interim Test	100% 5004	1, 7, 9, Δ	1, Δ (Note 2)	1, 7, 9	
PDA	100% 5004	1, 7, Δ	-	1, 7	
Final Test	100% 5004	2, 3, 8A, 8B, 10, 11	-	2, 3, 8A, 8B, 10, 11	
Group A (Note 1)	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	-	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Subgroup B5	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	1, 2, 3 (Note 2)	-	
Subgroup B6	Sample 5005	1, 7, 9	-	-	
Group C	Sample 5005	-	-	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Group D	Sample 5005	1, 7, 9	-	1, 7, 9	
Group E, Subgroup 2	Sample 5005	1, 7, 9	-	1, 7, 9	

NOTES:

1. Alternate Group A testing in accordance with MIL-STD-883 method 5005 may be exercised.
2. Table 5 parameters only

Spec Number 518796

■ 4302271 0061894 8T9 ■

Harris Space Level Product Flow -Q

Wafer Lot Acceptance (All Lots) Method 5007 (Includes SEM)	100% Initial Electrical Test (T0)
GAMMA Radiation Verification (Each Wafer) Method 1019, 4 Samples/Wafer, 0 Rejects	100% Dynamic Burn-In, Condition D, 240 Hours, +125°C or Equivalent, Method 1015
100% Die Attach (Note 1)	100% Interim Electrical Test 1 (T1)
100% Nondestructive Bond Pull, Method 2023	100% Delta Calculation (T0-T1)
Sample - Wire Bond Pull Monitor, Method 2011	100% PDA, Method 5004 (Note 2)
Sample - Die Shear Monitor, Method 2019 or 2027	100% Final Electrical Test
100% Internal Visual Inspection, Method 2010, Condition A	100% Fine/Gross Leak, Method 1014
CSI and/or GSI Pre-Cap (Note 7)	100% Radiographic (X-Ray), Method 2012 (Note 3)
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	100% External Visual, Method 2009
100% Constant Acceleration, Method 2001, Condition per Method 5004	Sample - Group A, Method 5005 (Note 4)
100% PIND, Method 2020, Condition A	Sample - Group B, Method 5005 (Note 5)
100% External Visual	Sample - Group D, Method 5005 (Notes 5, 6)
100% Serialization	100% Data Package Generation (Note 8)
NOTES:	CSI and/or GSI Final (Note 7)

1. Epoxy or Silver glass die attach shall be permitted.

2. Failures from subgroup 1, 7 and deltas are used for calculating PDA. The maximum allowable PDA = 5% with no more than 3% of the failures from subgroup 7.

3. Radiographic (X-Ray) inspection may be performed at any point after serialization as allowed by Method 5004.

4. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.

5. Group B and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B test, Group B samples, Group D test and Group D samples.

6. Group D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group D generic data. Generic data is not guaranteed to be available and is therefore not available in all cases.

7. CSI and/or GSI inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for CSI PreCap inspection, CSI Final Inspection, GSI PreCap inspection, and/or GSI Final Inspection.

8. Data Package Contents:

- Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
- Wafer Lot Acceptance Report (Method 5007). Includes reproductions of SEM photos with percent of step coverage.
- GAMMA Radiation Report. Contains Cover page, disposition, RAD Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
- X-Ray report and film. Includes penetrometer measurements.
- Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
- Lot Serial Number Sheet (Good units serial number and lot number).
- Variables Data (All Delta operations). Data is identified by serial number. Data header includes lot number and date of test.
- Group B and D attributes and/or Generic data is included when required by the P.O.
- The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

Harris Space Level Product Flow -8

GAMMA Radiation Verification (Each Wafer) Method 1019, 4 Samples/Wafer, 0 Rejects	100% Dynamic Burn-In, Condition D, 160 Hours, +125°C or Equivalent, Method 1015
100% Die Attach (Note 1)	100% Interim Electrical Test
Periodic- Wire Bond Pull Monitor, Method 2011	100% PDA, Method 5004 (Note 2)
Periodic- Die Shear Monitor, Method 2019 or 2027	100% Final Electrical Test
100% Internal Visual Inspection, Method 2010, Condition B	100% Fine/Gross Leak, Method 1014
CSI and/or GSI Pre-Cap (Note 6)	100% External Visual, Method 2009
100% Temperature Cycle, Method 1010, Condition C, 10 Cycles	Sample - Group A, Method 5005 (Note 3)
100% Constant Acceleration, Method 2001, Condition per Method 5004	Sample - Group B, Method 5005 (Note 4)
100% External Visual	Sample - Group C, Method 5005 (Notes 4 and 5)
100% Initial Electrical Test	Sample - Group D, Method 5005 (Notes 4 and 5)
	100% Data Package Generation (Note 7)
	CSI and/or GSI Final (Note6)

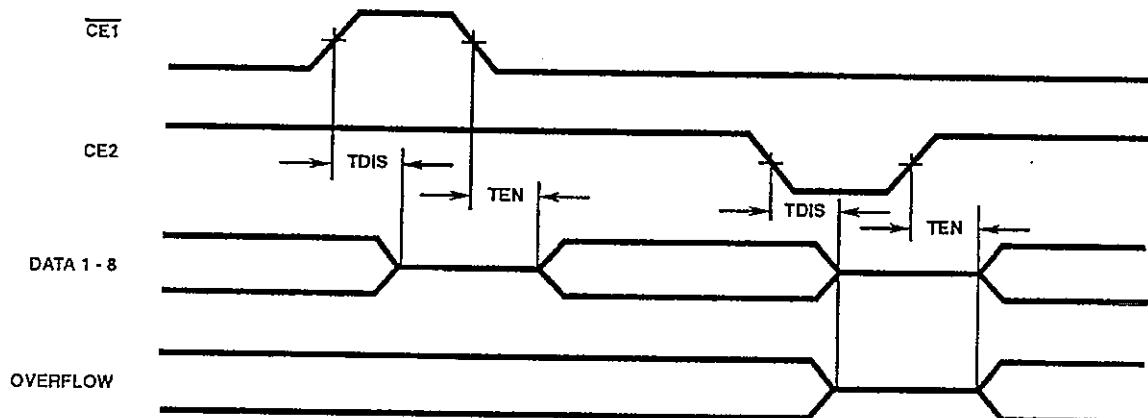
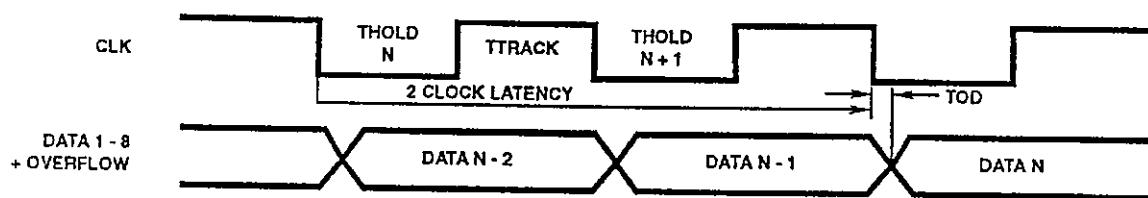
NOTES:

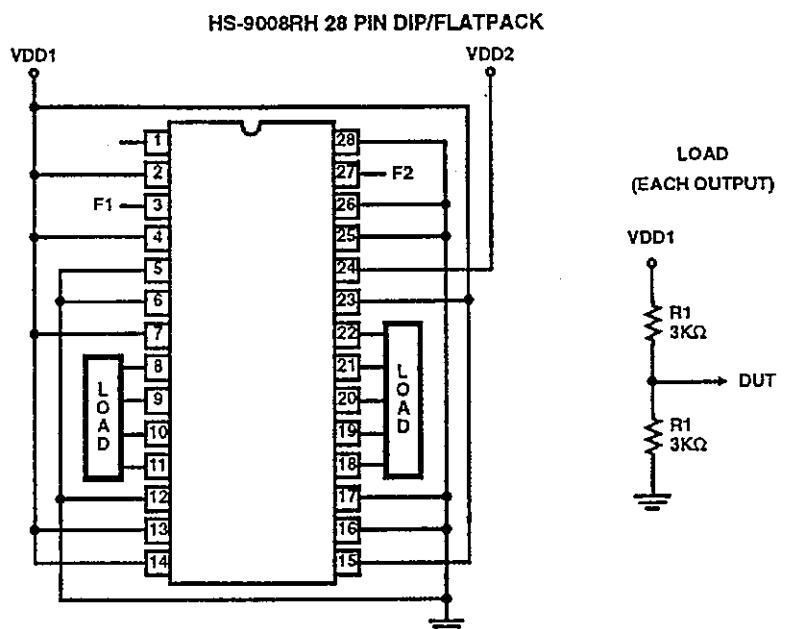
1. Epoxy or Silver glass die attach shall be permitted.
2. Failures from subgroup 1, 7 and deltas are used for calculating PDA. The maximum allowable PDA = 5%.
3. Alternate Group A testing may be performed as allowed by MIL-STD-883, Method 5005.
4. Group B, C and D inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for Group B test, Group B samples, Group Ctest and Group Csamples and Group D test and Group D samples.
5. Group C and/or D Generic Data, as defined by MIL-I-38535, is optional and will not be supplied unless required by the P.O. When required, the P.O. should include a separate line item for Group C generic data and/or D generic data. Generic data is not guaranteed to be available and is therefore not available in all cases.
6. CSI and/or GSI inspections are optional and will not be performed unless required by the P.O. When required, the P.O. should include separate line items for CSI PreCap inspection, CSI Final Inspection, GSI PreCap inspection, and/or GSI Final Inspection.
7. Data Package Contents:
 - Cover Sheet (Harris Name and/or Logo, P.O. Number, Customer Part Number, Lot Date Code, Harris Part Number, Lot Number, Quantity).
 - GAMMA Radiation Report. Contains Cover page, disposition, RAD Dose, Lot Number, Test Package used, Specification Numbers, Test equipment, etc. Radiation Read and Record data on file at Harris.
 - Screening, Electrical, and Group A attributes (Screening attributes begin after package seal).
 - Group B, C and D attributes and/or Generic data is included when required by the P.O.
 - The Certificate of Conformance is a part of the shipping invoice and is not part of the Data Book. The Certificate of Conformance is signed by an authorized Quality Representative.

Spec Number 518796

■ 4302271 0061896 671 ■

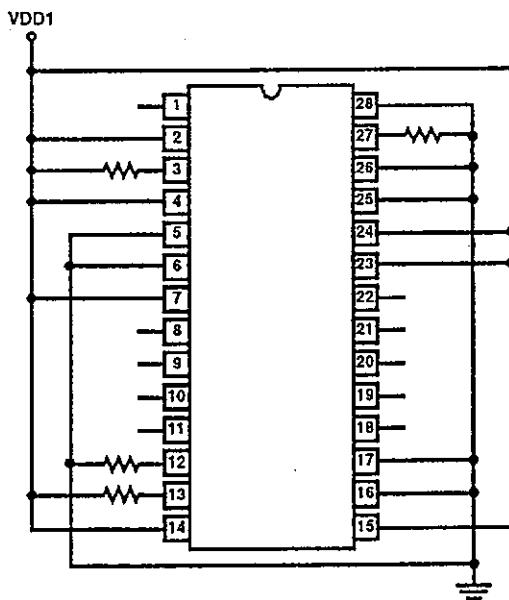
11

Timing Diagrams

Burn-In Circuit

NOTES:

1. VDD1 = 5.5V Min
2. VDD2 = 4V Min
3. Input Signals:
F1 = 1MHz (50% Duty Cycle);
F2 = F1/4 VIH = 5V, +0.5V, -0; VIL = 0V, +0.5V, -0

Irradiation Circuit

NOTES:

1. All Total Dose Testing is performed using the HS1-9008RH package (28 DIP)
2. VDD1 = 5.5V Min
3. Resistors = $10\text{k}\Omega \pm 10\%$
4. Total Dose = 300K RADs

Spec Number 518796

4302271 0061898 444

Metallization Topology**DIE DIMENSIONS:**

180 x 197 x 21± 1mils

METALLIZATION:

Metal 1 - Type: Moly/TiW
 Thickness: $5.8\text{ k}\text{\AA} \pm 10\%$

Metal 2- Type: Al/Si/Cu
 Thickness: $10\text{ k}\text{\AA} \pm 10\%$

GLASSIVATION:

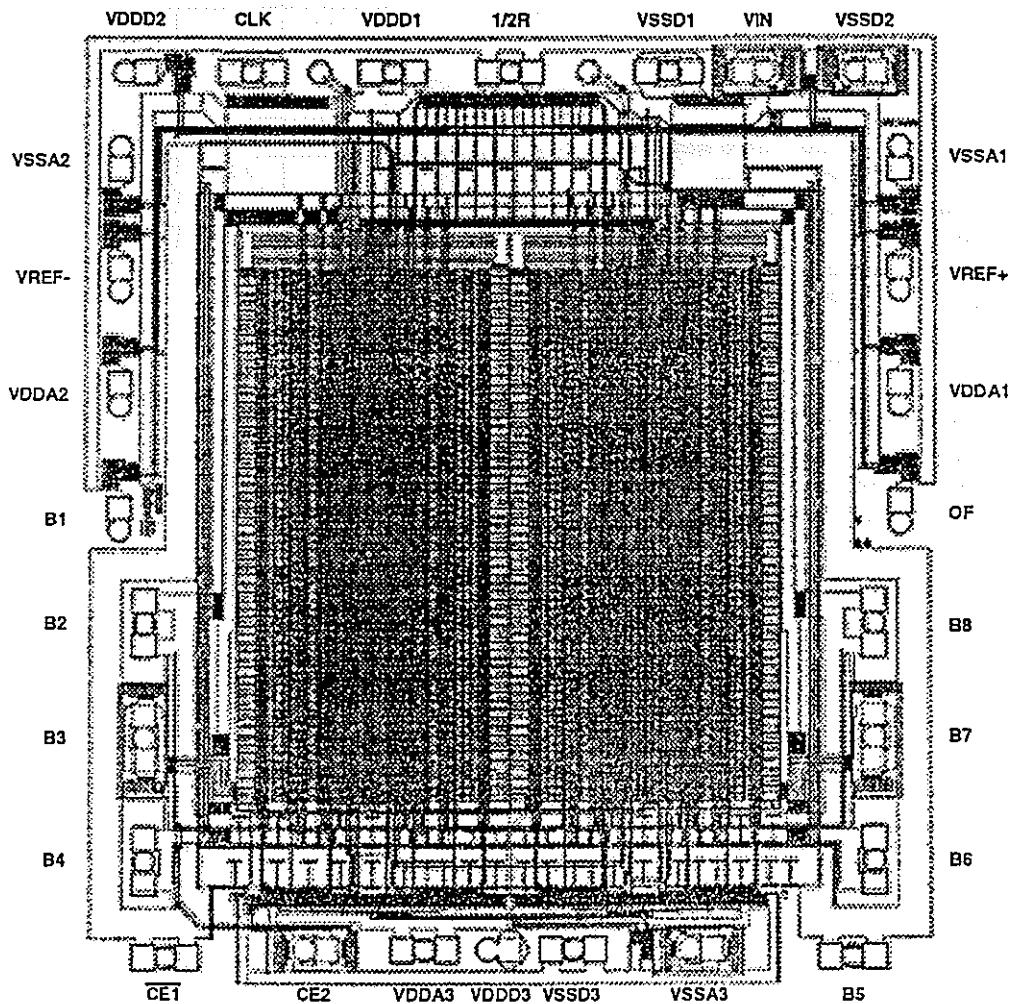
Type: SiO_2
 Thickness: $8\text{ k}\text{\AA} \pm 1\text{ k}\text{\AA}$

WORST CASE CURRENT DENSITY:

Metal 1 - Designs using the Harris AVLSI-1RA process take advantage of the superior current carrying capabilities of Moly/TiW. The current density limit established by Harris Reliability is $5.0 \times 10^5 \text{ A/cm}^2$

Metal 2 - $1.63 \times 10^5 \text{ A/cm}^2$ ***Metallization Mask Layout***

HS-9008RH

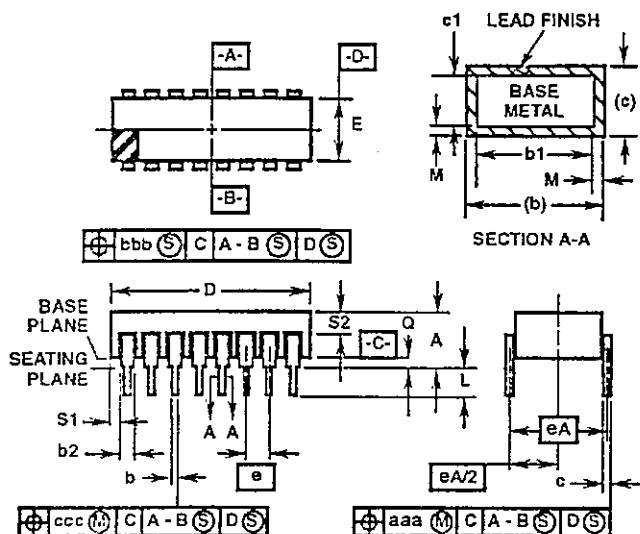


Spec Number 518796

4302271 0061899 380

14

Packaging



NOTES:

1. Index area: A notch or a pin one identification mark shall be located adjacent to pin one and shall be located within the shaded area shown. The manufacturer's identification shall not be used as a pin one identification mark.
2. The maximum limits of lead dimensions b and c or M shall be measured at the centroid of the finished lead surfaces, when solder dip or tin plate lead finish is applied.
3. Dimensions b1 and c1 apply to lead base metal only. Dimension M applies to lead plating and finish thickness.
4. Corner leads (1, N, N/2, and N/2+1) may be configured with a partial lead paddle. For this configuration dimension b3 replaces dimension b2.
5. Dimension Q shall be measured from the seating plane to the base plane.
6. Measure dimension S1 at all four corners.
7. Measure dimension S2 from the top of the ceramic body to the nearest metallization or lead.
8. N is the maximum number of terminal positions.
9. Braze fillets shall be concave.
10. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
11. Controlling dimension: INCH.

D28.6 MIL-STD-1835 CDIP2-T28 (D-10, CONFIGURATION C)
28 LEAD CERAMIC DUAL-IN-LINE METAL SEAL PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.232	-	5.92	-
b	0.014	0.026	0.36	0.66	2
b1	0.014	0.023	0.36	0.58	3
b2	0.045	0.065	1.14	1.65	-
b3	0.023	0.045	0.58	1.14	4
c	0.008	0.018	0.20	0.46	2
c1	0.008	0.015	0.20	0.38	3
D	-	1.490	-	37.85	-
E	0.500	0.610	12.70	15.49	-
e	0.100 BSC		2.54 BSC		-
eA	0.600 BSC		15.24 BSC		-
eA/2	0.300 BSC		7.62 BSC		-
L	0.125	0.200	3.18	5.08	-
Q	0.015	0.060	0.38	1.52	5
S1	0.005	-	0.13	-	6
S2	0.005	-	0.13	-	7
α	90°	105°	90°	105°	-
aaa	-	0.015	-	0.38	-
bbb	-	0.030	-	0.76	-
ccc	-	0.010	-	0.25	-
M	-	0.0015	-	0.038	2
N	28		28		8

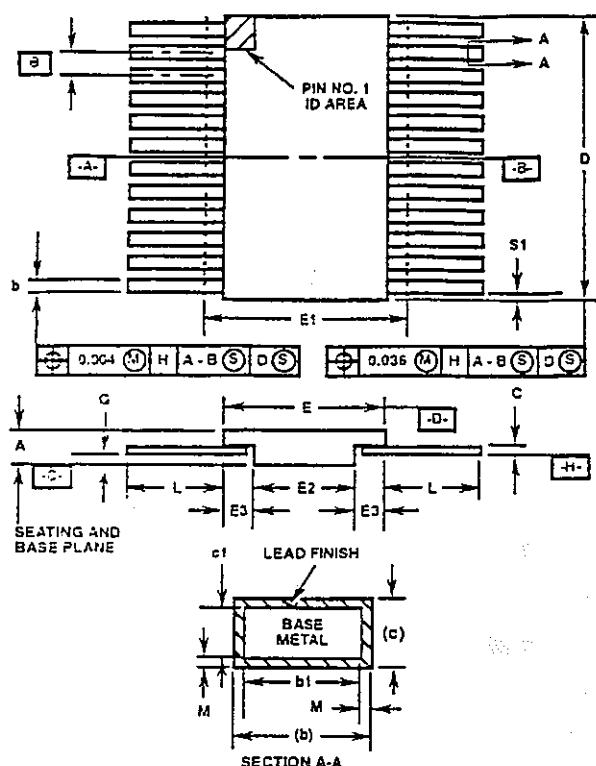
Rev. 0 5/18/94

Spec Number 518796

4302271 0061900 922

15

Packaging (Continued)



**K28.A MIL-STD-1835 CDFP3-F28 (F-11A, CONFIGURATION B)
28 LEAD CERAMIC METAL SEAL FLATPACK PACKAGE**

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.045	0.115	1.14	2.92	-
b	0.015	0.022	0.38	0.56	-
b1	0.015	0.019	0.38	0.48	-
c	0.004	0.009	0.10	0.23	-
c1	0.004	0.006	0.10	0.15	-
D	-	0.740	-	18.80	3
E	0.460	0.520	11.68	13.21	-
E1	-	0.550	-	13.97	3
E2	0.180	-	4.57	-	-
E3	0.030	-	0.76	-	7
e	0.050 BSC		1.27 BSC		-
k	0.008	0.015	0.20	0.38	2
L	0.250	0.370	6.35	9.40	-
Q	0.026	0.045	0.66	1.14	8
S1	0.00	-	0.00	-	6
M	-	0.0015	-	0.04	-
N	28		28		-

Rev. 0 5/18/94

NOTES:

1. Index area: A notch or a pin one identification mark shall be located adjacent to pin one and shall be located within the shaded area shown. The manufacturer's identification shall not be used as a pin one identification mark. Alternately, a tab (dimension k) may be used to identify pin one.
2. If a pin one identification mark is used in addition to a tab, the limits of dimension k do not apply.
3. This dimension allows for off-center lid, meniscus, and glass overrun.
4. Dimensions b1 and c1 apply to lead base metal only. Dimension M applies to lead plating and finish thickness. The maximum limits of lead dimensions b and c or M shall be measured at the centroid of the finished lead surfaces, when solder dip or tin plate lead finish is applied.
5. N is the maximum number of terminal positions.
6. Measure dimension S1 at all four corners.
7. For bottom-brazed lead packages, no organic or polymeric materials shall be molded to the bottom of the package to cover the leads.
8. Dimension Q shall be measured at the point of exit (beyond the meniscus) of the lead from the body. Dimension Q minimum shall be reduced by 0.0015 inch (0.038mm) maximum when solder dip lead finish is applied.
9. Dimensioning and tolerancing per ANSI Y14.5M - 1982.
10. Controlling dimension: INCH.

Spec Number 518796

4302271 0061901 869

16

APPENDIX 5

耐放性マイコン設計書

この設計書は、耐放性マイコンの構成と機能を示すものです。
主な構成要素は、CPU、メモリ、I/Oポート、周辺機器接続部等です。
各部の詳細構成と接続関係が記載されています。

この設計書は、
主に、
耐放性マイコンの構成と機能を示すものです。
各部の詳細構成と接続関係が記載されています。

第一部 回路設計

1. 機能別回路設計

1. 1 CPU

- (a) 命令セット：intel80C51とソフトウェアコンパチブルとする。
- (b) クロック周波数：11.0592MHz

1. 2 クロック発生回路

- (a) 発振子：水晶発振子
- (b) 発振周波数：11.0592MHz
- (c) 発振精度：±0.5%

1. 3 メモリー回路

- (1) ROM
 - (a) 容量：4 kバイト
 - (b) 形式：マスクROM
- (2) RAM
 - (a) 容量：64 kバイト (32 kバイト×2)
 - (b) 形式：スタティックRAM (SRAM)
 - (c) メモリ・バックアップ：二次電池によるバックアップを行う。

1. 4 ディジタル・インターフェース回路

- (1) シリアル・インターフェース (S I O) 回路
 - (a) チャンネル数：2チャンネル
 - (b) 通信方式：全二重通信
 - (c) 転送レート：300～19200 b p s (ソフトウェアにより選択)
 - (d) 伝送規格：RS422A
 - (e) 通信方式：調歩同期式
- (2) パラレル・インターフェース (P I O) 回路
 - (a) 入出力ビット数：72ビット (8ビット×9ポート)
 - (b) 入出力の設定：8ビット単位でソフトウェアにより選択。

(3) カウンタ／タイマ (C/T) 回路

- (a) チャンネル数：5チャンネル
- (b) カウント数：16ビット長（5チャンネル共通）
- (c) クロック入力設定：下記に示す。

2チャンネル：ソフトウェアにより内部入力及び外部入力の選択を行う。

3チャンネル：外部入力。

- (d) 適用：上記5チャンネルの内、2チャンネルは、(1)項のシリアル・インターフェースのポートレート・ジェネレータとして使用する。

1. 5 外部拡張用回路

(1) メモリ拡張用回路

- (a) 拡張方式：バンク切替方式
- (b) 拡張容量：最大224kバイト (32kバイト×7ページ)
- (c) メモリ形式：SRAM

(2) 外部デジタルインターフェース回路

- (a) 外部I/Oセレクト数：8チャンネル
- (b) 外部インターフェース・バス：以下に示す。
 - ・アドレス・バス：16bit
 - ・データ・バス：8bit
 - ・コントロール・バス：
 - 読込信号、書込信号、メモリリクエスト信号、
 - I/Oリクエスト信号、リセット信号、クロック

1. 6 割り込み回路

(a) チャンネル数：

外部割込：2チャンネル

内部割込：3チャンネル

- (b) 適用：内部3チャンネルは、CPU内部で使用する。

1. 7 フェイル・セーフ回路

(1) ウオッチ・ドッグ・タイマ (W. D. T.) 回路

- (a) ウオッチ・ドッグ・タイマの時間：8段階からソフトウェアにより選択する。

(b) ウオッチ・ドッグ・タイマの処理：下記3つの処理事項からハードウェアにより選択する。

- 1) ハードウェア・リセット
- 2) 外部割込
- 3) 未処理

(c) ウオッチ・ドッグ・タイマのエラー出力を外部に出力する。

(2) リセット回路

(a) パワー・オン・リセット時間：20ms～100ms

(b) 電源監視動作：電源電圧4.5±0.1V以下でリセット信号を出力する。

(3) バッテリ・バックアップ回路

(a) バックアップ電圧：DC +2.5～+3.5[V]

(b) バックアップ時間：500時間（満充電で放電電流0.05[mA]の時とする。）

(c) 充電時間（満充電時間）：20～30時間（充電電圧 DC +3.4[V]とする。）

1. 8 電源回路

(a) 入力電圧：DC +5[V]±10%

(b) 消費電流：300[mA] (MAX)

(c) 保護機能：逆電圧及び過電圧入力に対する保護機能有り。

2. アドレス・マップの構成

耐放射線性マイクロコンピュータのアドレス・マップの構成を表2に示す。

表2 アドレス・マップの構成

アドレス	プログラム・メモリ空間	データ・メモリ空間
	適用 (ディバイス)	適用 (ディバイス)
0 0 0 0 H ～0 F F F H	マイクロコンピュータ起動プログラム (ROM: 4 kバイト)	
1 0 0 0 H ～7 F F F H	ユーザ・プログラム, ユーザ・データ (SRAM 1: 32 kバイト)	
8 0 0 0 H ～F E F F H	ユーザ・プログラム, ユーザ・データ (SRAM 2: 32 kバイト)	
F F 0 0 H ～F F F F H	使用不可 ---	外部 I/O 領域 (サイクル・インターフェース回路) 表 4 参照

3. 内部 I/O 領域割当

耐放射線性マイクロコンピュータの内部 I/O 領域割当を表 3 に示す。

表 3 CPU 内部の I/O 領域の割り当て

レジスタ・アドレス	レジスタ・シンボル	適 用
88H	TCON	タイマ0、タイマ1の制御
89H	TMOD	タイマ0、タイマ1のモード設定
8AH, 8CH	TL0, TH0	タイマ0のデータ入出力
8BH, 8DH	TL1, TH1	タイマ1のデータ入出力
98H	SCON	シリアル・インターフェース①のモード設定
99H	SBUF	シリアル・インターフェース①のデータ入出力
A8H	IE	割込みイネーブルの設定
B8H	IP	割込みプライオリティの設定

4. 外部 I/O 領域割当

耐放射線性マイクロコンピュータの外部 I/O 領域割当を表 4 に示す。

表 4 外部 I/O 領域の割り当て (1/2)

アドレス	適 用
FF00H	メモリのバンク切替の設定
FF08H	パラレル・インターフェース ポートA1 の入出力
FF09H	パラレル・インターフェース ポートB1 の入出力
FF0AH	パラレル・インターフェース ポートC1 の入出力
FF0BH	パラレル・インターフェース ポートAI～ポートC1 の動作モード設定
FF0CH～FF0FH	使用不可
FF10H	パラレル・インターフェース ポートA2 の入出力
FF11H	パラレル・インターフェース ポートB2 の入出力
FF12H	パラレル・インターフェース ポートC2 の入出力
FF13H	パラレル・インターフェース ポートA2～ポートC2 の動作モード設定
FF14H～FF17H	使用不可
FF18H	パラレル・インターフェース ポートA3 の入出力
FF19H	パラレル・インターフェース ポートB3 の入出力
FF1AH	パラレル・インターフェース ポートC3 の入出力
FF1BH	パラレル・インターフェース ポートA3～ポートC3 の動作モード設定
FF1CH～FF1FH	使用不可
FF20H	シリアル・インターフェース 2 テーク入出力
FF21H	シリアル・インターフェース 2 のモード設定
FF22H～FF27H	使用不可

表4 外部I/O領域の割り当て(2/2)

アドレス	適 用
FF28H	カウント/タイマ0 のデータ入出力
FF29H	カウント/タイマ1 のデータ入出力
FF2AH	カウント/タイマ2 のデータ入出力
FF2BH	カウント/タイマ0~2 の動作モード設定
FF2CH~FF2FH	カウント/タイマ0~2 の動作モード設定
FF30H	ウォッチ・ドッグ・タイマの時間設定
FF31H~FF37H	使用不可
FF38H	ウォッチ・ドッグ・タイマのクリア
FF39H~FF3FH	使用不可
FF40H~FF47H	拡張用：外部出力信号「#CS_EX1」にてセレクト
FF48H~FF4FH	拡張用：外部出力信号「#CS_EX2」にてセレクト
FF50H~FF57H	拡張用：外部出力信号「#CS_EX3」にてセレクト
FF58H~FF5FH	拡張用：外部出力信号「#CS_EX4」にてセレクト
FF60H~FF67H	拡張用：外部出力信号「#CS_EX5」にてセレクト
FF68H~FF6FH	拡張用：外部出力信号「#CS_EX6」にてセレクト
FF70H~FF77H	拡張用：外部出力信号「#CS_EX7」にてセレクト
FF78H~FF7FH	拡張用：外部出力信号「#CS_EX8」にてセレクト
FF80H~FFFFH	未使用：外部セレクト回路を要する。

第二部 プログラム設計

1. 概要

ホストコンピュータと耐放射線性マイクロコンピュータ をシリアル回線で接続して、リセット解除後ユーザープログラムのホストコンピュータから耐放射線性マイクロコンピュータへのダウンロードを行い、ロードしたユーザープログラムの実行を開始させる。

また、コントロールによってはダウンロード後ユーザープログラムの実行を開始しないでデバッグプログラムを実行する。

ROM化プログラムはリセット後のダウンロードと、ロード後のユーザープログラムまたはデバッグプログラムの実行のコントロールと、デバッグプログラム本体及びB I T機能を含む。

2. ユーザプログラムのダウンロード

(1) ユーザプログラムのフォーマット

図1に示すインテル拡張HEXフォーマットとする。(1部本システム用に変更)

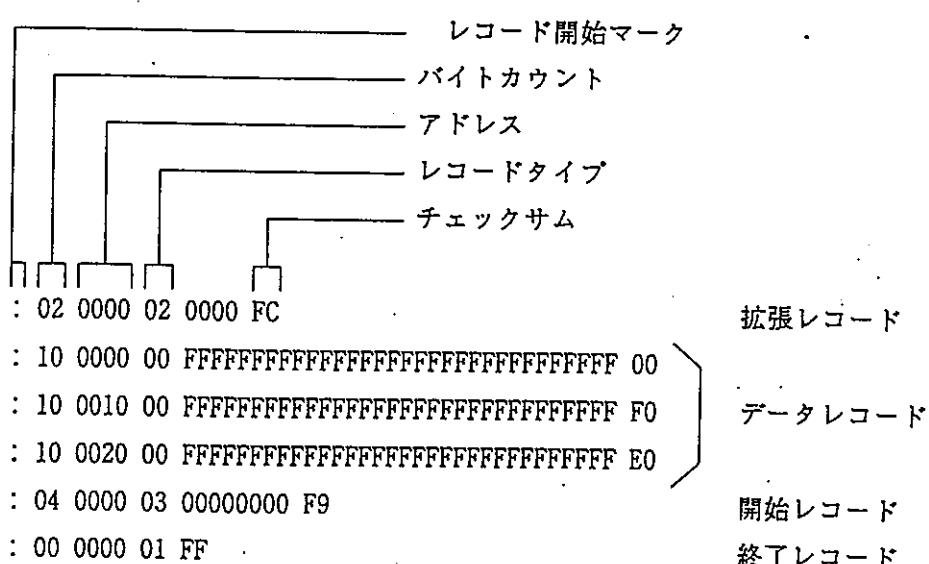


図1 インテル拡張HEXフォーマット

各レコードはレコード開始マーク「:」で始まりチェックサムで終了する。チェックサムの後にはCR/LFが続くものとする。また各レコードの中のブランクは説明の都合上付けたものであって実際のオブジェクトファイルには存在しない。

レコードタイプの後ろには各タイプ別にバイトカウント数分のバイトデータが続く。

チェックサムはバイトカウンタからチェックサムの直前のバイトまでの総和の2の補数で表す。

各レコードの最大長さは「:」からCR/LFまで77文字以下とする。

レコードタイプ

00: データレコード: オブジェクトデータを示す。

01: 終了レコード : HEXファイルの終了を示す。

02: 拡張レコード : 後に続くデータレコードのオフセットアドレスを示す。

本システムではメモリバンク番号として使用する。

このレコードによって指定されるまでのオブジェクトはバンク0とし、一度指定されると次に指定されるまでそのバンクとする。

03: 開始レコード : ユーザプログラムの実行開始アドレスを示す。

本システムではバンク番号2バイト、PC2バイトとする。

実行は指定のバンクに切り換えてPCの値から開始する。

バンク番号の有効範囲は0x0000から0x0007である。

: 04 0000 03 0000 0000 F9

PC 2バイト

バンク番号 2バイト

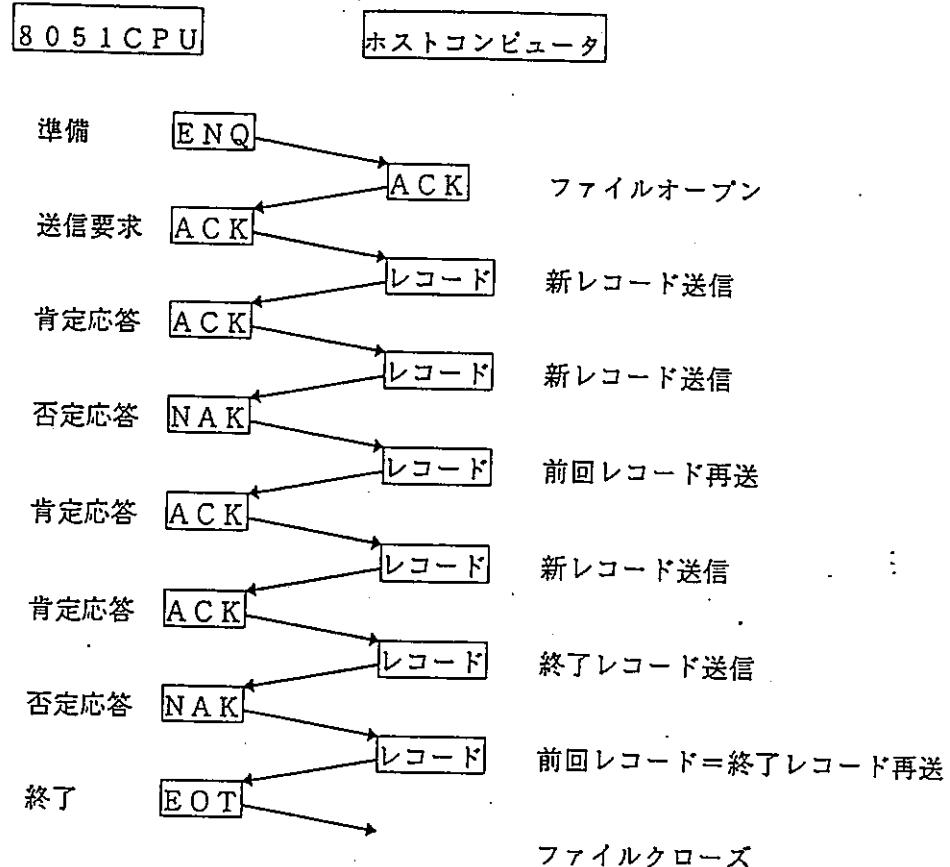
(2) 通信規格

- | | |
|--------|---------------------------------|
| ①同期方式 | 調歩同期 |
| ②通信速度 | 9600 b p s (クロック 11.0592 M H z) |
| ③ビット構成 | 1スタート+8データ+2ストップ (parity無し) |

(3) ダウンロード手順

リセット解除後次のシーケンスでユーザプログラムのダウンロードを行う。
ダウンロードはオブジェクトのレコード単位を行い、チェックサムによるチェックを行ってエラー時には再送処理を行う。再送回数の制限は 8051 CPU 側では行わない。必要に応じてホストコンピュータ側で行う。

- ①準備 8051 CPU から ENQ を送信。
ホストコンピュータはファイルオープンを行って ACK を送信する。
- ②送信要求 8051 CPU から ACK を送信。
ホストコンピュータは 1 レコードのオブジェクトを送信する。レコードの最後には CR/LF コードが付加される。
- ③肯定応答 8051 CPU は受信したレコードのチェックサムが正しい時に ACK を送信。
ホストコンピュータは次のレコードを送信する。
- ④否定応答 8051 CPU は受信したレコードのチェックサムが正しくない時に NAK を送信。
受信レコードは処理しない。
ホストコンピュータは前回送信したレコードを再送する。
- ⑤終了 8051 CPU は終了レコードを受信すると EOT を送信してダウンロードを終了する。
ホストコンピュータはファイルクローズを行う。



(4) ユーザプログラムの実行

ダウンロードされたオブジェクトプログラムの中に開始レコードが含まれていた時は、開始レコードによって指定された実行開始アドレスからユーザプログラムをスタートさせる。

開始レコードが含まれていない場合にはデバッグプログラムを実行させる。

3. デバッグプログラム

デバッグプログラムはユーザプログラムのダウンロード後、ダウンロードされたプログラム内に開始レコードが無い時、及びユーザプログラムからコールされた時に実行される。

(1) コマンド体系

①プログラムロード

L (xxxx) ----- H E X フォーマットのファイルロード。
xxxx はオフセットアドレス。

②メモリ内容のダンプ

D xxxx nn ----- xxxx 番地より nn バイトメモリ内容のダンプ。

③メモリ内容の表示と変更

M xxxx ----- xxxx 番地のメモリ内容の表示と変更。

④内部メモリ内容の表示と変更

IM xxxx ----- xxxx 番地の内部RAMの内容表示と変更。

⑤レジスタ内容の表示と変更

R xx ----- xx レジスタの内容表示と変更（含 I/Oレジスタ）。

⑥プログラムの実行

G (xxxx) ----- (xxxx 番地から)ユーザプログラム実行。

⑦プログラムの中止

(Any Key) ----- コンソールからのKB入力によってユーザプログラムを中断してデバッグプログラム実行。

注：メモリは外部RAM（RAM2、RAM10～17）を示し、内部RAMはCPU内蔵のRAMを示す。バンク指定はユーザプログラムの実行結果による。（デバッグプログラムで自動的には変更はしない。）現在のバンク番号の参照／変更は③のコマンドでバンク切り換えポートを指定して行えばできる。

(2) デバッグ用コンソール

デバッグプログラムはコマンドの入力、各コマンドの実行結果の出力の為にユーザプログラムのダウンロード時のホストコンピュータをコンソールとして使用する。

デバッグプログラムのコンソールとして使用する時にはホストコンピュータは次の機能を必要とする。

① K B 入力

K B から入力されたデータをシリアル回線に送出する。

② ディスプレイ表示

シリアル回線へ送られてきたキャラクタデータをディスプレイへ表示する。

③ オブジェクトダウンロード

L コマンドの実行に際して、2 項 (3) と同様な方法でファイルのダウンロードを行う。

(3) ユーザプログラムの実行制御

① レジスタ (含 I/O レジスタ)

G コマンドでユーザプログラムの実行を開始する。ユーザプログラムの実行開始時のレジスタはデバッグプログラム内で確保しているレジスタバッファの値がセットされる。レジスタバッファの内容は前回ユーザプログラムを中断した時の内容であって、R コマンドではこの値を参照／変更することになる。

よって、P C も中断した次のアドレスとなっており、G コマンドでアドレスを指定しないと中断した次のアドレスからユーザプログラムを実行再開する。

② スタック

最初、ユーザプログラムを実行する時には内部メモリをスタックエリアとして、S P をセットした状態である。ユーザプログラムでは S P のセット、変更は自由である。ユーザプログラムを中断した時にはその時の S P の内容がセーブされる。

デバッグプログラムはユーザプログラムの S P をそのまま使用する。よってスタックエリアはデバッグプログラムが使用する容量も考慮する必要がある。

③ ユーザプログラムの中断

ユーザプログラムを中断してデバッグプログラムを起動させるには

- ・ ユーザプログラムからデバッグプログラムをコールする。
- ・ ユーザプログラム実行中にコンソールから K B 入力する。

の 2 通りがある。

コンソールの K B 入力でデバッグプログラムを起動するためにシリアルポートの割込を利用している。そのため、この機能を利用するにはユーザプログラムでシリアルポート割込を割込可状態にしておかなければならぬ。

④ その他

デバッグプログラム実行中は全ての割込と W D T を禁止する。

ユーザプログラムの割込可否、W D T 等は他のレジスタと共にセーブしておき、実行時に元の状態に戻す。また W D T はユーザプログラムを実行する直前に 1 回クリアする。

4. B I T機能

セルフテスト機能として次のテストを行う。

- ①C P Uのレジスタチェック
- ②C P Uの演算機能チェック
- ③外部メモリのライト／リードチェック
- ④バンク切り換え機構チェック
- ⑤W D Tチェック
- ⑥R O Mサムチェック

セルフテストはダウンロードプログラムの前に実行して、テスト結果に関わらずにダウンロードをホストコンピュータへ要求する。

テスト結果はそのテスト内容とOK／NGをホストコンピュータへ通知して次へ進む。

(1) C P Uのレジスタチェック

C P Uのレジスタへコンスタントデータのライト／リードチェックを行う。

テストするレジスタはA、B、S P、D P H、D P L、R 0～R 7（4バンク）とし、テストデータは0 x 0 0、0 x 5 5、0 x A A、0 x F Fとする。

(2) C P Uの演算機能チェック

算術演算機能の内、乗算、除算を実行してその結果をチェックする。

乗算はAレジスタ×Bレジスタ=B、Aレジスタであって、 $1 \times 1 = 1$ 、 $10 \times 10 = 100$ 、 $100 \times 100 = 10000$ の演算を行う。

除算はAレジスタ/Bレジスタ=Aレジスタ、余りBレジスタであって、 $100 / 1 = 100$ 、 $100 / 2 = 50$ 、 $100 / 3 = 33$ 余り1の演算を行う。

(3) 外部メモリのライト／リードチェック

R A M1 0（0 x 0 0 0 0～0 x 7 F F F）とR A M2（0 x 8 0 0 0～0 x F E F F）についてバイトデータのライト／リードチェックを行う。

テストデータは0 x 0 0、0 x 5 5、0 x A A、0 x F F、インクリメントデータとする。

(4) バンク切り換え機構チェック

バンク切り換え用の出力ポートの値をリードバックしてチェックする。

テストデータは0 x 0 0、0 x 8 0、0 x 8 1、0 x 8 2、0 x 8 4とする。

(5) W D Tチェック

W D T時間コントロール用の出力ポートの値をリードバックしてチェックする。

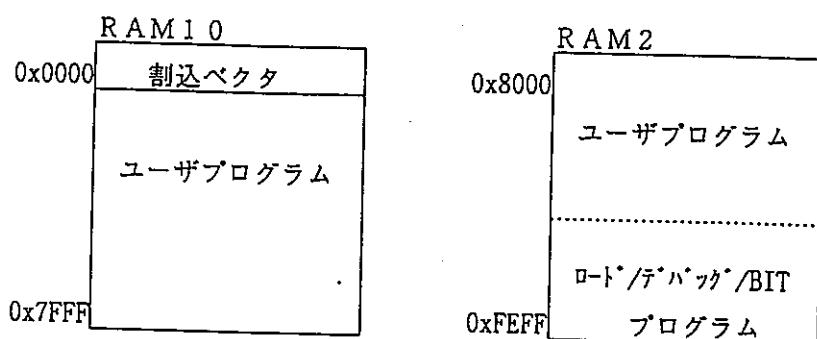
テストデータは0 x 0 0、0 x 8 0、0 x 8 1、0 x 8 2、0 x 8 4とする。

(6) R O Mサムチェック

コード部分を0番地から最終番地までバイト単位に加算した結果（実際には2の補数）を最終番地の次へ格納しておき（チェックサム）、テスト時には0番地からチェックサムまでの加算結果が0となる事を確認する。

5. メモリマップ

ローダプログラムとデバッグプログラム及びBIT機能はROMに実装されているが、リセット解除後RAM2にコピーしてRAM2で実行する。割込ベクタはRAM10～17にコピーされる。
実行時のRAMマップは次の様になる。



6. シリアルポート

ローダプログラムとデバッグプログラムはCPU内蔵のシリアルポートを使用する。またボーレートジェネレータとしてCPU内蔵のタイマ1を使用し、CPUクロック11.0592MHzの時に2項(2)の通信速度となる様にセットする。

7. 割り込みベクタ

ROM上の割込ベクタは、8051CPU内蔵シリアルポート割り込みはデバッグプログラム内のハンドラを実行する様に、残りの割り込みは同じくデバッグプログラム内のハンドラにおいて割込要因をメッセージ出力してからデバッグプログラムを実行する様にセットする。

リセット解除時にROM上の割込ベクタはRAM10にコピーされているから、ユーザプログラムの必要に応じて、ユーザプログラムで上書き変更すればよい。ロードするオブジェクト内にこの部分のコードがあればローダプログラムによって変更される。

8. 使用言語

アセンブリコーディングとする。

(C言語では制限の3Kバイトをオーバーする可能性がある。)

APPENDIX6

ASIC-IC仕様書

1. 適応範囲

本仕様書は、耐放射線性マイクロコンピュータ用8051ASICに適用する。

2. 関連文書

無し。

3. 要求事項

3. 1 環境要求

- (1) 温度 : -55°Cから+125°C
- (2) 湿度 : 95%RH以下とする。(但し、結露無きこと。)
- (3) 放射線(γ線) : 1E6 [rad] (Total Dose)
SEU : 1E-8 [bit errors/day]
- (4) 雰囲気組成 : 硝酸雰囲気(100ppm以下)

4. 機能

本装置は、以下に示す基本機能を有するものとする。図4-1に全体構成を示す。

(1) 信号処理機能

- (a) 8ビットデータの演算処理機能を有している。
- (b) 信号処理のアルゴリズムをプログラムできる機能を有している。

(2) シリアルインターフェース機能

- (a) 2チャネルのシリアル入出力機能を有している。

(3) パラレルインターフェース機能

- (a) 80ビット(8ビット×10ポート)のデジタル入出力機能を有している。
- (b) 入出力の設定は、プログラムにより任意に設定できる機能を有している。

(4) フェイル・セーフ機能

- (a) 本装置内の異常を外部信号出力できる機能を有している。

(5) 拡張機能

本装置は、以下に示す拡張機能を有している。

- (a) 外部にプログラム用メモリ及びデータ保管用メモリを接続できる機能を有している。
- (b) 外部にプログラム用メモリ及びデータ保管用メモリのメモリ量が拡張できる機能を有している。
- (c) 外部にI/Oを接続できる機能を有している。

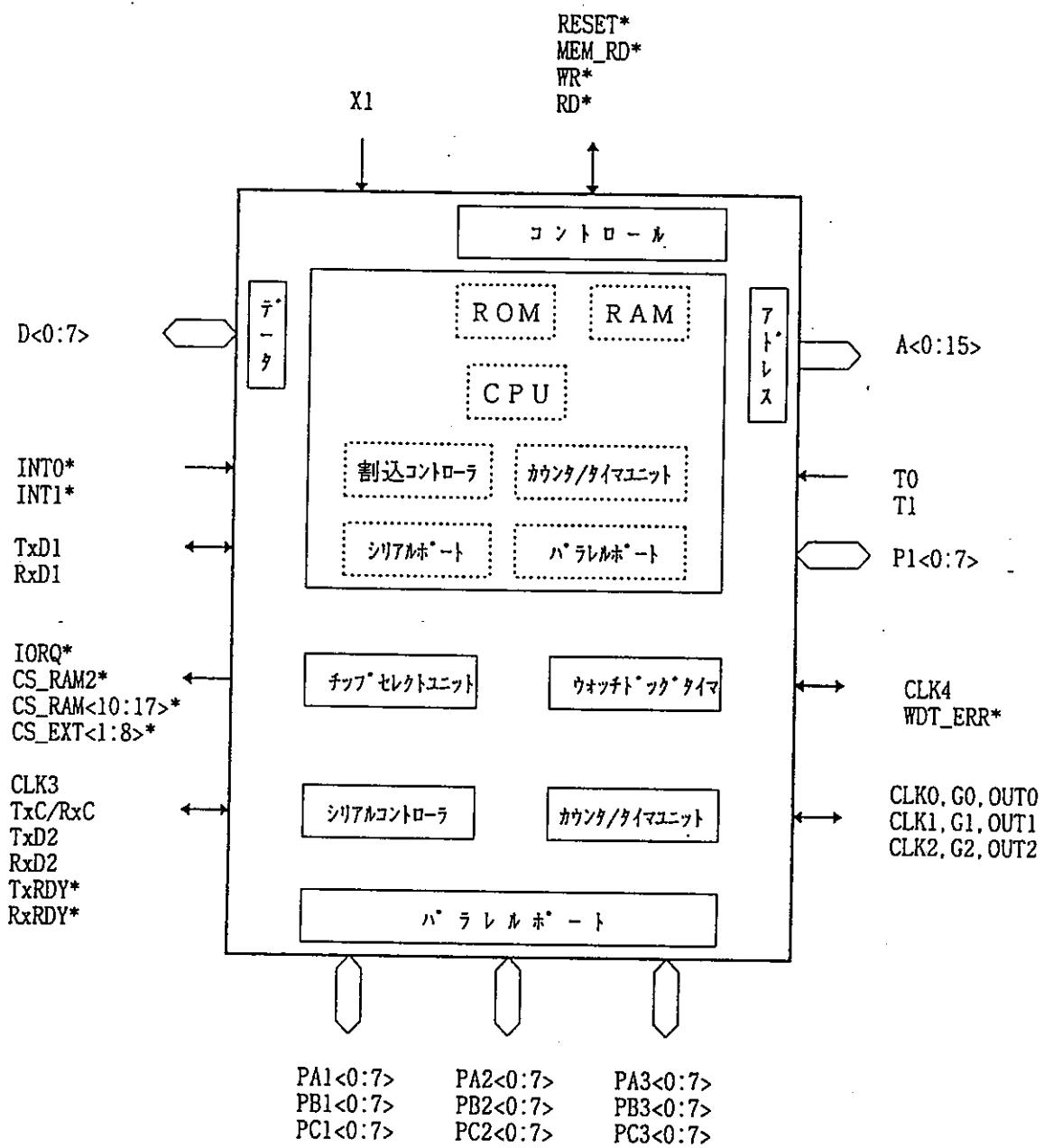


図4-1 耐放射線性マイクロコンピュータ用8051ASIC 全体構成図

5. 回路仕様

図5-1に耐放射線性マイクロコンピュータ用ASICの回路図を示す。

5. 1 機能別回路仕様書

5. 1. 1 CPU

- (a) 命令セット : i 8051 とソフトウェア互換とする。
- (b) クロック周波数 : 12MHz MAX

5. 1. 2 内蔵メモリ回路

(1) ROM

- (a) 容量 : 3~4Kバイト
- (b) 形式 : マスクROM

(2) RAM

- (a) 容量 : 128バイト

5. 1. 3 デジタルインターフェース回路

(1) シリアルインターフェース (S I O) 回路

- (a) チャンネル数 : 1チャンネル CPU内蔵
1チャンネル i 82C51A相当
- (b) 通信方式 : 全二重通信
- (c) 転送レート : 300~19200 bps
(ソフトウェアにより選択)
- (d) 通信方式 : 調歩同期式

(2) パラレルインターフェース (P I O) 回路

- (a) ポート数 : 1ポート CPU内蔵
9ポート i 82C55相当×3
- (a) 入出力ビット数 : 80ビット (8ビット×10ポート)
- (b) 入出力の設定 : 8ビット単位でソフトウェアにより選択。

(3) カウンタ/タイマ (C/T) 回路

- (a) チャンネル数 : 2チャンネル CPU内蔵
3チャンネル i 82C54相当
- (b) カウント数 : 16ビット長 (5チャンネル共通)
- (c) クロック入力設定
 - 2チャンネル : ソフトウェアにより内部入力及び外部入力の選択を行う
 - 3チャンネル : 外部入力
- (d) 適用 : 上記5チャンネルの内、2チャンネルは、
(1) 項のシリアル・インターフェースのボーレート・ジェネレータとして使用する。

下記回路を拡張するためのセレクト信号を次のインターフェースバスと共に出力する。

- ・アドレス・バス : 16 ビット
- ・データ・バス : 8 ビット
- ・コントロール・バス : 読込信号、書込信号、メモリリード信号、I/Oリクエスト信号

(1) 外部データメモリ、外部プログラムメモリ用回路

- (a) メモリ容量 : $32\text{ k} \times 2 = 64\text{ k}$ バイト
- (b) メモリ形式 : スタティック RAM (SRAM)

(2) 拡張用メモリ回路

- (a) 拡張方式 : バンク切替方式
- (b) 拡張容量 : 7 バンク ($32\text{ k} \times 7 = 224\text{ k}$ バイト)
- (c) メモリ形式 : SRAM

(3) 外部デジタルインターフェース回路

- (a) 外部 I/O セレクト数: 8 チャンネル

5. 1. 5 割り込み回路

(a) チャンネル数

- 外部割込 : 2 チャンネル
- 内部割込 : 3 チャンネル

- (b) 適用 : 内部 3 チャンネルは、CPU 内部で使用する。

5. 1. 7 フェイル・セーフ回路

(1) ウオッチ・ドック・タイマ (W·D·T) 回路

- (a) ウオッチ・ドック・タイマの時間は以下の 8 段階からソフトウェアにより選択する。(クロック 7.3728MHz 使用時)

17ms、35ms、71ms、142ms、284ms、568ms、1137ms、2275ms

- (b) ウオッチ・ドック・タイマのエラー出力を外部に出力する。

5. 2 アドレスマップの構成

ASIC内部のi8051CPUから見たアドレス・マップを表5-2-1、I/O領域の割り当てを表5-2-2、CPU内部の割り当てを表5-2-3に示す。

表5-2-1 アドレス・マップ

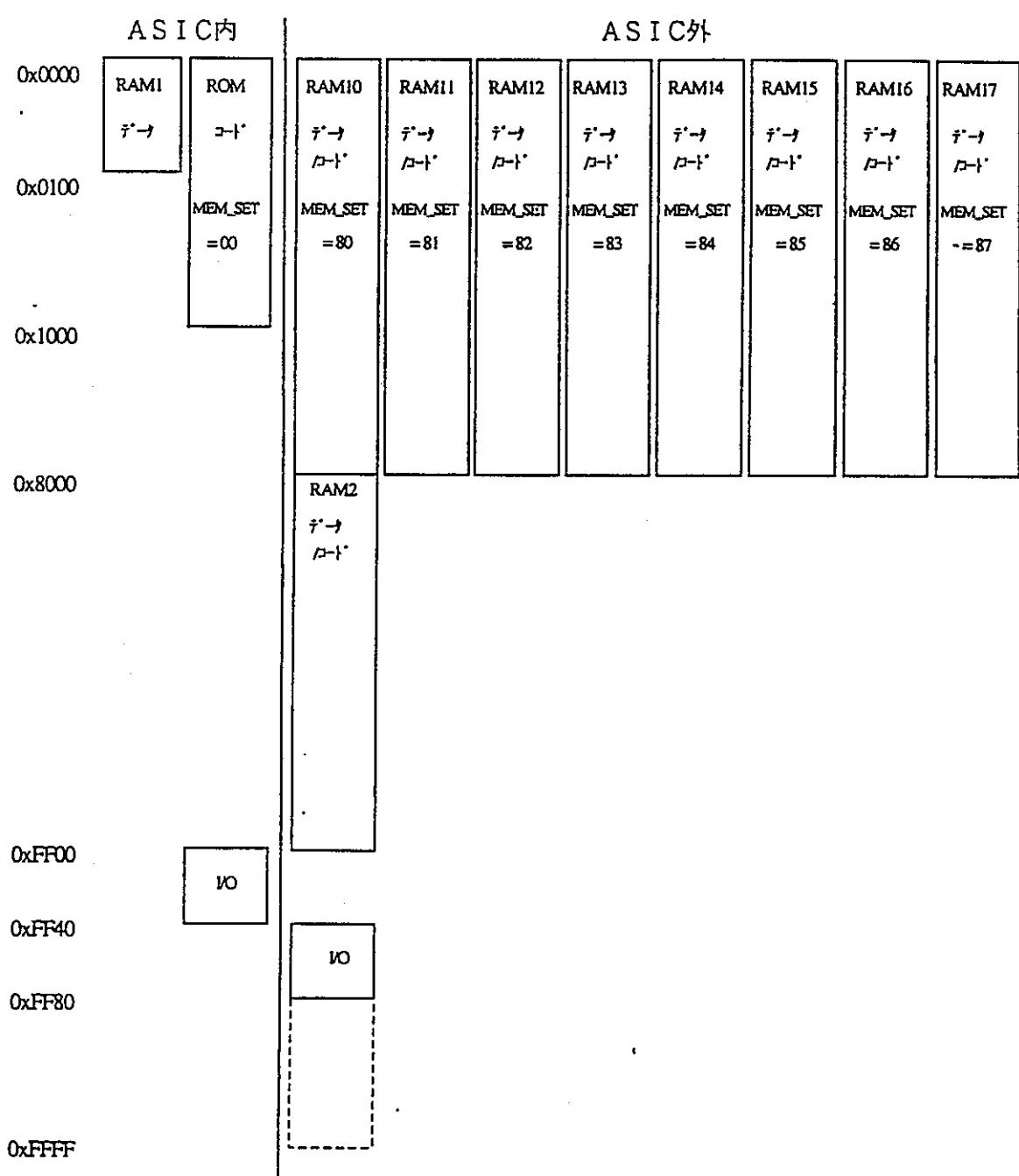


表5-2-2 外部I/O領域の割当 (1/2)

アドレス	適用
0xFF00	メモリバンク切替の設定
0xFF01 ～0xFF07	使用不可
0xFF08	パラレル・インターフェース ポートA 1の入出力
0xFF09	パラレル・インターフェース ポートB 1の入出力
0xFF0A	パラレル・インターフェース ポートC 1の入出力
0xFF0B	パラレル・インターフェース ポートA 1～ポートC 1の動作モード設定
0xFF0C ～0xFF0F	使用不可
0xFF10	パラレル・インターフェース ポートA 2の入出力
0xFF11	パラレル・インターフェース ポートB 2の入出力
0xFF12	パラレル・インターフェース ポートC 2の入出力
0xFF13	パラレル・インターフェース ポートA 2～ポートC 2の動作モード設定
0xFF14 ～0xFF17	使用不可
0xFF18	パラレル・インターフェース ポートA 3の入出力
0xFF19	パラレル・インターフェース ポートB 3の入出力
0xFF1A	パラレル・インターフェース ポートC 3の入出力
0xFF1B	パラレル・インターフェース ポートA 3～ポートC 3の動作モード設定
0xFF1C ～0xFF1F	使用不可
0xFF20	シリアル・インターフェース2のデータ入出力
0xFF21	シリアル・インターフェース2のモード設定
0xFF22 ～0xFF27	使用不可
0xFF28	カウンタ／タイマ3のデータ入出力
0xFF29	カウンタ／タイマ4のデータ入出力
0xFF2A	カウンタ／タイマ5のデータ入出力
0xFF2B	カウンタ／タイマ3～5の動作モード設定
0xFF2C ～0xFF2F	使用不可

表5-2-2 外部I/O領域の割当(2/2)

アドレス	適用
0xFF30	ウォッチ・ドックタイマの時間設定
0xFF31 ～0xFF37	使用不可
0xFF38	ウォッチ・ドックタイマのクリア
0xFF39 ～0xFF3F	使用不可
0xFF40 ～0xFF47	拡張用：外部出力信号「CS_EX1*」にてセレクト
0xFF48 ～0xFF4F	拡張用：外部出力信号「CS_EX2*」にてセレクト
0xFF50 ～0xFF57	拡張用：外部出力端子「CS_EX3*」にてセレクト
0xFF58 ～0xFF5F	拡張用：外部出力端子「CS_EX4*」にてセレクト
0xFF60 ～0xFF67	拡張用：外部出力端子「CS_EX5*」にてセレクト
0xFF68 ～0xFF6F	拡張用：外部出力端子「CS_EX6*」にてセレクト
0xFF70 ～0xFF77	拡張用：外部出力端子「CS_EX7*」にてセレクト
0xFF78 ～0xFF7F	拡張用：外部出力端子「CS_EX8*」にてセレクト
0xFF80 ～0xFFFF	未使用：外部セレクト回路を要する。

表5-2-3 CPU内部のI/O領域の割当

レジスタ・アドレス	レジスタ・シンボル	適用
0x88	TCON	タイマ0、タイマ1の制御
0x89	TMOD	タイマ0、タイマ1の設定
0x8A、0x8C	TL0, TH0	タイマ0のデータ入出力
0x8B、0x8D	TL1, TH1	タイマ1のデータ入出力
0x98	SCON	シリアル・インターフェース1のモード設定
0x99	SBUF	シリアル・インターフェース1のデータ入出力
0xA8	IE	割り込みイネーブルの設定
0xB8	IP	割込みプライオリティの設定

5. 3 インターフェースの仕様

対放射線性マイクロコンピュータ用ASICのインターフェース仕様を表5-3-1に示す。

表5-3-1 外部入出力信号 (1/2)

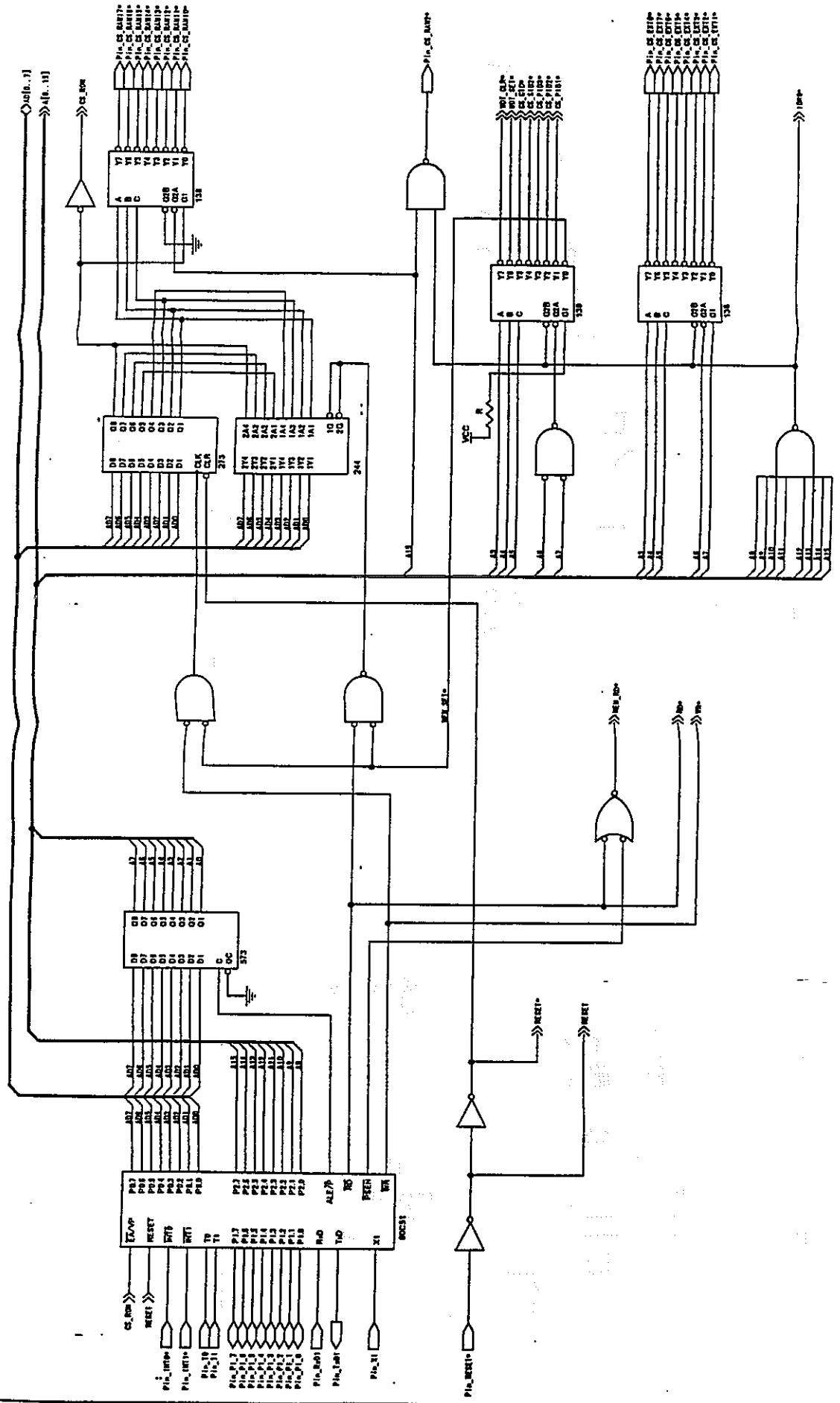
信号名称	記号	入出力	論理	注記
コントロール信号	RESET*	入力	負	リセット信号
	RD*	出力	負	データ読込信号
	WR*	出力	負	データ書込信号
	MEM_RD*	出力	負	メモリ読込信号
アドレスバス	A<0:15>	出力	正	
データバス	D<0:7>	入出力	正	-
割込信号	INT0*	入力	負	外部割込0
	INT1*	入力	負	外部割込1
タイマ1信号	T0	入力	-	カウント入力
タイマ2信号	T1	入力	-	カウント入力
タイマ3信号	CLK0	入力	-	クロック入力
	G0	入力	正	イネーブル
	OUT0	出力	正	出力
タイマ4信号	CLK1	入力	-	カウント入力
	G1	入力	正	イネーブル
	OUT1	入力	正	出力
タイマ5信号	CLK2	入力	-	カウント入力
	G2	入力	正	イネーブル
	OUT2	出力	正	出力
シリアル1信号	TxD1	出力	正	送信データ
	RxD1	入力	正	受信データ
シリアル2信号	CLK3	入力	正	動作クロック
	TxC/RxC	入力	-	送受信クロック
	TxD2	出力	正	送信データ
	RxD2	入力	正	受信データ
	TxRDY*	出力	負	送信終了
	RxRDY*	出力	負	受信終了
WDT信号	CLK4	入力	-	基準クロック
	WDT_ERR*	出力	負	エラー出力

表5-3-1 外部入出力信号（2／2）

信号名称	記号	入出力	論理	注記
パラレル信号	P1<0:7>	入出力	正	CPU内蔵
	PA1<0:7>	入出力	正	82C55#1
	PB1<0:7>	入出力	正	
	PC1<0:7>	入出力	正	
	PA2<0:7>	入出力	正	82C55#2
	PB2<0:7>	入出力	正	
	PC2<0:7>	入出力	正	
	PA3<0:7>	入出力	正	82C55#3
	PB3<0:7>	入出力	正	
	PC3<0:7>	入出力	正	
外部メモリセレクト信号	CS_RAM2*	出力	負	0x8000~
	CS_RAM10*	出力	負	バンク0
	CS_RAM11*	出力	負	バンク1
	CS_RAM12*	出力	負	バンク2
	CS_RAM13*	出力	負	バンク3
	CS_RAM14*	出力	負	バンク4
	CS_RAM15*	出力	負	バンク5
	CS_RAM16*	出力	負	バンク6
	CS_RAM17*	出力	負	バンク7
	IORQ*	出力	負	0xFFXX
外部I/Oセレクト信号	CS_EXT1*	出力	負	
	CS_EXT2*	出力	負	
	CS_EXT3*	出力	負	
	CS_EXT4*	出力	負	
	CS_EXT5*	出力	負	
	CS_EXT6*	出力	負	
	CS_EXT7*	出力	負	
	CS_EXT8*	出力	負	
クロック信号	X1	入力	-	

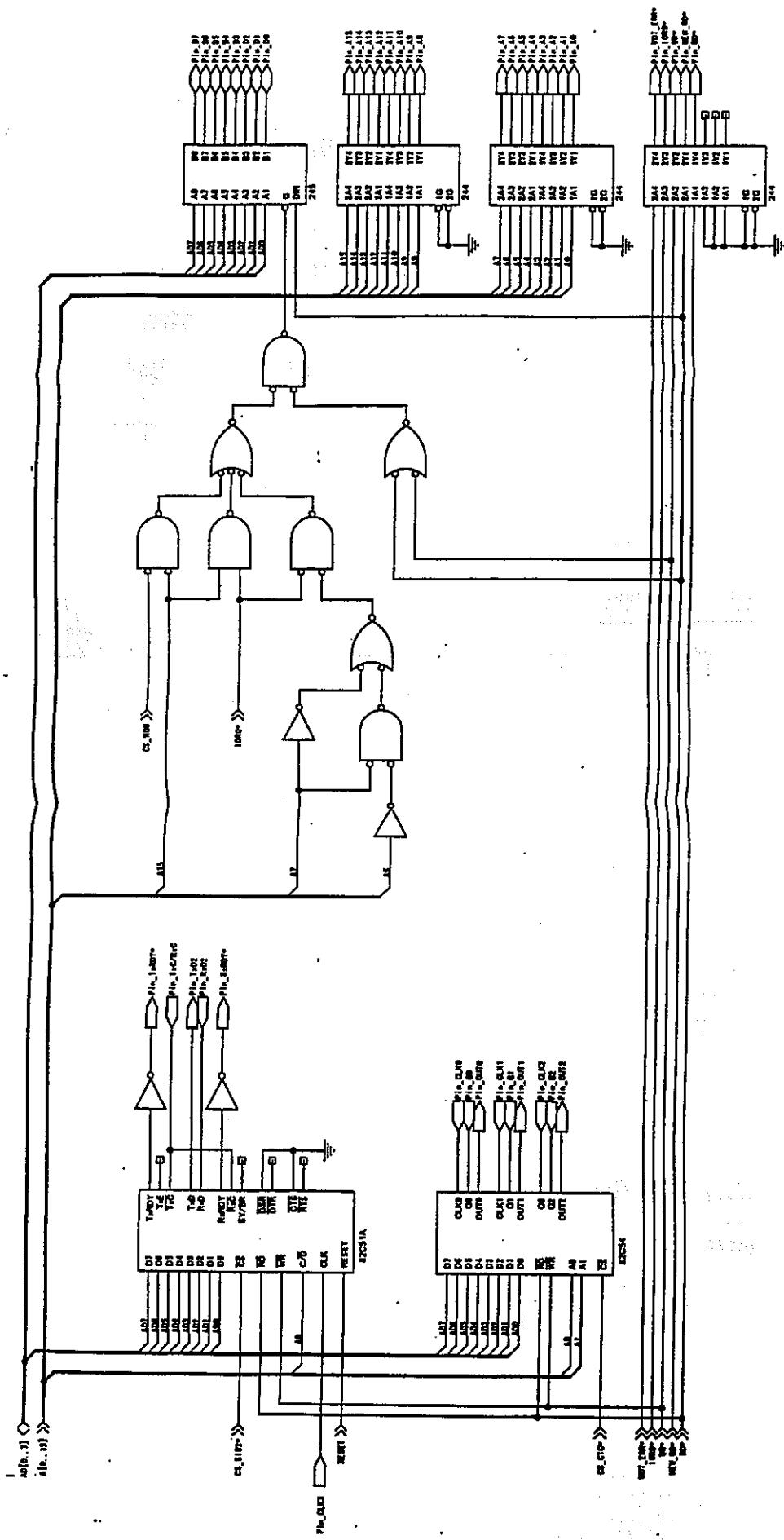
図5-1 (1/4)

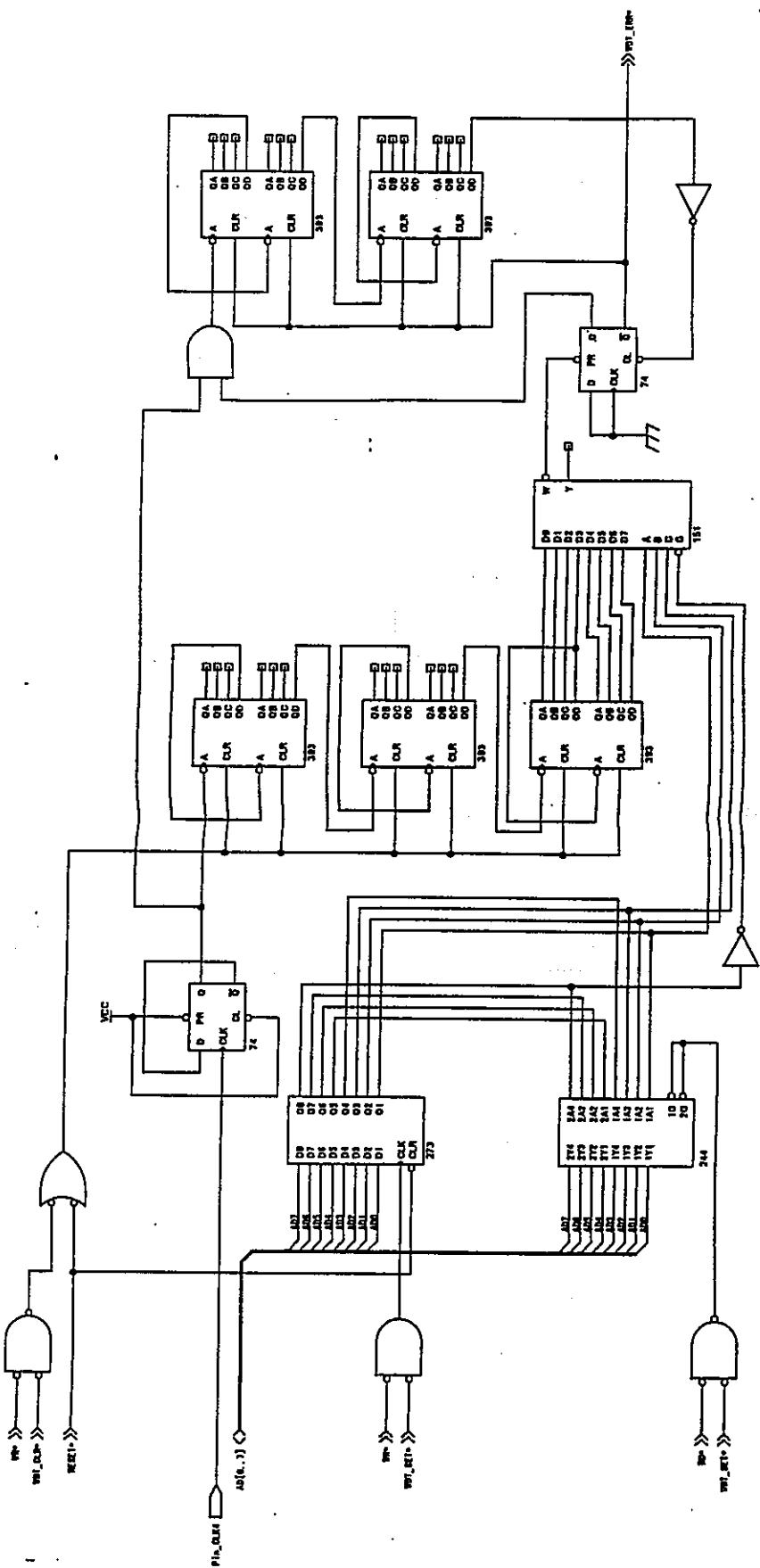
耐放射線性マイクロコンピュータ /



耐候性マイクロコンピュータ

図5-1 (2/4)





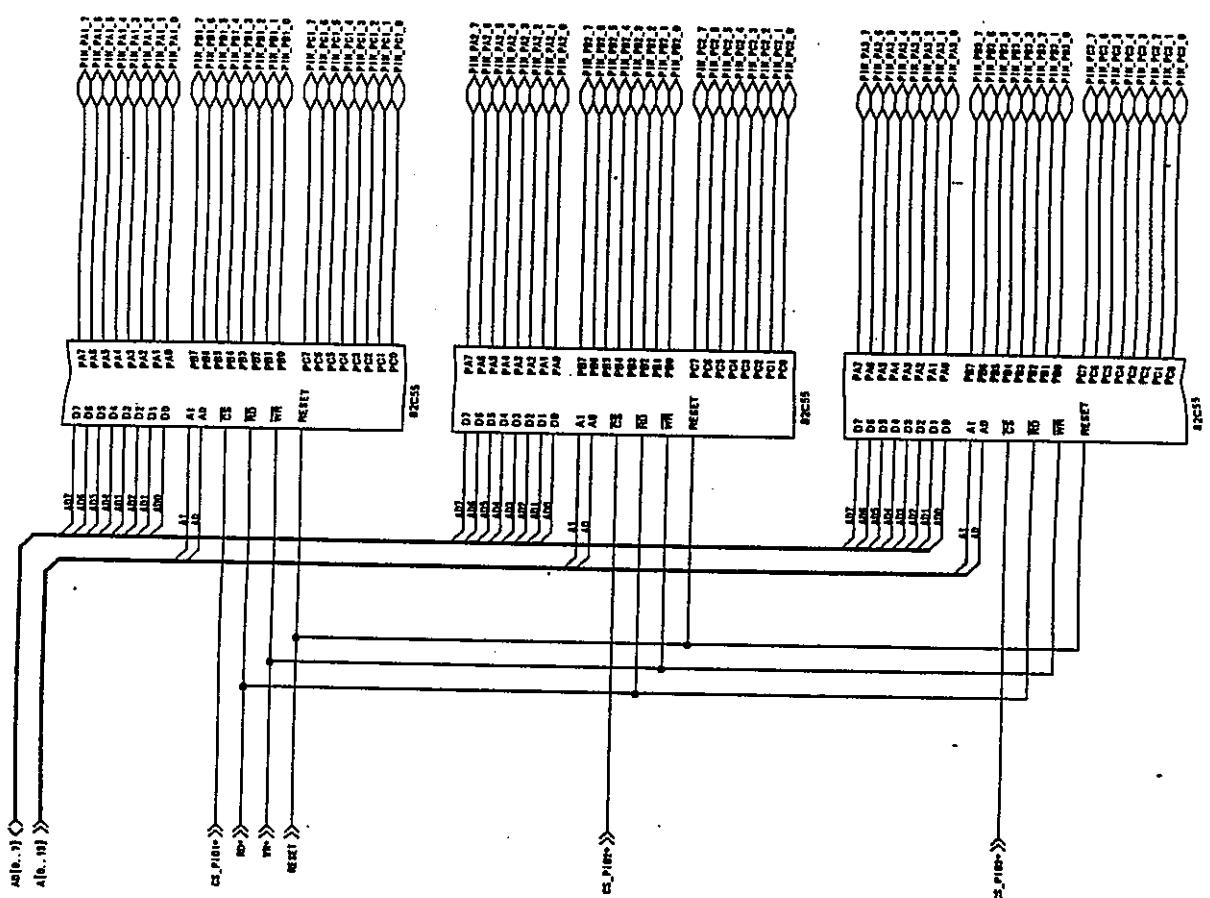


図5-1 (4/4)

制御機能性マイクロコンピュータ

APPENDIX 7

ASIC-IC耐放射線照射試驗報告書

放射線照射試験（Total Dose 試験）結果報告書

1. 試験内容概要

1. 1 試験実施日・場所

試験実施日 : 平成10年1月23日(金)～26日(月)

試験実施場所 : 日本原子力研究所 高崎研究所 第6照射室

1. 2 照射条件

(1) 線源 : コバルト60線源(Co60) γ 線

(2) 総照射量 : 1×10^7 [RAD] 以上

(3) 照射率 : 5×10^5 [R/H] 及び 1×10^6 [R/H]

(4) 照射時間 : 20時間以上

2. 試験構成

図1に試験構成図を、図2に試験用治具の接続図を示す。

3. 試験内容

8051ASICに規定の電圧及び外部クロックを与えながら試験用プログラムを走らせ γ 線照射試験を実施する。試験用プログラムの説明を5項に示す。

4. 試験実施結果

添付資料に γ 線照射試験中の出力メッセージログデータを示す。本結果より、すべての出力メッセージはOKを示しており、Total Dose 3.0×10^7 [RAD] まで γ 線を照射した後も、ASICは正常に動作していることを確認した。すなわちASICの耐放射線能力は、 3.0×10^7 [RAD] 以上といえる。

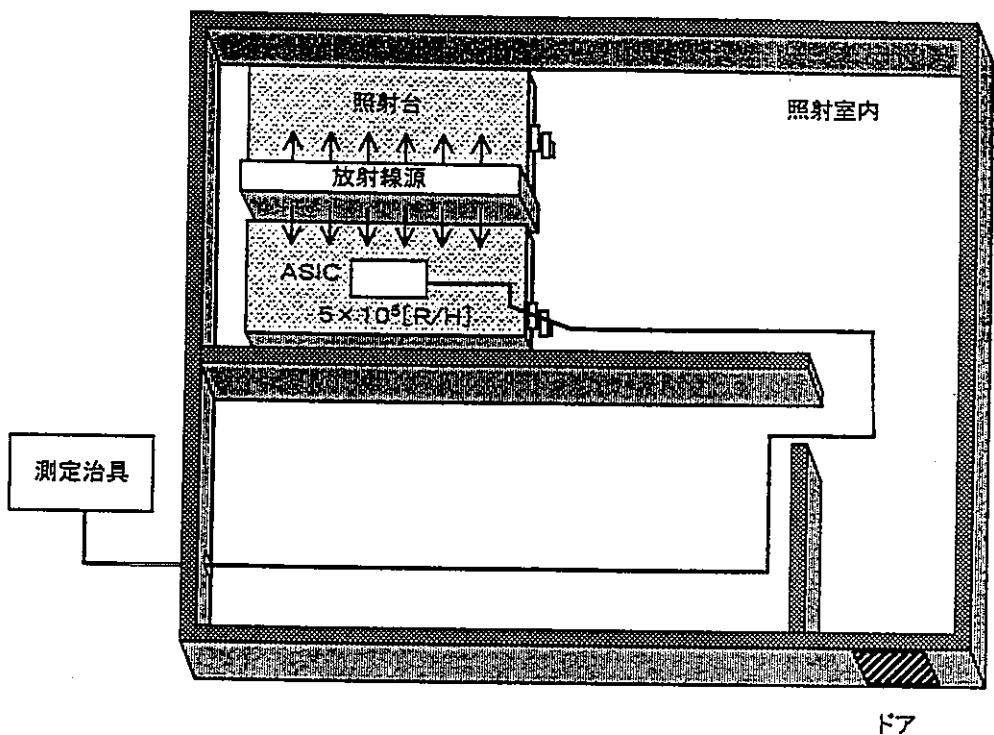


図1 試験構成図

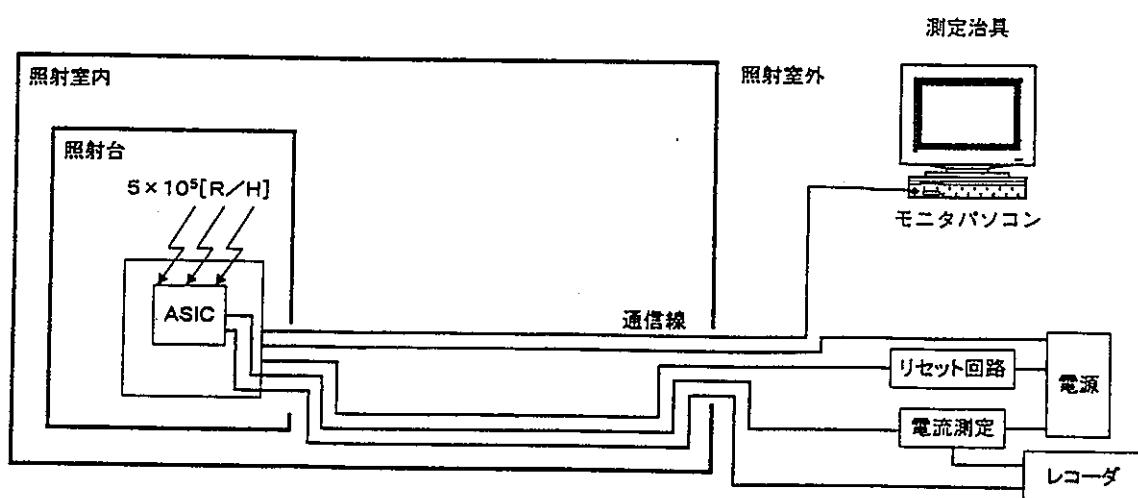


図2 試験用治具の接続図

5. 放射線照射試験プログラム

5. 1 概略

M 8 0 5 1 A S I C で試験プログラムを実行して実行結果を R S - 2 3 2 に出力してモニタパソコンで記録する。

5. 2 試験プログラム

試験プログラムは内蔵ROMのモニタプログラムによってモニタパソコンより試験基板内のRAMにダウンロードして実行する。

出力メッセージは、毎回最初に試験回数を“N o. x x”（x x は試験回数の16進数表示）と出力した後、各テストの実行結果を出力する。

出力メッセージ一覧を表1に、試験プログラムのフローを図3に示す。

表1 出力メッセージ一覧

C P U レジスタチェック	R e g OK/NG
C P U 演算機能チェック	C P U OK/NG
バンク切り換えチェック	B a n k OK/NG
W D T チェック	W D T OK/NG
パラレルI/Fチェック	P I O OK/NG
外部シリアルI/Fチェック	S I O OK/NG
RAM2ライト/リードチェック	RAM2 OK/NG
RAM10ライト/リードチェック	RAM10 OK/NG
外部タイマ	T i m e OK/NG
内蔵ROMサムチェック	R O M OK/NG
内蔵RAMチェック	R A M OK/NG

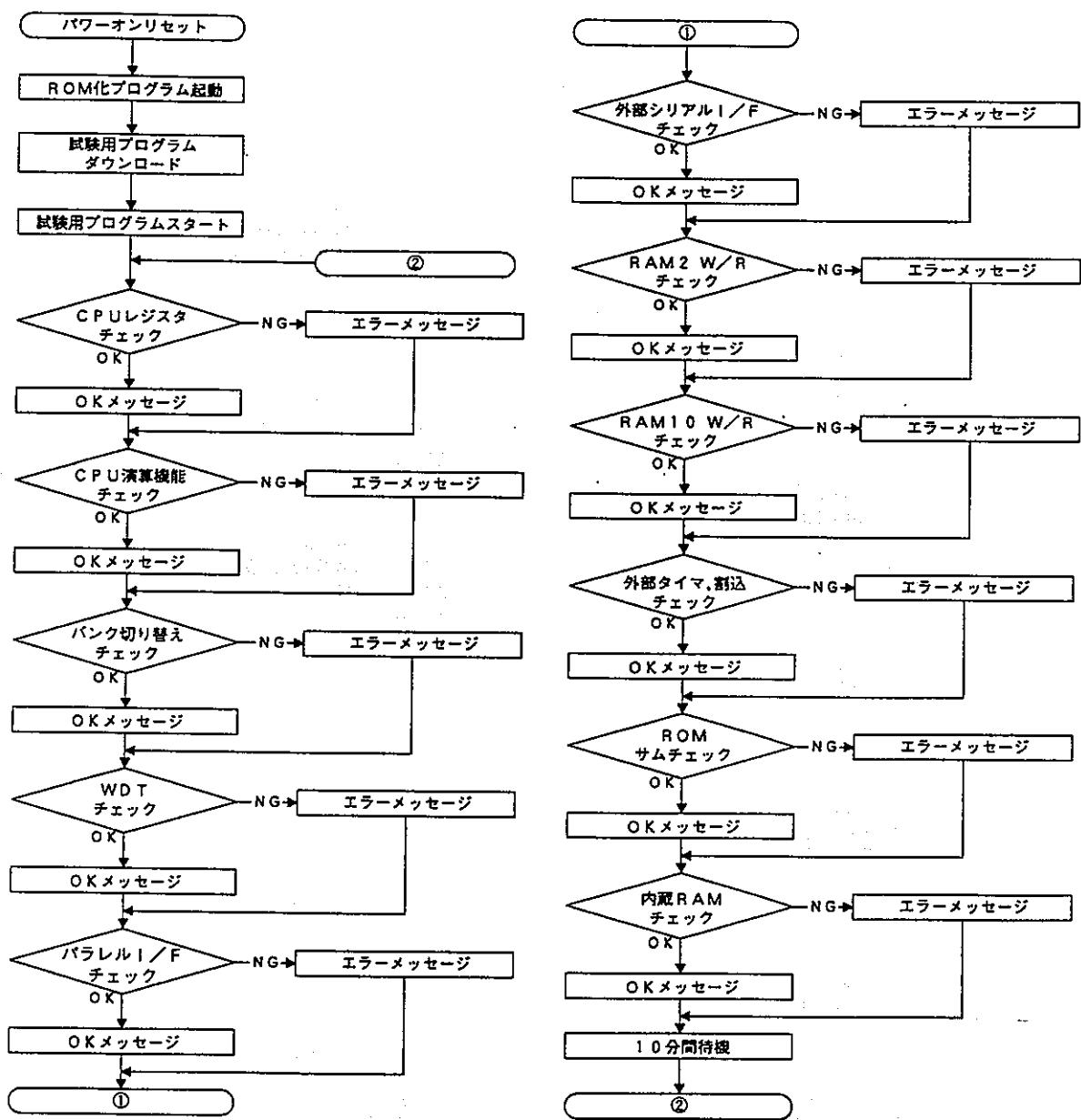


図3 放射線照射試験用プログラム フローチャート

添付資料

1/23メッセージログ

1/23 テストメッセージログ

1/23メッセージログ

1/23メッセージログ

1/24 テストメッセージログ

98/01/24,08:59:17,G 8000	98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,No.01	98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,Reg OK	98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,CPU OK	98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Bank OK	98/01/24,08:59:17,Time OK
98/01/24,08:59:17,WDT OK	98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,PIO OK	98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,SIO OK	98/01/24,08:59:17,
98/01/24,08:59:17,RAM2 OK	98/01/24,08:59:17,No.03
98/01/24,08:59:17,RAM10 OK	98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,Time OK	98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,ROM OK	98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,RAM OK	98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,	98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,No.02	98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,Reg OK	98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,CPU OK	98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Bank OK	98/01/24,08:59:17,Time OK
98/01/24,08:59:17,WDT OK	98/01/24,08:59:17,ROM OK

1/24メッセージログ

98/01/24,08:59:17, RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.04
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.05
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.06
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.07
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.08
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,

1／24メッセージログ

1/24メッセージログ

98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.19
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.1A
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.1B
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.1C
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.1D
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,RAM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.22
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK

1/24メッセージログ

1/24メッセージログ

1/24メッセージログ

98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.37
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.38
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.39
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.3A
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.3B
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK
98/01/24,08:59:17,ROM OK
98/01/24,08:59:17,RAM OK
98/01/24,08:59:17,
98/01/24,08:59:17,No.40
98/01/24,08:59:17,Reg OK
98/01/24,08:59:17,CPU OK
98/01/24,08:59:17,Bank OK
98/01/24,08:59:17,WDT OK
98/01/24,08:59:17,PIO OK
98/01/24,08:59:17,SIO OK
98/01/24,08:59:17,RAM2 OK
98/01/24,08:59:17,ROM10 OK
98/01/24,08:59:17,Time OK

1/24メッセージログ

1/25 テストメッセージログ

98/01/25,09:16:16,G 8000	98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,No.01	98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,Reg OK	98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,CPU OK	98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Bank OK	98/01/25,09:16:16,Time OK
98/01/25,09:16:16,WDT OK	98/01/25,09:16:16,ROM OK

1/25メッセージログ

1/25メッセージログ

98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.02
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.03
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.04
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.05
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.06
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,

1/25メッセージログ

1/25メッセージログ

98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.17
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.18
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.19
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.1A
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.1B
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.20
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK

1/25メッセージログ

1/25メッセージログ

98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.35
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.36
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.37
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.38
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK
98/01/25,09:16:16,Time OK
98/01/25,09:16:16,ROM OK
98/01/25,09:16:16,RAM OK
98/01/25,09:16:16,
98/01/25,09:16:16,No.39
98/01/25,09:16:16,Reg OK
98/01/25,09:16:16,CPU OK
98/01/25,09:16:16,Bank OK
98/01/25,09:16:16,WDT OK
98/01/25,09:16:16,PIO OK
98/01/25,09:16:16,SIO OK
98/01/25,09:16:16,RAM2 OK
98/01/25,09:16:16,RAM10 OK

1/25メッセージログ

1/25メッセージログ

1/25メッセージログ

1/25メッセージログ

1/25メッセージログ

98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.68
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.69
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.6A
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.6B
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.6C
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK

1/25メッセージログ

1/25メッセージログ

98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.7C
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,ROM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.7D
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,ROM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.7E
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,ROM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.7F
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,ROM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.80
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,ROM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,Time OK

1/25メッセージログ

98/01/26,09:16:16, RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.86
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.87
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.88
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.89
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK
98/01/26,09:16:16,
98/01/26,09:16:16,No.8A
98/01/26,09:16:16,Reg OK
98/01/26,09:16:16,CPU OK
98/01/26,09:16:16,Bank OK
98/01/26,09:16:16,WDT OK
98/01/26,09:16:16,PIO OK
98/01/26,09:16:16,SIO OK
98/01/26,09:16:16,RAM2 OK
98/01/26,09:16:16,RAM10 OK
98/01/26,09:16:16,Time OK
98/01/26,09:16:16,ROM OK
98/01/26,09:16:16,RAM OK

APPENDIX 8

耐放性マイコンの将来再処理施設への適用（案）

「耐放性マイコンの再処理施設への適用（案）」

—231—

H10年3月
三菱重工業株式会社
名古屋誘導推進システム製作所

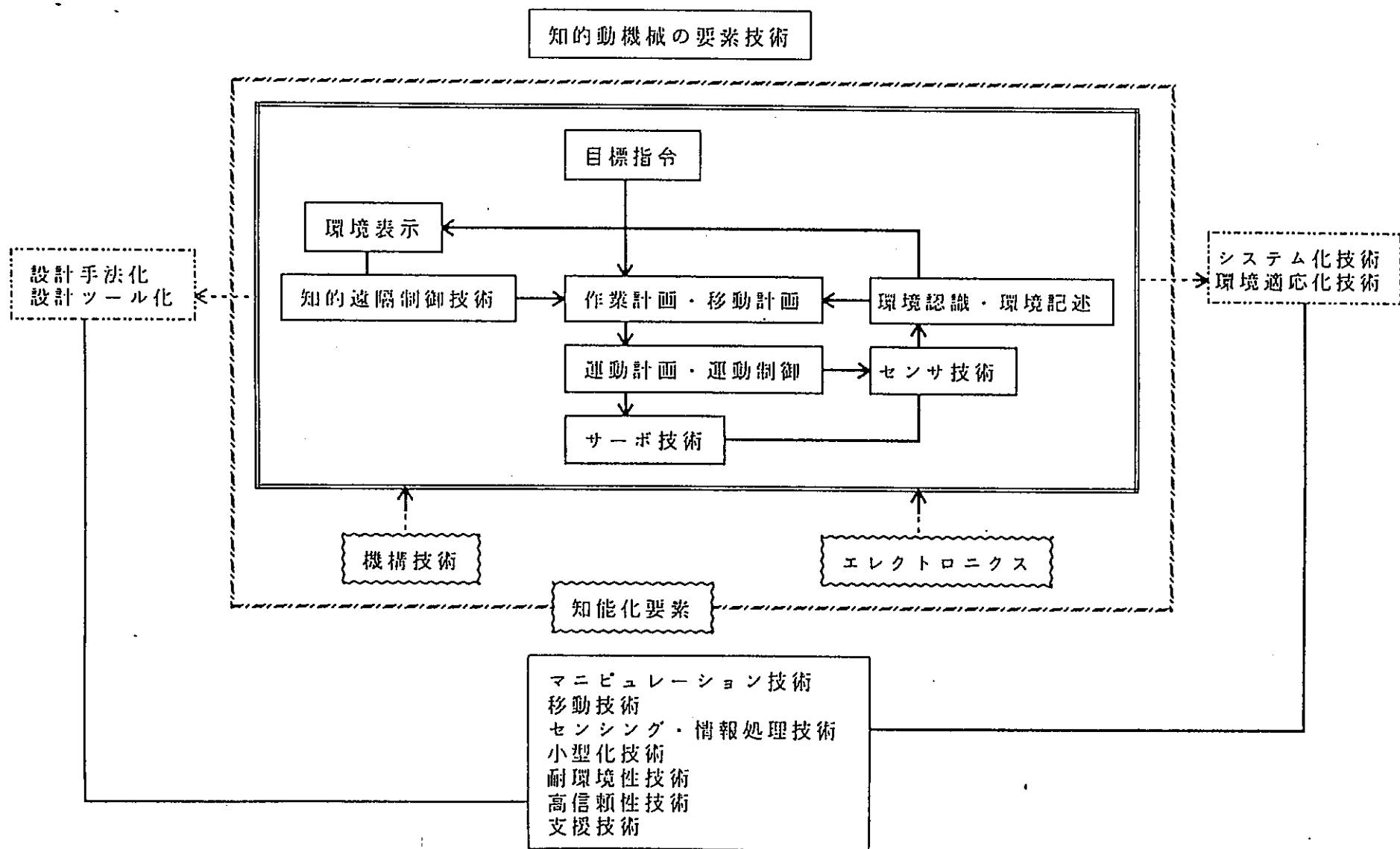
1. 目的

再処理施設内で使用することができる耐放射線性を有する
施設内自動化システムを開発する。

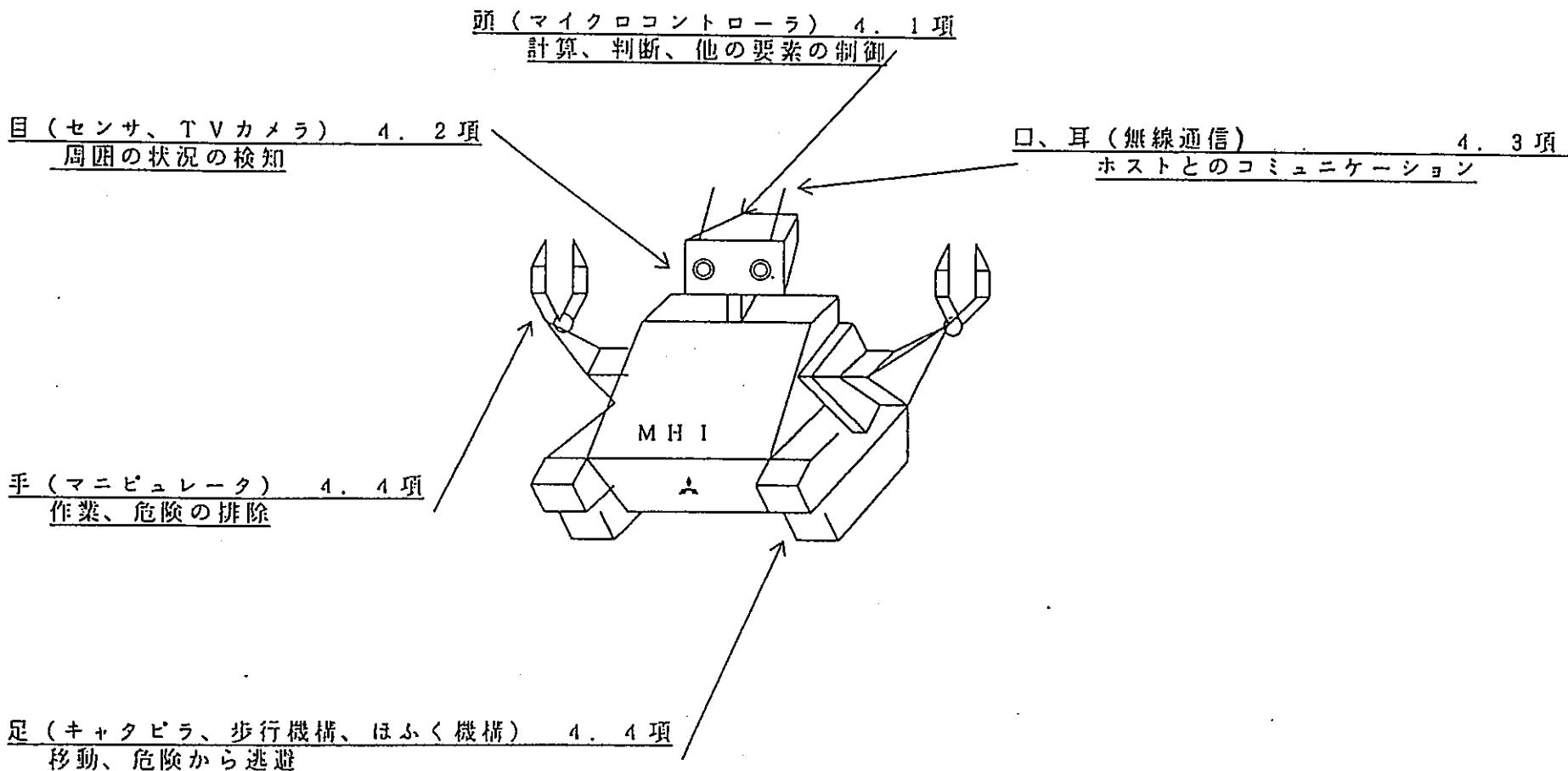
2. 耐放射線ロボットの開発

- (1) ロボットを構成する各要素の耐放射線化が実現すれば、その技術の組み合わせで、あらゆる耐放射線施設内自動化システムの構築が、可能となります。
- (2) ロボットの直接の用途
- ・ 事故処理
 - ・ 監視
 - ・ 点検
 - ・ 交換
- (3) 弊社はロボットの開発に十分な経験とノウハウを持ち、且つ、ロボットに必要な全ての要素技術の蓄積があります。
- (4) 弊社には充実したハイブリッド I·C 技術があります。最も重要でありながら、最も放射線に弱い事が既知である C P U 部分を強化するためには、この技術は必要不可欠です。

3. ロボットに要求される要素技術



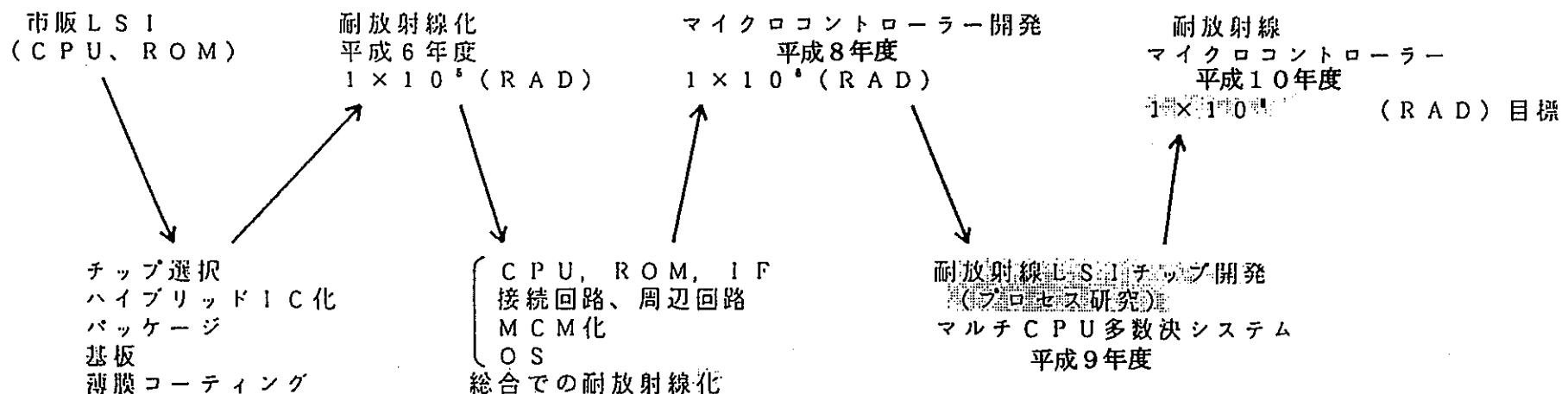
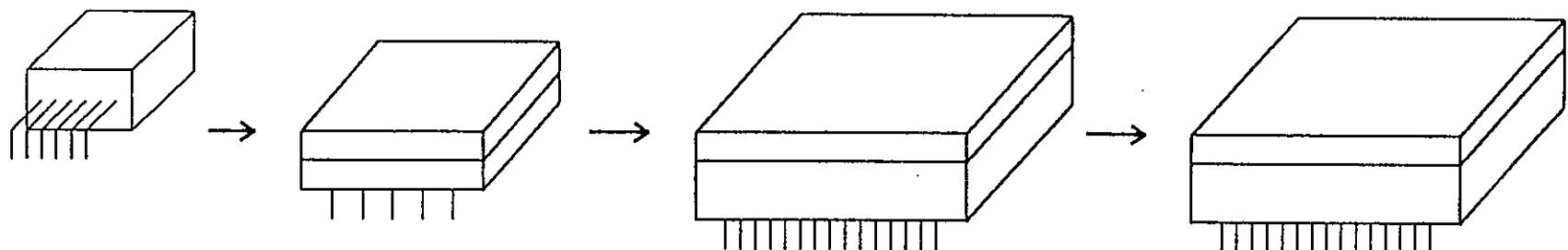
ロボットの構成要素



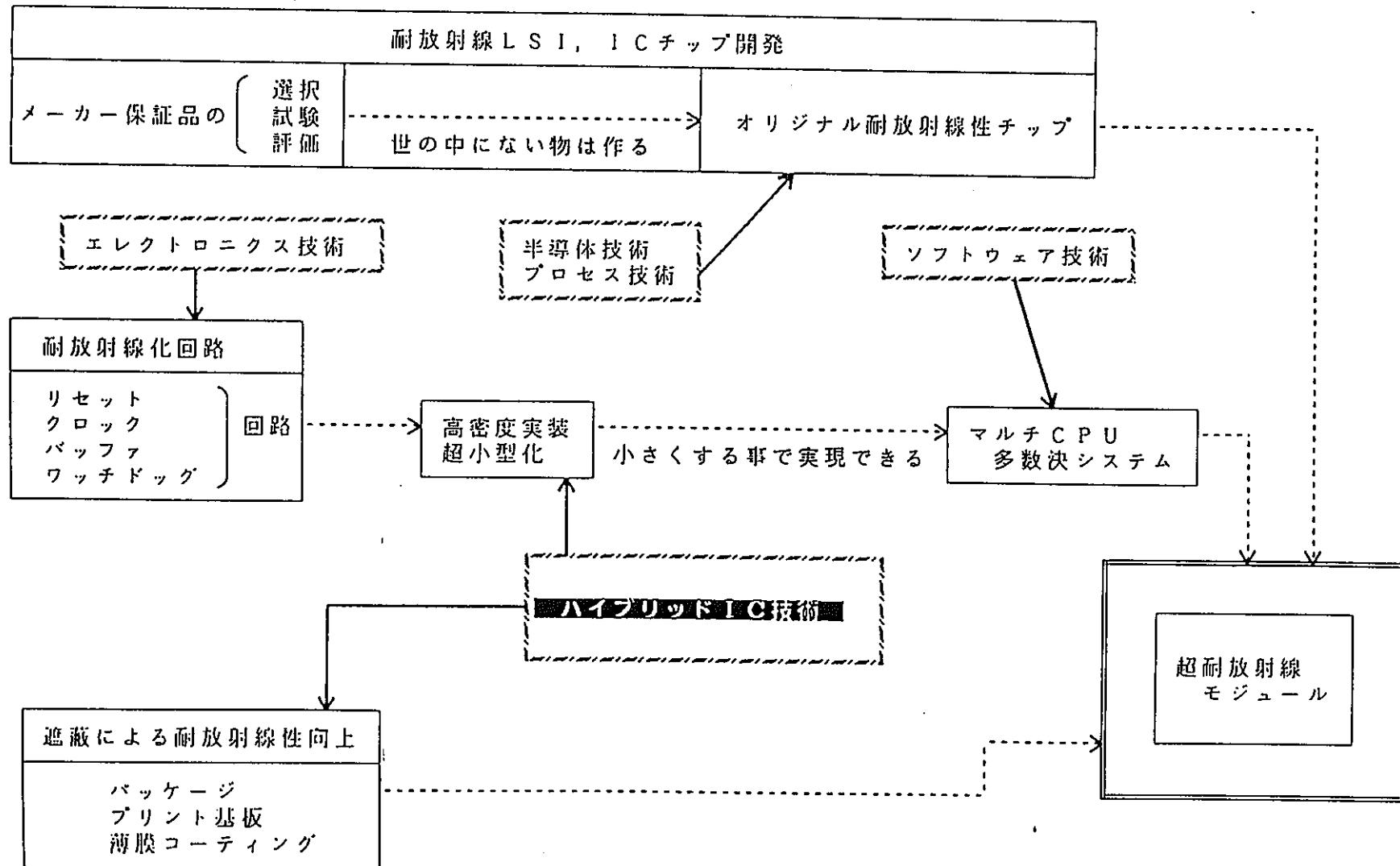
4. ロボット構成要素の開発

4.1 開発

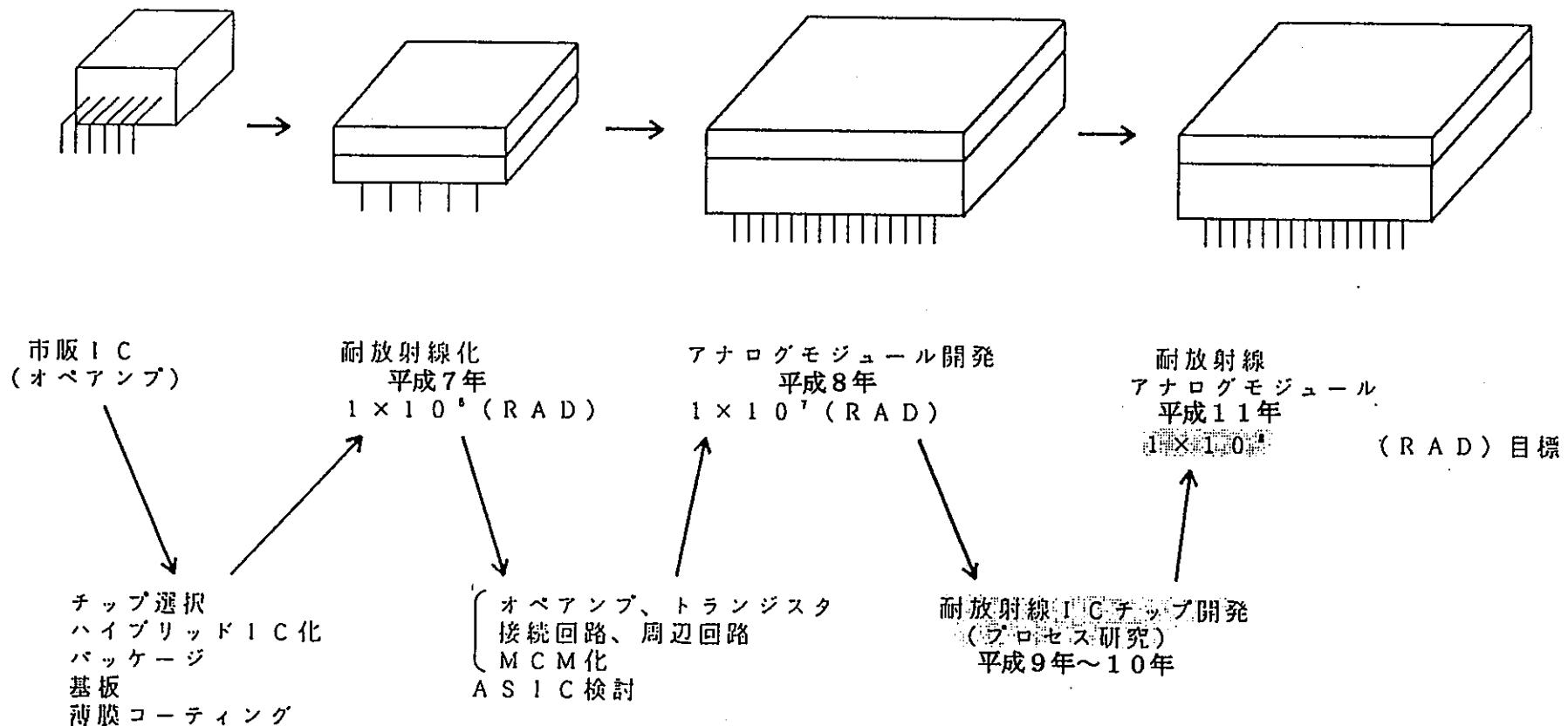
4.1.1 耐放射線マイクロコントローラーの開発



4. 1. 2 耐放射線マイクロコントローラーの開発技術

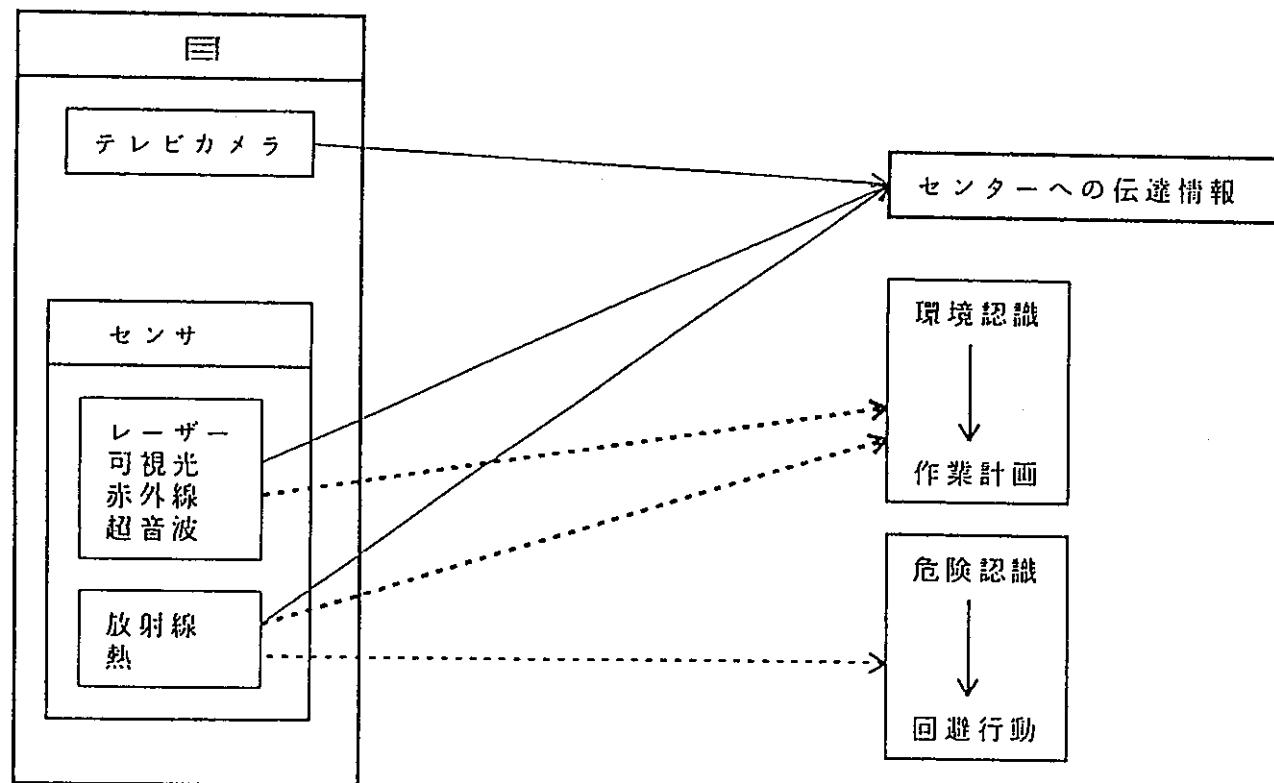


4. 1. 3 耐放射線アナログモジュールの開発



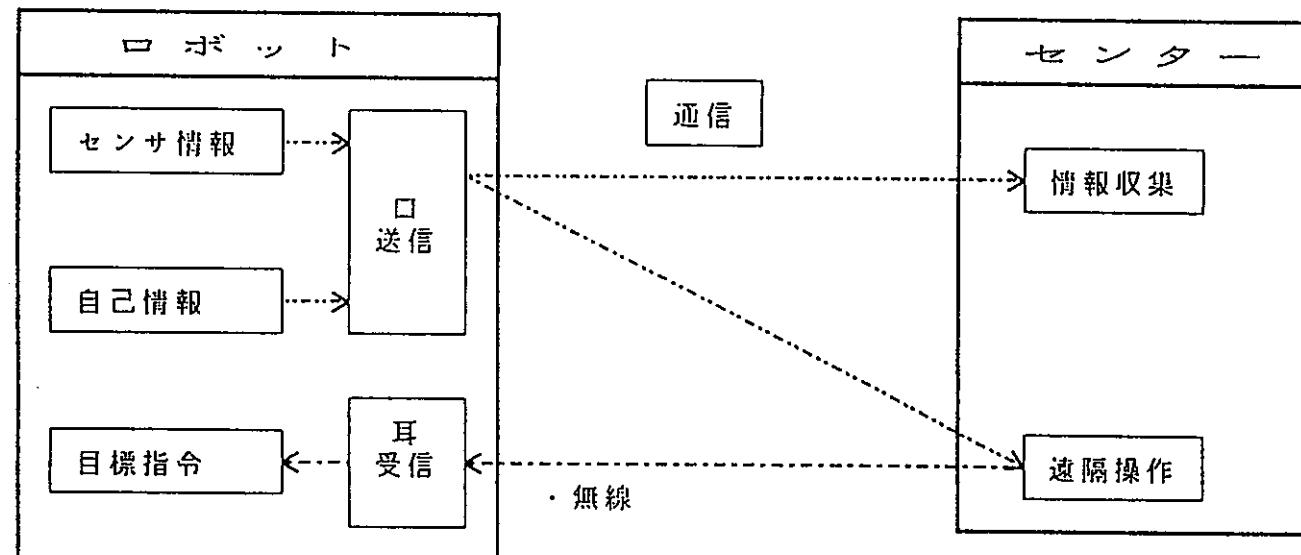
4.2 図

図のデバイスと役割

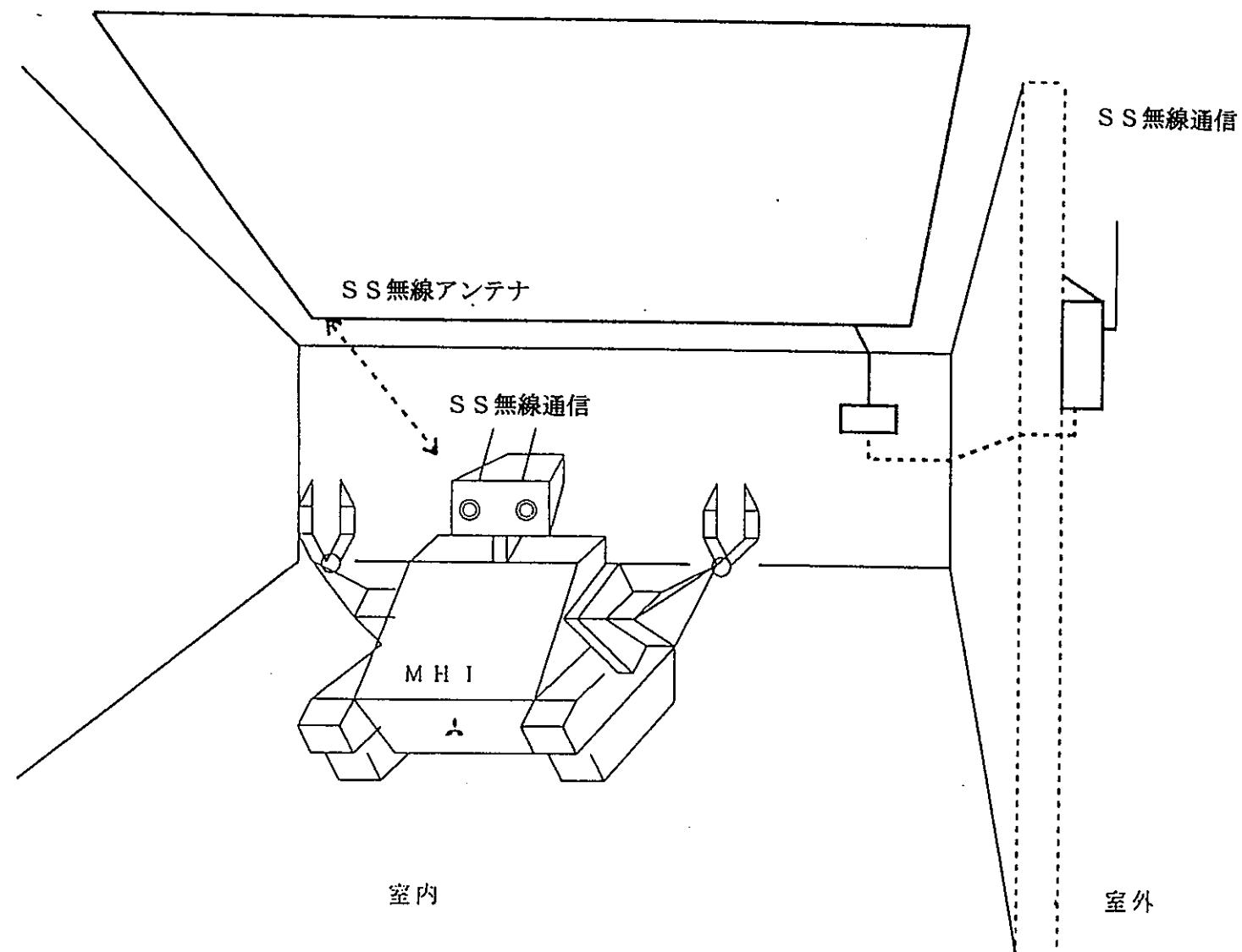


4. 3 口、耳

4. 3. 1 口、耳の役割



4 . 3 . 2 通信システム例 (SS無線通信)



4.4 手、足

手、足開発のポイント

- (1) 耐放射線性の要素は、ほとんど材料と部品の強度のみ。
これらの選択、試験、評価が最も重要。
- (2) 耐放射線性よりもむしろ、
優れたマニピュレータ、
及び走行装置の開発がより重要。

5. 将来ロボットによる再処理施設への適用例

監視・事故時対応

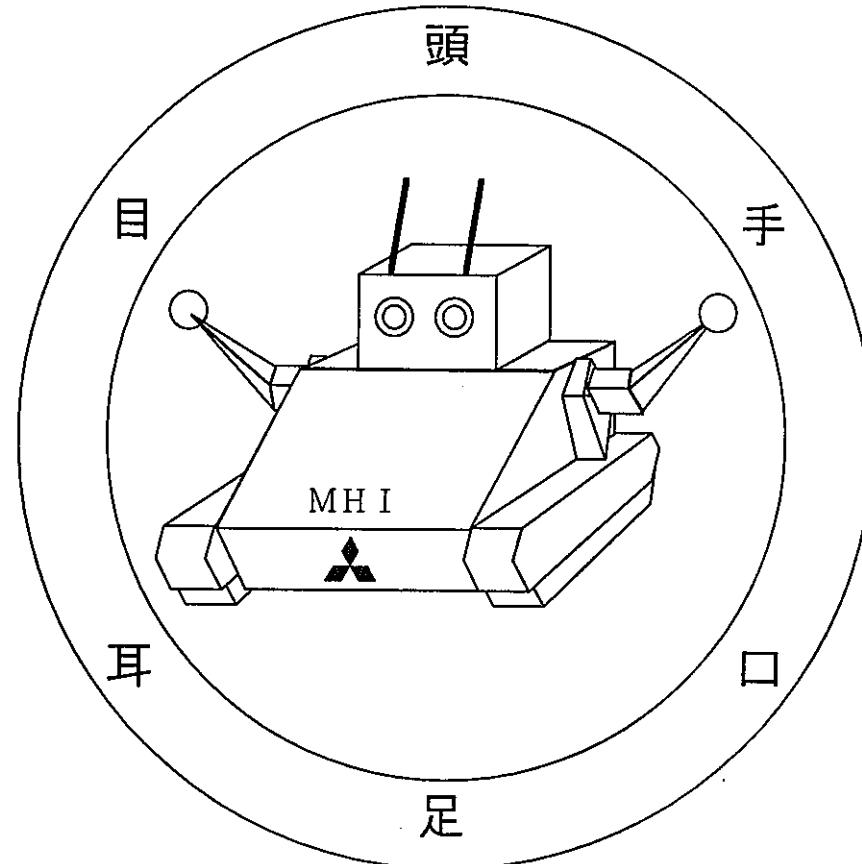
自動モニタリングシステム

- センサ部
- 信号処理部
- 制御部
- 駆動部
- 通信部

計測制御

高精度計測制御システム

- 信号処理部
- センサ部
- 制御部



点検・交換

マニピュレータシステム

- 駆動部
- マニピュレータ部

通信

マルチメディア通信システム

高速画像転送システム

- 通信部
- 信号処理部

[キーポイント]

ロボットを構成する各部要素の耐放射線化が必要